

논문 2004-41TC-10-6

에러 예측회로를 이용한 Burst error 보정 비터비 디코더 설계

(Design of a Viterbi Decoder with an Error Prediction Circuit for the Burst Error Compensation)

윤 태 일*, 박 상 열*, 이 제 훈*, 조 경 록*

(Tae-IL Yun, Sang-Youl Park, Je-Hoon Lee, and Kyoung-Rok Cho)

요 약

본 논문에서는 에러 예측회로를 사용하여 연집에러 입력시 성능저하를 보완한 경관정 비터비 디코더를 제안하였다. 비터비 디코더는 최대유사복호 알고리즘을 사용하므로 랜덤에러 입력시 정정능력이 뛰어나다. 반면에 연집에러 입력시 에러 정정능력이 매우 떨어지는 단점이 있다. 제안하는 에러 예측회로는 비터비 디코더의 연집에러에 대한 에러 정정특성을 향상시키는 기능으로 비터비 디코더에 에러가 입력됨에 따라 path metric 값이 증가하는 것을 이용한다. Path metric의 최대값 증가량을 이용하여 연집에러 구간을 예측, 연집에러 구간에 대한 확률 값을 줄여준다. 제안된 알고리즘을 OFDM방식의 IEEE802.11a WLAN에 적용한 비터비 디코더는 AWGN채널에서는 기존의 비터비 디코더와 동일한 성능을 유지하며, 무선 채널 환경인 다중경로 페이딩 채널에서 발생할 수 있는 연집에러에 대하여 15% 개선된 성능을 보였다.

Abstract

This paper presents a modified hard decision Viterbi decoder with an error prediction circuit enhancing performance for the burst error inputs. Viterbi decoder employs the maximum likelihood decoding algorithm, which shows excellent error correction capability for the random error inputs. Viterbi decoders, however, suffer poor error correction performance for the burst error inputs under the fading channel. The proposed error prediction algorithm increases error correction capability for the burst errors. The algorithm estimates the burst error data area using the maximum path metric for the erroneous inputs. It calculates burst error intervals based on increases in the maximum values of a path metric. The proposed decoder keeps a performance the same as the conventional decoders on AWGN channels for the IEEE802.11a WLAN system. It shows performance improving 15% on the burst error of multi-path fading channels, widely used in mobile systems.

Keywords : Viterbi decoder, Error prediction, Burst error, Wireless LAN, OFDM

I. 서 론

디지털 통신 시스템은 채널 용량 한계의 극복과 정보의 신뢰성을 보장하기 위해서 아날로그 신호를 이산화

하는 소스 코딩과 채널상의 에러를 정정하기 위한 채널 코딩의 과정을 거쳐 데이터를 전송한다. 디지털 통신 시스템에서 음성, 영상, 데이터 등의 정보를 전송할 때 다중경로, 간섭, 잡음 등으로 인한 오류는 불가피하다. 이러한 오류를 적절히 제어하여 시스템의 신뢰도를 높이기 위해서는 오류 제어 기법을 도입하는 것이 필요하다. 채널의 특성에 따라 오류 제어 기법은 여러 가지로 변형될 수 있으나, 기본적인 방법은 오류 정정 부호(error correcting code)를 사용하는 것이다. 채널상에서 발생하는 에러를 정정하기 위한 채널 코딩으로는 크게 메모리를 필요치 않는 블록 부호(block code)와 메모리를 필요로 하는 콘볼루션 부호(convolution code)로 나

* 정회원, 충북대학교 정보통신공학과,
컴퓨터정보통신연구소
(Dept. of Information and Communications
Engineering and Research Institute for Computer
and Information Communication, Chungbuk
National University)

※ 본 연구는 산자부가 지원하는 SoC설계기술사업단 및
특허청 배치설계권창출사업의 연구비로 수행되었음.
접수일자: 2004년6월3일, 수정완료일: 2004년8월10일

는다. 블록 부호는 parity bit를 추가하는 것으로 linear block codes, cyclic codes, BCH codes등이 제안되었다. 콘볼루션 부호는 현재 입력 데이터와 기존의 입력 데이터 간의 상관관계를 이용하여 부호화하는 방법이다^[1,2,3]. 디지털 통신에서 정확한 정보의 전달은 중요한 관심대상이며 에러 정정 능력에 한계를 갖고 있는 블록 부호에 비해 에러 정정 효율이 우수한 콘볼루션 부호가 주로 사용되고 있다. 콘볼루션 부호는 블록 부호에 비해 복잡한 구조를 가지고 있어 부호의 해석이 어려운 반면에 오류 정정 능력이 매우 우수한 특징을 갖는다. 초기에는 주로 콘볼루션 부호의 기하학적 구조를 밝히고자 많은 노력들이 있었으며, 이후로 콘볼루션 부호의 복호 방법에 관한 많은 연구가 진행되어 왔다. 특히 랜덤 오류(random error)에 강한 특성을 보이는 콘볼루션 부호는 위성 및 이동통신분야 등에 널리 사용되고 있다. 콘볼루션 부호는 복호시에 많은 양의 메모리를 필요로 하며 복호시에 지연이 발생하기 때문에 실시간 처리가 가능한 복호 알고리즘이 필요하다. 이에 콘볼루션 부호의 최대 유사 복호(maximum likelihood decoding) 알고리즘인 비터비 알고리즘이 제안되었다^[4,5]. 비터비 디코더는 데이터의 실시간 처리를 위하여 일정량의 디코딩 길이(truncation length)를 갖는 병렬처리 하드웨어가 설계되어 사용되고 있다. 비터비 복호 방식은 높은 부호 이득을 얻을 수 있으나, 하드웨어의 복잡성 때문에 사용되지 않다가 VLSI 기술의 발달로 인하여 많이 사용되고 있다^[6,7].

비터비 디코더는 최대 유사 복호 알고리즘을 사용하므로 랜덤 에러 정정능력이 블록 코드에 비해 뛰어나지만 연속된 에러의 입력시 에러 정정 능력이 현저히 저하된다. 즉 AWGN(additive white gaussian noise) 채널 환경에서는 에러 정정 능력이 뛰어나지만 이동통신에서 발생할 수 있는 다중경로 채널에서는 성능이 열악하다는 것을 나타낸다. 따라서 다중경로 채널에서 성능을 향상시킬 수 있는 회로가 필요하다^[8, 9].

본 논문에서는 기존의 비터비 디코더의 알고리즘과 하드웨어 구현에 있어서의 문제점을 기술하고 OFDM을 사용하는 IEEE802.11a WLAN의 다중경로 채널 환경에서의 연접에러(burst error)에 강한 비터비 디코더 구조를 제안한다. II장에서는 무선환경의 특징과 기존 비터비 디코더 알고리즘을 설명하고, III장에서는 새로운 알고리즘과 구현방법을 제시한다. IV장에서는 실험 결과를 분석하고 V장에서 결론을 맺는다.

II. 무선채널 에러발생 및 비터비 디코더

1. 무선채널환경

이동통신은 유선통신과는 달리 대기중을 통해 전파된다. 개인의 단말기 안테나를 통해 전송된 신호는 대기중을 통해 전파되면서 벽이나 기타 장애물에 의해 감쇠가 발생한다. 장애물 등에 의해 반사 및 회절되어진 신호는 하나의 경로를 통해 전파해 가는 것이 아니라 여러 경로를 통해 전파해 간다. 그러므로 수신단에서는 그림 1과 같이 다중경로신호를 통해 수신하게 된다.

그림 1을 보면 사용자가 보낸 신호가 장애물에 의해 굴절되거나 회절되어 수신단에 도착하는 것을 알 수 있다. 수신단에 도착하는 각 신호를 보면 진행하는 경로의 길이가 서로 다르다. 또한 장애물의 성질에 따라 반사되는 크기도 다르다. 이로 인하여 수신단에 도착하는 시간의 차가 발생하게 되며, 도달하는 신호의 크기와 위상의 차가 발생하게 된다. 수신단에서는 사용자간의 데이터 송·수신을 위해 이러한 다중경로신호를 모두 수신해야 한다. 하지만 서로 다른 크기와 위상을 갖는 다중경로 신호들을 수신하게 되면 수신신호의 진폭이 커졌다 작아졌다 하는 현상이 발생하게 된다. 이러한 현상을 다중경로 페이딩 (multi-path fading)이라 한다. 무선통신 시스템에서 다중경로 페이딩은 송·수신단간에 데이터를 주고받는데 있어서 매우 위험한 요소이다. 다중경로 페이딩이 발생하게 되면 수신단의 신호에 연속된 에러가 입력되게 된다. 따라서 무선통신 시스템에서는 다중경로 페이딩을 경감시키는 기술이 필요하다.

페이딩에 의한 에러를 보정하기 위해 그림 2에 나타내는 것처럼 OFDM을 사용하는 IEEE802.11a WLAN은 등화기, 비터비 복호기등을 사용하고 있다. 특히 비터비 디코더는 하드웨어가 간단한 측면에서는 경판정 알고리즘을 사용하나, 페이딩에 대응해서는 연판정 알

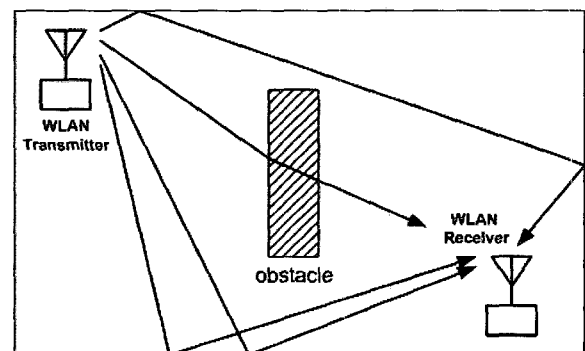


그림 1. 다중경로 (multi-path)의 예
Fig. 1. Example of multi-path.

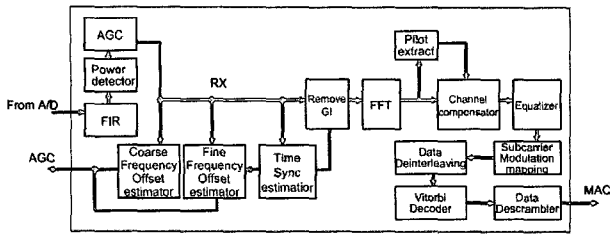


그림 2. IEEE802.11a WLAN 수신기 블록도
Fig. 2. IEEE802.11a WLAN receiver block diagram.

고리즘을 사용한다. 그러나 연판정 알고리즘은 등화기 출력을 세분화해야 하므로 하드웨어 복잡성이 증가한다는 단점이 있다.

2. 비터비 디코더

비터비 디코더의 전체구조는 그림 3과 같이 branch metric generation(BMG), add-compare-select(ACS) 그리고 trace back(TB)의 세 부분으로 구성된다.

BMG (branch metric generator) 블록은 부호기에 의한 기준값과 통신채널을 통해 입력된 데이터간의 Hamming distance를 계산하여 branch metric을 생성하는 블록이다. ACS (add compare select)는 전상태의 branch metric과 path metric을 누적하여 새로운 path metric과 상태 변화 정보를 생성하는 블록이다. 즉, 최대 유사 복호 알고리즘에서 현 상태에서 가장 가까운 입력에 대한 확률을 계산해 주는 것이다. 이전상태에서의 path metric과 현재 상태에서의 branch metric generator에서 생성된 branch metric 값을 더해주고 같은 상태로 천이하는 두 값을 비교하여 작은 값을 선택하여 새로운 path metric을 생성하고, 상태 천이 정보를 TB (trace back) 블록으로 내보낸다.

ACS 연산기를 구성하는 기본원리는 상태천이 정보가 나비 (butterfly) 구조를 하고 있다는 것을 이용한다. 그림 4는 격자도상의 상태 천이 관계를 나타낸 나비 구조이다. 한 쌍의 나비 구조의 ACS 연산 과정을 수식으로 표현하면 식 (1)과 같다.

$$\begin{aligned}
 PM_i &= \min[PM_{2i} + BM_l, PM_{2i+1} + BM_h] \\
 PM_{\frac{2}{n}+i} &= \min[PM_{2i+1} + BM_l, PM_{2i} + BM_h] \\
 PM_{i+1} &= \min[PM_{2(i+1)} + BM_l, PM_{2(i+1)+1} + BM_h] \\
 PM_{\frac{2}{n}+i+1} &= \min[PM_{(2i+1)+1} + BM_l, PM_{2i+1} + BM_h]
 \end{aligned}
 \tag{1}$$

ACS 연산기에서는 이전의 path metric값과 branch metric값이 계속해서 누적되게 되는데 최대 유사 복호를 사용하게 되므로 그 최대값이 일정하게 유지되게 된

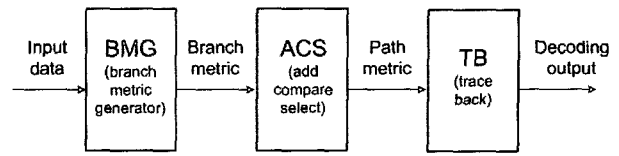


그림 3. 비터비 디코더의 전체 구조도
Fig. 3. Viterbi decoder structure.

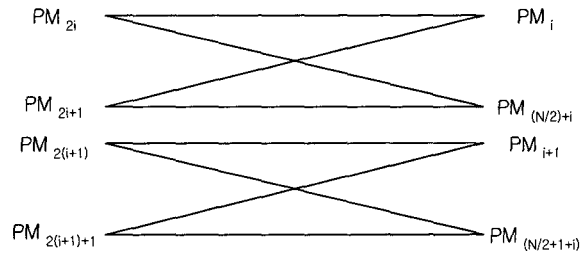


그림 4. Butterfly 구조
Fig. 4. Butterfly structure.

다. 만약에 입력데이터에 에러가 생기게 되면 최대 유사 복호에서 잘못된 판정을 내리게 되어 그 값이 증가하게 된다. 따라서 overflow를 방지하기 위한 정규화 (normalize)회로가 필요하게 된다. 정규화회로는 path metric값 중 가장 작은 값을 찾아 각각의 path metric값에서 빼주는 역할을 하게 된다.

TB (trace back)부는 ACS에서 출력된 결정비트들로부터 원래의 데이터를 복호하는 역할을 한다. 일정시간이 지난 뒤 임의의 데이터를 시작으로 하여 앞단의 입력이 어떤 입력이었을 것이라는 확률을 가지고 역추적하여 나간다. 보통 구속장의 5배 이상의 길이를 역추적하여 나가는데 중간에 에러가 입력되었을 경우라도 역추적을 통하여 어느 정도 정정을 할 수 있다. 역추적의 초기상태는 path metric값이 최소인 곳에서 시작하는 것이 좋다. 하지만 현재 입력에 에러가 발생하였을 때는 최소값이 두개이상 발생 할 수 있고, 구속장이 늘어날수록 상태의 수가 2^k개가 되므로 회로가 복잡해진다. 일정길이 이상의 역추적이 행하여진다면 초기 상태와는 관계없이 에러를 정정할 수 있으므로 임의의 상태에서 역추적을 시작한다.

III. 에러 예측기능을 갖는 비터비 복호기

1. 알고리즘

비터비 디코더는 랜덤 에러의 경우 정정능력이 우수하나 연집에러가 입력될 경우 인접한 데이터의 확률이 변하게 되어 잘못된 데이터를 복호하게 된다. 이동통신에서는 다중경로 페이딩(fading) 채널환경에 의해 연속

적인 데이터의 오류가 나타나게 되며, 따라서 연집에러에 대한 오류를 정정해주는 회로가 필요하다.

비터비 디코더는 최대 유사 복호 알고리즘을 사용하여 복호하므로 에러가 발생하는 구간을 예측할 수 있다면 에러 정정 효율을 높일 수 있을 것이다. 최대 유사 복호 알고리즘을 식으로 표현하면 다음 식 (2) 와 같다.

$$P(r|v) = \prod_{i=0}^{N-1} P(r_i|v_i)$$

$$\log P(r|v) = \sum_{i=0}^{N-1} \log P(r_i|v_i) = \sum_{i=0}^{N-1} M(r_i|v_i) \quad (2)$$

식(2)에서 나타나는 것과 같이 수신 신호열 r_i 에 대한 생성 신호열 v_i 의 확률값을 계산하게 된다. 에러가 수신되는 경우 각 상태의 path metric 값이 변하게 된다. 비터비 디코더에서는 각 상태의 path metric의 값이 그 상태의 확률값을 나타낸다. path metric값이 작을수록 입력된 부호와 상태가 같을 확률이 크다는 것을 의미한다. path metric값이 "0"일 경우 현재 입력된 부호로 판단된 상태가 가장 유사하다는 것을 의미한다. 에러가 입력됨에 따라 각 상태의 path metric값의 최소값은 증가하게 된다. 만일 에러가 하나 이상이 입력될 경우 최소 path metric값을 갖는 상태는 2개 이상이 될 것이고 비터비 디코더는 올바른 경로를 제대로 판단하지 못하게 되어 에러를 발생하게 된다.

본 논문에서는 비터비 디코더에 에러가 수신되었을 때 path metric의 최소값이 증가하는 것을 이용하여 에러의 입력구간을 예측하였다. 비터비 디코더에서 path metric의 최소값이 증가하는 경우는 에러가 입력되어 콘볼루션 부호기에서 내보낸 상태가 아닌 다른 상태값을 선택하였을 경우와 다른 상태값에서 원래의 상태값으로 돌아갈 때 이다. 일정 구간에서 랜덤 에러가 입력될 때에는 최소값의 증가가 작지만 연집에러가 입력될 경우에는 최소값의 증가가 크다. 즉, 일정구간에서 최소값의 증가분을 이용하여 연집에러 구간을 추정할 수 있다.

연집에러 구간에 대한 확률값을 줄여주면 연집에러 구간 이후의 데이터에 의한 분기에서의 올바른 선택 확률이 높아져 연집에러 구간에 대한 에러 정정효율을 높일 수 있다. 즉, 연집에러 구간에 대한 확률값을 줄여줌으로써 에러의 보정을 가능하게 하는 보호구간의 확률을 상대적으로 높여 역추적시 잘못된 경로를 선택할 확률을 줄여준다.

콘볼루션 부호기에서 복호시 각 상태의 path metric

값에 영향을 미치는 것은 현재입력데이터와 이전의 K-1개의 데이터로 이를 이용하여 연집에러 구간을 결정한다.

경판정(hard decision)의 경우 입력데이터와 생성데이터간의 차를 "0"과 "1"을 이용하여 생성하므로 각 입력에 대해 최대 "2"의 차이를 가지게 된다. 따라서 확률값을 절반으로 줄일 경우 연집에러 구간과 보호구간의 경계에서 path metric값이 급격하게 변하게 된다.

연집에러 검출회로는 일정구간에서 최소값의 증가를 검출한다. path metric의 변화치는 다음 식 (3)와 같다.

$$R_{max} \leq \lambda_{max} \log_2 N \quad (3)$$

λ_{max} 는 branch metric의 최대 변화율로 경판정시 2이고, N은 비터비 디코더의 상태수로 구속장 7일 때 64로 path metric의 최대 변화치는 12가 된다. 에러의 입력이 없는 상황에서 path metric의 변화치가 8이므로 최대치가 4가 증가하였을 경우를 연집에러 구간으로 판단한다.

따라서 연집에러가 발생하면 $R_{max}=8$ 에서 입력에러의 수 만큼 증가하게 된다. 이를 이용하여 $R_{max}=12$ 가 되면 path metric의 확률값 P가 P'으로 바뀌고 식 (2)는 식 (4)로 되며 에러를 정정한다.

$$\log(r|v) = \sum_{i=0}^{N-1} \log P'(r_i|v_i) = \sum_{i=0}^{N-1} M'(r_i|v_i) \quad (4)$$

여기서 $P' = \frac{3}{5}P$ 로 감소한다.

2. 제안된 비터비 복호기 구조

본 논문에서 제안한 비터비 디코더의 전체 구조는 그림 5와 같이 에러 예측회로와 비터비 디코더로 이루어졌다.

에러 예측회로에서 연집에러 구간에 대한 확률값을 구하여 비터비 디코더의 branch metric값에 결과를 반영한다. 회로 설계시는 연집에러 구간에 대한 확률값을 구하는데 소요되는 지연시간을 고려하여 지연블럭을 삽

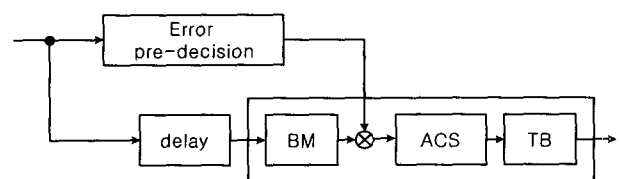


그림 5. 제안된 비터비 구조
Fig. 5. Proposed Viterbi structure.

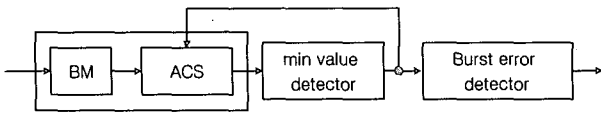


그림 6. Error pre-decision 회로 구조
Fig. 6. Error pre-decision circuit structure.

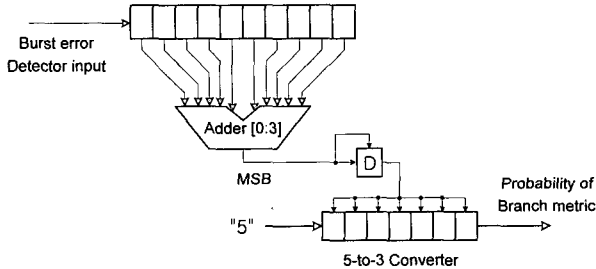


그림 7. Burst error detector 회로
Fig. 7. Burst error detector circuit.

입한다. 연집에러 예측회로는 다음 그림 6과 같이 비터비 디코더의 BM 회로와 ACS 회로 그리고 최소값 검출회로, 연집에러 검출회로로 구성된다.

BM회로와 ACS회로, 최소값 검출회로의 사용으로 크기가 증가하지만 기존의 비터비 디코더와 동일한 회로를 사용하므로 path metric값을 저장하는 곳을 따로 만들어 사용함으로써 비터비 디코더의 회로를 공유하여 사용할 수 있다.

연집에러 검출회로는 다음 그림 7과 같이 쉬프트 레지스터와 덧셈기로 간단하게 구성될 수 있다. 그림 6에서의 path metric의 최소값이 입력되어 덧셈기에서 값이 더해지고 이 값이 4이상 증가시 에러판정이 되므로 덧셈기의 MSB로 에러 판정이 가능하다. MSB=1로 설정되면 5-to-3 converter에서 확률값 P를 $P' = \frac{3}{5}P$ 로 보정한다.

IV. 실험 결과 및 분석

본 논문에서는 연집에러 구간을 예측하여 연집에러 정정효율이 우수한 비터비 디코더를 설계하였다. 시뮬레이션 환경으로 실내 무선환경에서 발생하는 주파수 선택적 페이딩 채널을 적용하여 시뮬레이션 하였다. 페이딩채널은 ETSI(european telecommunications standard institute)에서 제공하는 채널 모델을 사용하여 모델링 하였다^[11]. 모델링된 채널은 식(5)와 같다.

$$y(t) = \frac{\sum_{i=1}^N \rho_i e^{-j2\pi\theta_i} x(t-\tau_i)}{\sqrt{\sum_{i=1}^N \rho_i^2}} \quad (5)$$

표 1. 다중 경로 프로파일 (ETSI prETS 300 744)
Table 1. Multipath profile (ETSI prETS 300 744).

경로 i	포락선의 크기 ρ_i	시간지연 θ_i	위상천이 τ_i
5	0.258782	0.602895	3.758058

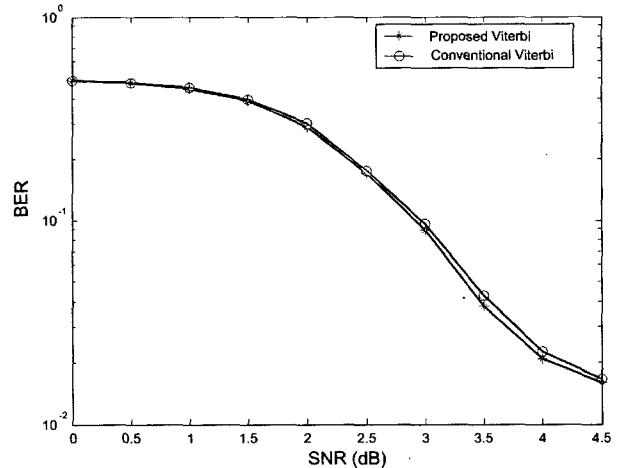


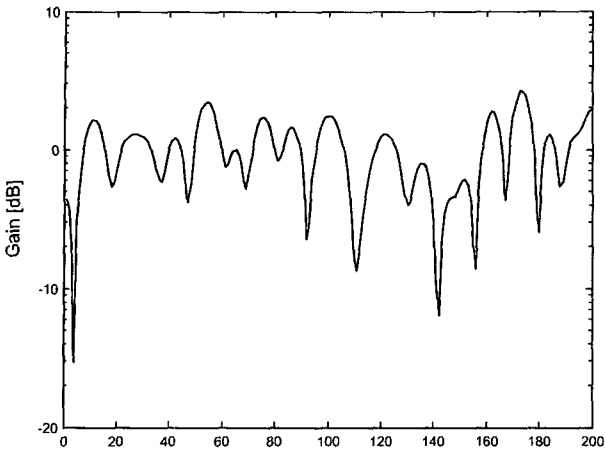
그림 8. AWGN 채널 환경하에서의 BER 성능비교
Fig. 8. Performance comparison of BER in AWGN channel.

여기서 ρ_i 는 포락선 크기, θ_i 는 위상천이, τ_i 는 시간지연이다. 실내 무선 환경에서는 다중경로의 수가 4~5개 정도로 시뮬레이션에서는 5로 적용하였으며 각 파라미터는 표 1과 같다.

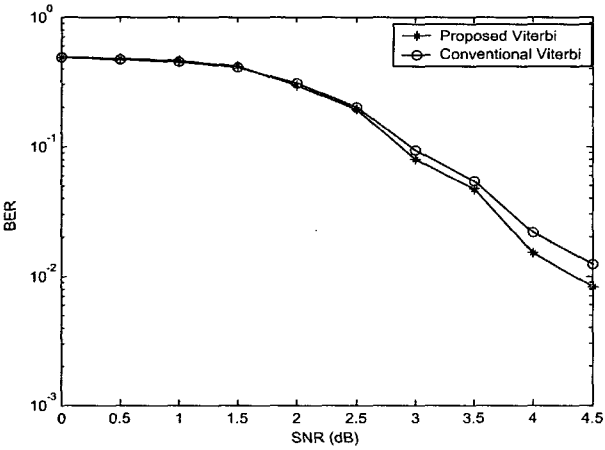
그림 8은 AWGN 환경에서의 기존의 비터비 디코더와 제안된 비터비 디코더의 성능을 나타낸다. 그림 8에서 보는 것과 마찬가지로 AWGN채널 환경에서는 기존의 비터비 디코더와 동일한 성능을 나타내었다.

그림 9(a)는 연집에러를 발생하는 채널을 나타낸다. 이 채널은 다중경로가 50인 주파수 선택적 페이딩 채널을 나타낸다. 그림 9(b)는 이 채널을 적용하였을 때 비터비 디코더의 성능을 측정하는 것이다. 그림을 통하여 볼 수 있는 바와 같이, 제안된 비터비 디코더의 경우 SNR이 4.5[dB]에서 BER이 약 3.5[dB]정도 개선되었음을 볼 수 있다. 따라서 이 방식이 무선 채널에서 발생하는 다중경로 페이딩 채널에 강하다는 것을 알 수 있다.

그림 10은 보호구간을 20으로 고정해두고 입력데이터의 연집에러 양에 따른 에러 발생량을 나타내고 있다. 그림 10(a)를 보면 연집에러의 양이 증가할 때 일정 구간동안 기존의 비터비 디코더와 성능이 같지만 연집에러의 양이 늘어나게 되면 본 논문에서 제안한 비터비 디코더가 더 많은 에러를 정정한 것을 알 수 있다. 그림 10(b)에서는 입력연집에러가 16일때 보호구간의 길이에 따른 에러 정정 효율을 보여주고 있다. 그림 10(b)는 하



(a) 경로 $l=5$ 의 다중경로 페이딩 채널
 (a) Multipass fading channel of path $l=5$.

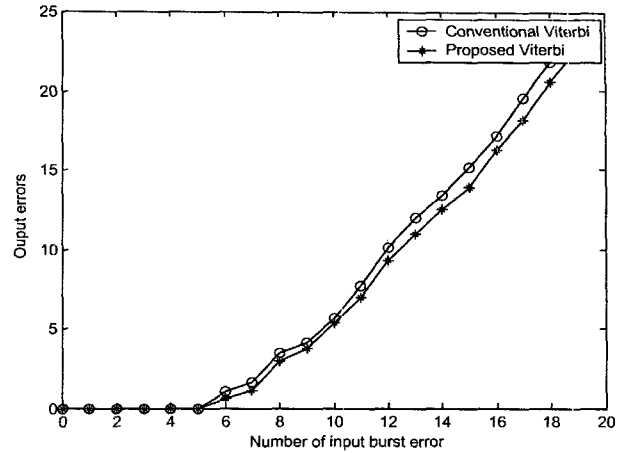


(b) 다중경로 페이딩 채널에서의 BER 성능 비교
 (b) BER performance in multipath fading channel.

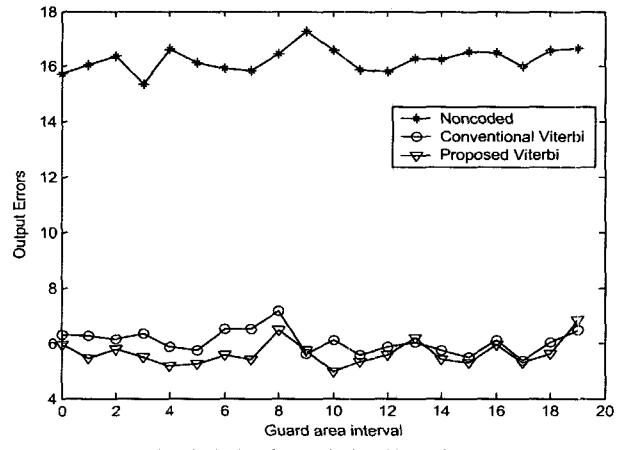
그림 9. 다중경로 페이딩 채널과 BER 성능 비교
 Fig. 9. Multipath fading channel and BER performance.

나의 연집에러 구간만을 가지는 것으로 보호구간이 9 미만일 때는 제안된 회로의 성능이 더 좋은 것을 볼 수 있다. 보호구간의 길이가 9 이상이 되면 충분한 길이의 보호구간이 확보되므로 기존의 비터비와 비슷한 성능을 보이게 된다.

그림 11은 연집에러가 연속해서 입력되었을 때 발생하는 에러의 출력을 나타낸다. 무선환경에서 연집에러가 한번만 발생하는 것이 아니라 연속해서 발생할 경우를 시뮬레이션 하였다. 연집에러가 일정 간격을 두고 연속해서 입력될 경우 입력된 에러의 개수에 비하여 출력된 에러의 개수가 상대적으로 많은 것을 알 수 있다. 즉, 랜덤 에러의 경우에 비해 연집에러의 입력시 에러의 성능이 매우 나쁘다는 것을 알 수 있다. 본 논문에서 제안한 회로의 경우 시뮬레이션에서 볼 수 있듯이 연집에러에 대해 그 성능이 매우 좋다는 것을 알 수 있다. 기존회로의 경우 연집에러 구간에서 발생한 에러 확률



(a) 연집에러 크기에 따른 에러 정정 비교
 (a) Error correcting for burst error size.



(b) 보호구간 길이에 따른 에러 정정 비교
 (연집입력에러=16)
 (b) Error correcting for guard area interval size
 (Burst error = 16)

그림 10. 연집에러 양과 보호구간에 따른 에러 발생량 비교

Fig. 10. The number of error generating number for burst error and guard area interval size.

이 다음 입력에도 영향을 미치는데 반해 본 논문에서 제안된 회로의 경우 연집에러 구간의 확률을 줄임으로써 다음 연집에러가 입력되었을 때 그 영향을 최소화하여 에러를 줄일 수 있다. 또한 3bit 연판정 비터비 디코더와 비교해 보았을 때도 연집에러 정정능력이 뛰어난 것을 볼 수 있다.

그림 12는 연속된 연집에러의 발생과 보호구간의 크기에 대한 관계를 나타낸다. 연속된 연집에러의 입력의 크기와 각 연집에러에 따른 보호구간의 크기를 변화시켜가서 측정하였다. 연집에러의 크기가 증가할수록 발생하는 에러의 개수가 증가하다 보호구간의 길이가 10 이상일 경우 연집에러에 대한 정정능력이 향상됨을 알 수 있다.

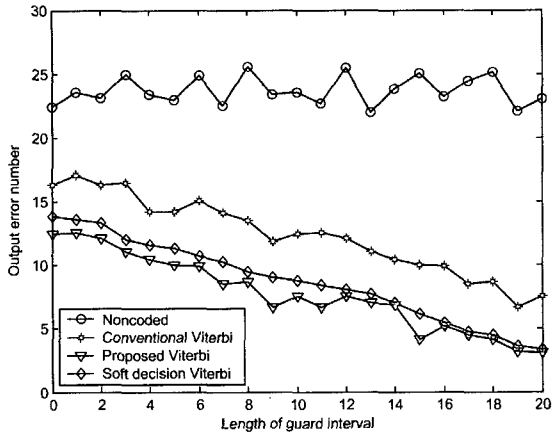


그림 11. 연속된 연집에러의 입력에 대한 에러 정정 비교(연집입력에러=16)
 Fig. 11. Comparison of the error correcting number for burst error input.

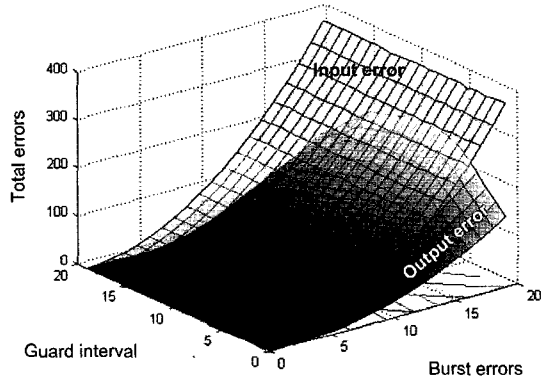


그림 12. 연속된 연집에러와 보호구간 크기에 따른 에러 발생 비교
 Fig. 12. Comparison of the error generating number for burst error input and guard area interval size.

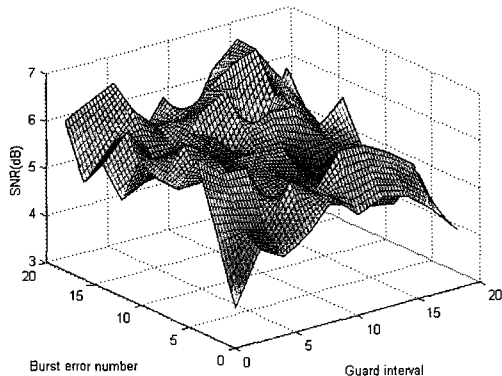


그림 13. BER=10⁻³을 만족하는 수신 SNR평면
 Fig. 13. SNR flat of receiver satisfy the BER=10⁻³.

그림 13은 Montecarlo 시뮬레이션으로 BER=10⁻³을 만족하는 SNR평면을 연집에러의 크기와 보호구간의 크기에 따라 표시하였다. 특정값을 갖는 연속된 연집에러

표 2. 비터비 디코더 회로 크기
 Table 2. Circuit size of Viterbi decoder.

		BM	ACS	TB	Total
기존 비터비 디코더	depth=48	5	4226	10752	14993
	depth=68	5	4226	15232	19463
제안한 비터비 디코더	depth=48	5	8720	10752	19477

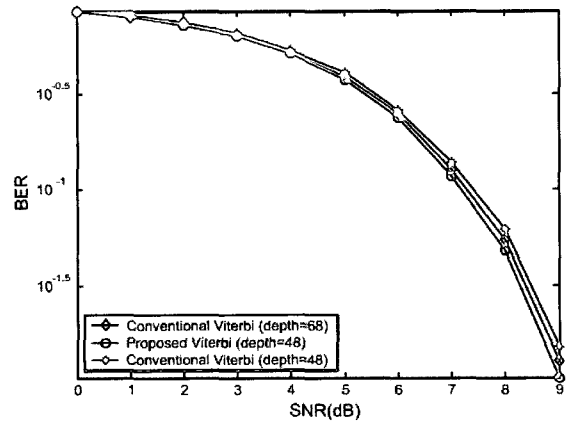


그림 14. 동일한 크기를 갖는 비터비 디코더의 성능 비교
 Fig. 14. Performance comparison of Viterbi decoder with the same circuit size.

와 보호구간에 따른 각각의 SNR을 시뮬레이션하여 BER=10⁻³을 만족하는 SNR을 표시하였다. 사용된 변조 방식은 BPSK이고 연집에러가 없을 때 구현된 비터비 디코더는 약 SNR=3.5dB를 만족하였다.

표 2는 기존 비터비 디코더와 제안한 비터비 디코더의 회로 크기를 나타낸 것이다. 기존 비터비 디코더의 디코딩 깊이를 20만큼 증가 시켰을 경우 제안한 비터비 디코더의 크기와 같음을 알 수 있다. 그림 14는 제안한 비터비 디코더의 연산 증가량만큼 디코딩 깊이를 증가시킨 비터비 디코더와 성능을 비교한 것이다. 비터비 디코더는 디코딩 깊이를 증가 시킴으로써 연집에러에 대한 성능을 향상시킬 수 있다. 디코딩 깊이를 증가시킨 기존방식의 비터비 디코더는 연집에러에 대한 성능이 향상되었으나, 제안한 비터비 디코더의 성능에는 미치지 못함을 알 수 있다.

V. 결 론

비터비 디코더는 디지털 통신시스템에서 사용되는 대표적인 채널디코더로 랜덤에러 입력시 정정능력이 뛰어나지만 연집에러 입력시 성능저하가 발생하므로 이를

보완해줄 회로가 필요하다. 본 논문에서는 무선 채널 환경에서 발생할 수 있는 다중경로 페이딩채널에 강한 특성을 보이는 에러 예측 비터비 디코더를 제안하였다. 제안된 알고리즘은 비터비 디코더의 에러입력시 path metric값의 증가를 이용하여 연접에러를 예측하여 연접 에러 구간의 확률값을 줄여줌으로써 연접에러 정정능력을 향상시켰다. 제안된 회로는 AWGN 채널환경에서는 기존회로와 동일한 성능을 보였다. IEEE802.11a WLAN에서 연접에러가 발생하는 환경인 다중경로 페이딩 채널에서 약 3.5dB향상된 성능을 보였다. 또한 연접에러가 연속해서 발생하는 경우 기존 회로에 비해 약 15%의 성능 향상을 보였다.

참 고 문 헌

[1] A. R. Cohen, J. A. Heller and A. J. Viterbi, "A New Coding Technique for Asynchronous Multiple Access Communication," IEEE Transaction on Communication Technology, Vol. COM-19, No. 5, Oct. 1971.
 [2] A. J. Viterbi, "Convolutional Codes and Their Performance in Communication System," IEEE Transaction on Communication Technology, Vol. COM-19, No. 5, Oct. 1971.
 [3] G. Forney, "Convolutional Codes Maximum Likelihood Decoding," IEEE Information Theory, Vol. 25, pp. 222-266, July 1974.
 [4] G. D. Forney, "Viterbi Algorithm," Proceedings of

The IEEE Conference on, Vol. 61, No. 3, Mar. 1973.
 [5] J. Omura, "On the Viterbi Decoding Algorithm," IEEE Thansaction on Infromation Theory, Vol. IT-15, No. 1, pp. 177-179, Jan. 1969.
 [6] F. Hemmati, D. Costello Jr., "Truncation length for Viterbi Decoding," IEEE Transaction on Communication Theory, Vol. COM-25, No. 5, pp. 530-532, May 1977.
 [7] F. Adachi, "Error rate bound of suboptimal coherent detection of M-ary PSK," IEEE Electronic Letters, Vol. 31, No. 1, pp. 16-18, Jan 1995.
 [8] M. A. Herro, L. Hu and J. M. Nowack, "Bit error probablitiy calculations for convolutional codes with short constraint lengths on very noisy channels," IEEE Transactions on Communication Theory, Vol. 36, No. 7, pp. 885-888, July 1988.
 [9] G. Zou, H. Weinrichter, "Bounded metric Viterbi decoding of trellis coded modulation in presence of intersymbol interference," IEEE Electronic Letters, Vol. 24, No. 15, pp. 946-947, July 1988.
 [10] J. Schalkwijk, A. Vinck, "Syndrome Decoding of Binary Rate-1/2 Convolutional Codes," IEEE Transaction on Communications Theory, Vol. 24, No. 9, pp. 977-985, Sep 1976.
 [11] Digital broadcasting systems for television, sound and data service, European Telecommunications Standard, prETS 300 744 (Draft, version 0.0.3), Apr 1996.

저 자 소 개



윤 태 일(정회원)
 2002년 충북대학교
 정보통신공학과 학사
 2004년 충북대학교 정보통신
 공학과 석사수료
 <주관심분야: 무선 통신 시스템설
 계, OFDM 시스템, Channel coding>



박 상 열(정회원)
 2002년 충북대학교
 정보통신공학과 학사
 2004년 충북대학교 정보통신
 공학과 석사수료
 <주관심분야: 무선 통신 시스템설
 계, System on chip>



이 제 훈(정회원)
 1998년 충북대학교
 정보통신공학과 학사
 2001년 충북대학교 정보통신
 공학과 석사
 2003년 충북대학교 정보통신
 공학과 박사과정수료.
 <주관심분야: 고속 마이크로프로세서 설계, 저전
 력 디지털 회로 설계>



조 경 록(정회원)
 1977년 경북대학교 전자공학과
 공학사.
 1989년 일본 동경대학교
 전자공학과 공학석사.
 1992년 일본 동경대학교
 전자공학과 공학박사.
 1979년~1986년 (주)금성사 TV연구소 선임연구원
 1992년~현재 충북대학교 정보통신공학과 부교수.
 <주관심분야: VLSI 시스템설계, 통신 시스템용
 LSI 개발, 고속 마이크로프로세서 설계>