

유리의 미세 가공을 위한 구리 전극군의 제작과 전기 화학 방전 가공 시험

論 文
53C-9-7

Fabrication of Copper Electrode Array and Test of Electrochemical Discharge Machining for Micro Machining of Glass

鄭柱明* · 沈愚英** · 鄭玉贊*** · 梁翔植†

(Ju Myoung Jung · Woo Young Sim · Ok Chan Jeong · Sang Sik Yang)

Abstract - In this paper, we present the fabrication of copper electrode array and test of electrochemical discharge machining(ECDM) for glass machining. An array of 72 Cu electrodes is used to machine Borofloat33 glass. The height and diameter of a Cu electrode are 400 μm and 100 μm respectively. It is fabricated by ICP-RIE, Au-Au thermo-compression bonding, and copper electroplating. Borofloat33 glass is machined by the fabricated copper electrode array in 60 seconds at 55 V. The surface roughness of the machined glass is measured and the machined glass is anodically bonded with silicon.

Key Words : ECDM, Copper Electrode, Glass Machining, Borofloat33

1. 서 론

유리는 높은 투명성, 내구성, 내화학성, 절연성 등의 장점을 갖고 있어 실리콘과 조합하여 MEMS 소자의 패키징에 자주 사용된다. MEMS 진동형 자이로스코프 센서(gyroscope sensor)와 같은 3차원 미소 구조물을 갖는 소자를 패키징할 경우, 구조물의 동작 공간 및 배선 연결 구멍 등의 유리 가공이 요구된다. 특히, 가공부 주위는 실리콘과의 양극 접합이 가능하도록 표면이 매끄러워야 하며, 접합 후 구조물의 동작 확인을 위해 가공부의 투명성이 필요하다. 기존 유리의 미세 가공은 HF에 의한 습식 식각이나 분말 분사 가공(powder blasting) 등의 방법을 사용해 왔다. HF에 의한 습식 식각은 부드럽고 투명한 식각은 가능하나 깊은 식각시 마스킹이 어려워 식각 시간이 길다는 단점이 있다. 분말 분사 가공에 의한 유리 가공은 분진이 많이 발생할 뿐만 아니라 그 가공면이 거칠고 불투명하므로 패키징으로 사용되는 유리의 경우에 구조물의 동작을 확인하기 어려우며, 유리 표면에 부스러기 및 마이크로한 크랙이 발생할 가능성이 있다. 이는 가공과정 중에 감광제의 찌꺼기나 세정 공정 중의 수분 등 잔류 오염원이 크랙 사이에 침투하여 존재할 수 있고, 표면이 거칠어짐에 따라 표면적이 증가하여 오염원의 흡착량이 증가하는 단점이 있다. 이러한 단점을 극복하기 위하여 유리의 미세 가공에 전기 화학 방전 가공(ECDM: Electrochemical Discharge Machining)을 적용하는 연구가 수행되었다[1-8].

오래전에 Taylor는 NaCl 용액 속의 음전극에서 높은 전류

밀도로 인한 전기 방전 현상을 발견하여 Anode Effect라 명명하였다[1]. Kellog는 수용성 전극에서의 전기 분해 현상에서 이와 비슷한 현상을 발견하였다[2]. Shoji 등은 전기 화학 방전 현상을 이용하여 구멍을 가공하고 마이크로 밸브의 미세 유로를 제작하였다[3]. Basak 등은 전기 화학 방전 가공의 방전 발생 원리 및 이론적 모델을 제시하고 실험적으로 검증하였다[4, 5]. Jeong[6]과 Chung[7] 등은 미세 구조물의 제작에 있어 정확한 형상을 갖는 구멍의 제작을 위하여 전해액의 종류와 농도, 하중, 인가 전압 등의 가공 변수가 파이렉스 유리(#7740, Corning)의 구멍 가공에 미치는 영향을 시험하였다. Yang 등은 보로실리케이트 유리를 다양한 가공 조건에서 전기 화학 방전 가공하였다[8].

전기 화학 방전 가공은 식각에 비하여 가공 속도가 빠르고, 가공 후 표면이 분말 분사에 의한 가공보다 매끄러운 장점이 있다. 그러나 대량 생산을 위한 일괄 공정에서 기존의 단일 가공 전극을 사용한 미세 가공은 많은 가공 시간을 소요하므로 가공용 전극군을 이용한 전기 화학 방전 가공이 필수적이다. Takahata 등이 일괄 공정에 적합한 가공용 전극군을 제작하고 그래파이트와 스테인리스강을 가공하였으나, 도전체에만 가능한 전기 방전 가공이었다[9].

본 논문에서는 Borofloat33 유리를 일괄적으로 전기 화학 방전 가공할 수 있도록, 일정한 간격으로 배열된 전기 화학 방전 가공용 구리 전극군을 제작하고 유리 가공을 시험하고자 한다. 또한, 가공된 유리의 표면 거칠기를 측정하고 실리콘과 양극 접합을 하였다. 가공에 사용된 Borofloat33 유리는 열팽창 계수가 실리콘과 비슷하여 양극접합 후에 접합 경계면의 잔류응력을 줄일 수 있고, 파이렉스 유리보다 평면도가 우수하여 양극 접합에 적합하다.

2. 전기 화학 방전 가공

그림 1은 전기 화학 방전 가공의 개략도이며, 전해액과 양

* 學生會員 : 亞州大學校 電子工學科部 碩士課程

** 正會員 : 亞州大學校 電子工學科部 博士課程

*** 正會員 : 日本 立命館大學校 機械科 Post-doc · 工博

† 교신저자, 正會員 : 亞州大學校 電子工學科部 教授 · 工博

E-mail : ssyang@ajou.ac.kr

接受日字 : 2004년 5월 11일

最終完了 : 2004년 6월 29일

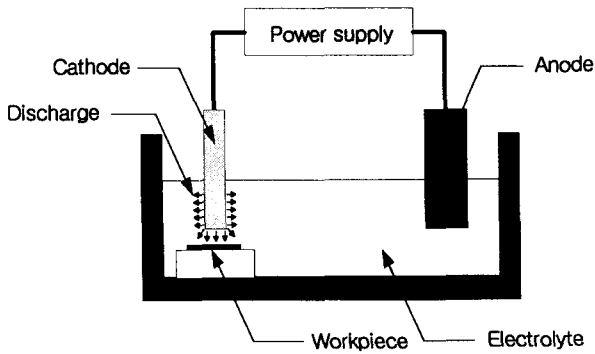


그림 1. 전기 화학 방전 가공 장치의 개략도.
Fig. 1. The model of ECDM.

극, 음극, 전원장치, 가공물로 구성된다. 전기 화학 방전 가공은 양극과 음극을 전해액에 담근 후 일정 전압 이상을 걸어주면 가공 전극인 음극에서 전류 밀도가 매우 높아질 때 방전이 일어나는 현상을 이용하는 가공법이다.

가공 전극으로 사용되는 음극에 전류가 흐르면 전압이 임계 방전 전압보다 낮을 때에는 수용액으로 전류가 흘러 전기 분해 현상으로 음극 주위에 수소 가스가 발생한다. 발생한 수소 가스는 절연체 역할을 하여 전류의 흐름을 방해하고, 음극 표면의 전류 밀도가 증가시킨다. 전류 밀도의 증가로 음극에서 저항열에 의해 수증기를 발생시키고 음극을 공기 방울로 감싸게 되며 전압이 임계 방전 전압 이상에 도달하면 전류 밀도가 높은 곳에서부터 수용액으로 방전이 발생한다 [4, 5].

가공된 가공물의 단면 및 표면은 전해액으로 사용되는 알칼리 수용액의 양이온의 이동도와 밀접한 상관관계가 있다. 수용액의 농도가 증가하면 수용액 속의 양이온들의 이동도가 증가되어 가공 시간이 짧아지고 방전 발생 전압이 낮아진다 [8]. 일반적으로 NaOH 수용액은 임계 방전 전압이 KOH에 비해 높으나, 가공 단면과 가공 표면 상태가 우수하기 때문에 널리 쓰인다.

본 논문에서는 마이크로머시닝 기술을 이용하여 제작한 구리 전극군을 음극으로 사용하고 50 % NaOH 수용액을 전해액으로 사용하여 전기 화학 방전 가공을 시험한다.

3. 전기 화학 방전 가공용 구리 전극군 제작

그림 2는 구리 전극군의 모식도이다. 골드-골드 열압착으로 접합한 두 실리콘 시편 위에 구리 원기둥이 일정한 간격으로 배열된 형태이다. 구리 원기둥의 지름은 100 μm 이고 높이는 400 μm 이며, 기판으로 사용된 실리콘 시편의 크기는 1.5 cm \times 1.5 cm 이다. 두께 100 μm 의 상부 실리콘 기판은 전기 화학 방전 가공시 절연 역할을 하여 전기 화학 방전 현상이 구리 전극에서만 발생하도록 한다.

그림 3은 구리 전극군의 제작 공정도이다. 상부 기판용으로 두께 525 μm 의 실리콘 기판위에 열산화막을 성장시키고 음성 감광제(JSR THB-151N, JSR社)를 20 μm 두께로 스핀 코팅한 후 열판에서 건조시킨다[10]. 사진 식각 공정에 의해 지름 100 μm 의 원이 배열된 형태로 음성 감광제를 패터닝하고 BOE를 사용하여 열산화막을 제거한 후 ICP-RIE(Inductively

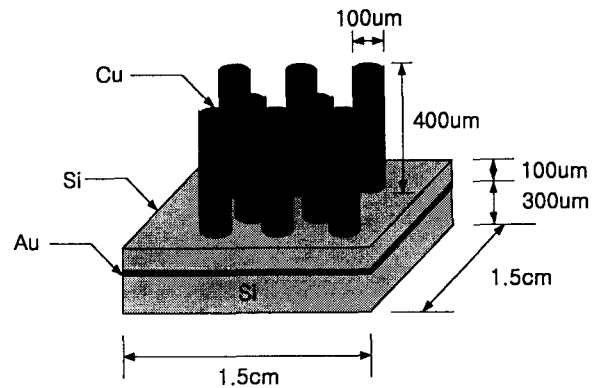


그림 2. 구리 전극군의 모식도.
Fig. 2. The schematic diagram of copper electrode array.

Coupled Plasma - Reactive Ion Etch) 공정으로 실리콘 기판을 관통하도록 식각한다. 식각된 기판의 음성 감광제를 JSR THB-S1로 제거하고 열산화막을 성장시킨 후 Cr/Au(300 Å/5000 Å)를 증착한다.

하부 기판용으로 두께 300 μm 의 실리콘 기판위에 열산화막을 성장시키고 구리 전기 도금의 씨앗층(seed layer)으로 사용될 Cr/Au(300 Å/5000 Å)를 증착한다. 상부 기판과 하

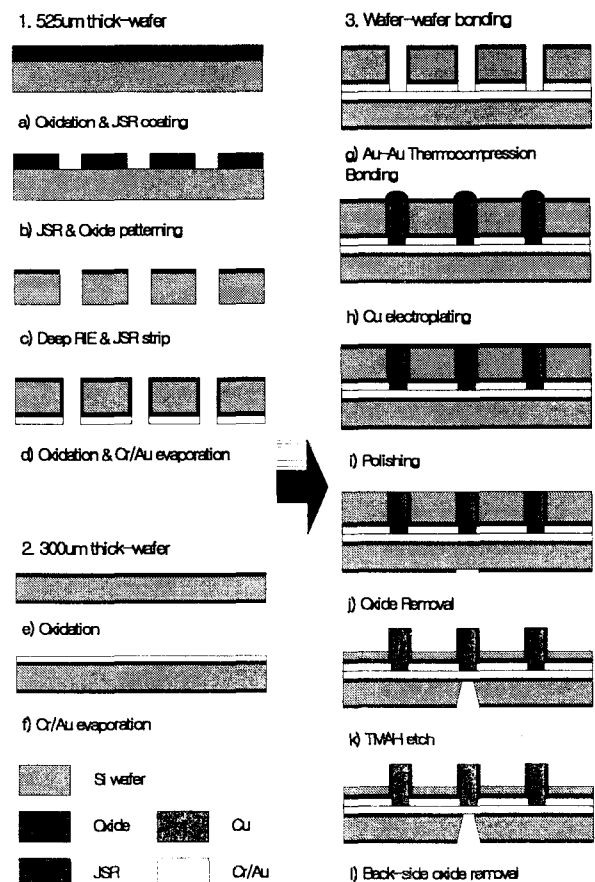


그림 3. 구리 전극군의 제작 공정 순서.
Fig. 3. The fabrication process of Cu electrode array.

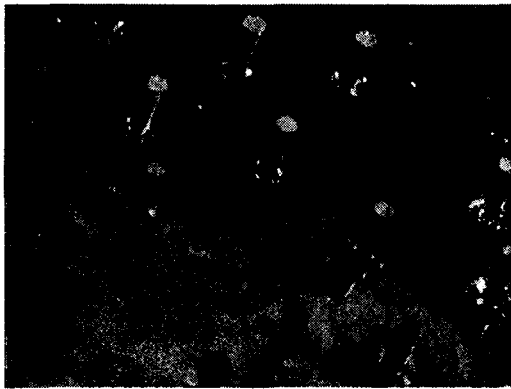


그림 4. 제작된 구리 전극군의 사진.
Fig. 4. The photograph of the fabricated copper electrode array.



그림 5. 구리 전극을 확대한 사진.
Fig. 5. The photograph of the enlarged copper electrode.

부 기판을 일정한 압력과 온도(870 ℃)에서 골드-골드 열압착으로 접합한다.

접합한 상부 기판의 식각된 구멍에 황산구리 도금액을 사용하여 구리가 넘치도록 전기 도금한다. 도금 후 구리 전극군의 높이가 일정하도록 물리적 연마로 넘쳐난 구리를 제거한다. 상부 기판 전면의 열산화막과 하부 기판의 전원 연결부 열산화막을 사진 식각 공정과 BOE 식각으로 제거한다.

TMAH(Tetramethyl ammonium hydroxide)를 사용하여 상부 기판을 400 μm 깊이로 식각하고 나머지 100 μm 두께 실리콘은 절연용으로 사용하기 위해 남겨둔다. 또한, 전기 화학 방전 가공시 외부 전원 회로와 연결을 위해 하부 기판의 전원 연결 부분을 식각하고 은 페이스트를 사용하여 전선을 연결한다.

그림 4는 제작된 구리 전극군의 사진이며, 그림 5는 제작된 구리 전극군 중에서 하나의 전극을 확대한 사진이다. 제작된 구리 전극의 지름과 높이는 각각 105±5 μm와 400±5 μm로 측정되었다. 제작된 구리 전극간의 지름과 높이 편차가 비교적 적었으며, 이를 통하여 ICP-RIE로 관통된 실리콘 구조물이 구리 도금틀로서 효과적으로 이용되었음을 알 수 있다.

4. 전기 화학 방전 가공 시험

그림 6은 제작된 구리 전극군을 사용하여 두께 350 μm Borofloat33 유리의 전기 화학 방전 가공을 위한 장치도이다. 양극으로 화학적 부식에 강한 백금을, 음극으로 제작된 구리 전극군을 사용하여 50 % NaOH 수용액에서 전기 화학 방전 가공을 시험하였다. 전원 회로는 반파 정류회로를 이용하였다.

그림 7은 가공한 Borofloat33 유리의 부분 사진이며, 그림 8은 가공면을 확대한 사진이다. 가공시 인가 전압은 55 V 이고, 가공 시간은 60 초이다. 유리의 가공면은 반구 형태로 가공되었으며, 중심 부근 돌출은 원기둥 형태의 구리 전극 가장자리에서 전류 밀도가 중심보다 높아 방전이 활발하게 일어났음을 보여준다. 가공된 구멍들의 지름은 300 ±30 μm 이다.

그림 9는 3차원 미세 형상 측정기(NT-1000, Veeco社)를 사용하여 유리 가공면을 3차원 형상으로 나타낸 사진이며, 그림 10은 유리 가공면의 상부 부근을 확대한 그림이다. 가공된 구멍 주위의 상부 부근의 표면의 거칠기가 가공하지 않은 면과 동일함을 확인할 수 있었다. 그림 11은 표면단차측정기(Alpha-step500, KLA-TENCOR社)을 사용하여 측정한 유리 가공면의 단차와 2차원적인 내부 형상 사진이다. 유리 가공면의 가공 깊이는 35 μm이며, 중앙 부근에서의 돌출 부분이 관찰되었다. 또한, AFM(Atomic Force Microscopy, SSM-SRP-150, PSI社)을 사용하여 측정한 가공면 상단 부근

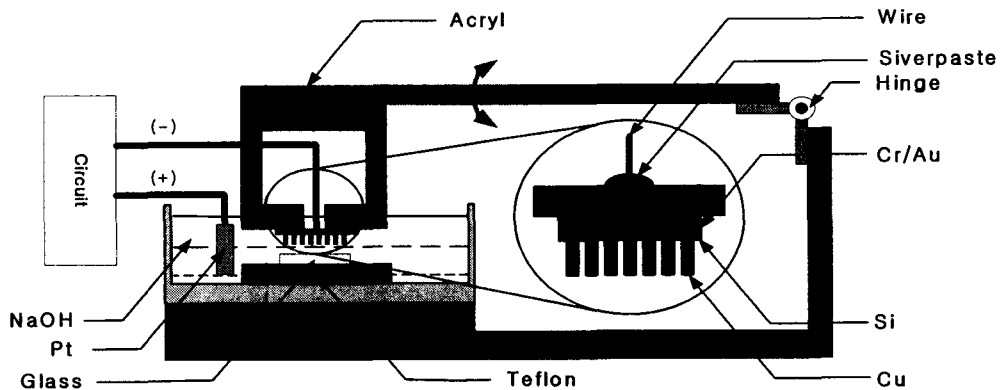


그림 6 전기 화학 방전 가공 장치도.
Fig. 6. The experimental setup for ECDM.



그림 7. 전기 화학 방전 가공된 유리 사진.
Fig. 7. The SEM photograph of the machined glass.



그림 10. 유리 가공면 상부 부근의 3차원 형상
Fig. 10. The 3D profile of the upper surface of glass.

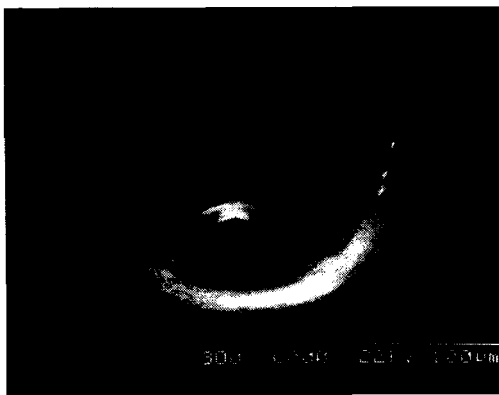


그림 8. 유리 가공면을 확대한 사진.
Fig. 8. The enlarged glass SEM photograph.

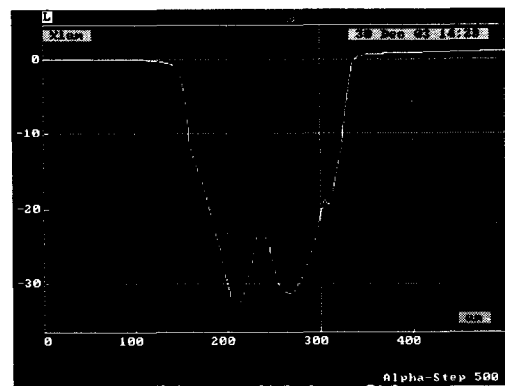


그림 11. 유리 가공면의 단차.
Fig. 11. The surface profile of the machined glass.

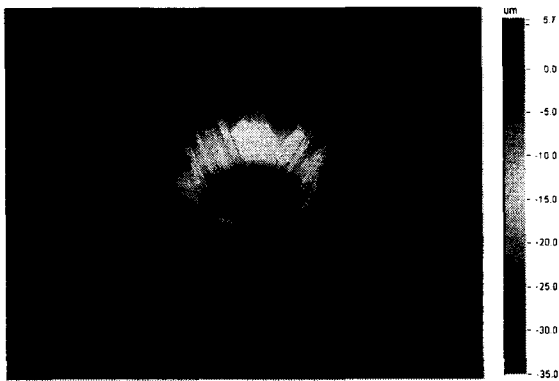


그림 9. 유리 가공면의 3차원 형상.
Fig. 9. The 3D profile of the machined glass.

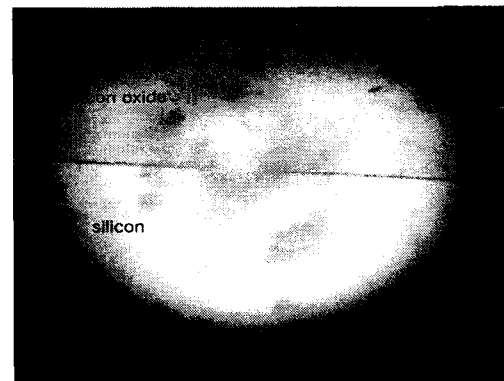


그림 12 유리 가공면 아래의 산화막 패턴 확인.
Fig. 12. The oxide pattern under the machined glass.

의 RMS 표면 거칠기는 30 Å이다.

패키징에 사용되는 유리는 아래의 구조물 동작을 확인하기 위해 투명한 가공면이 요구된다. 실리콘 산화막을 패턴한 후 유리 가공면 아래의 산화막을 현미경을 사용하여 관찰하였다. 그림 12는 유리 가공면을 통한 실리콘 산화막의 패턴을 광학 현미경을 통하여 200배 확대한 사진이다. 반구 형태의 유리 가공면 중앙 부근의 돌출이 있으나, 그 주위의 산화막 패턴은 쉽게 확인되었다.

가공된 유리가 다양한 MEMS 소자의 패키징에 사용되기

위해서는 실리콘과 양극 접합이 가능해야 한다. 이에, 가공된 Borofloat33 유리와 실리콘의 양극 접합을 시험하였다. 접합 전 가공된 유리와 실리콘은 황산 세정 ($H_2SO_4 : H_2O_2 = 2 : 1$)과 탈이온수로 세척하였다. 그림 13은 전기 화학 방전 가공한 유리와 실리콘을 양극 접합한 SEM 사진이다. 사진의 상단은 가공된 유리로서 반구 형태와 중앙에서의 돌출을 보이며, 하단은 실리콘으로서 유리 가공면 주변에서 양호한 접합 상태를 보여준다. 이와 같은 방식의 유리 가공은 MEMS 구조물의 동작 공간 확보 및 진공 패키징이 필요한

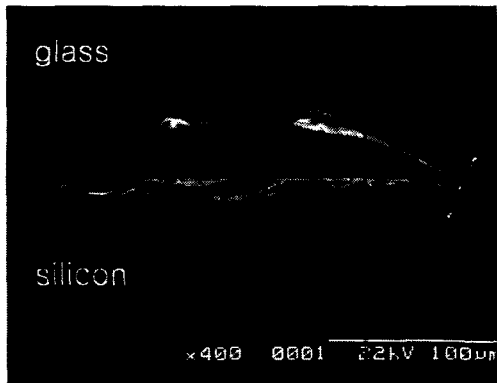


그림 13 가공된 유리와 실리콘의 양극 접합 SEM 사진.
 Fig. 13. The photograph of the silicon-to-glass anodic bonding.

마이크로 소자 제작에 사용될 수 있다. 접합 단면에서 실리콘과 유리의 파손은 웨이퍼 절삭기(DAD 522, Disco社)를 이용한 절단 과정에서 회전날에 의해 발생하였다.

5. 결 론

본 논문에서는 마이크로머시닝 기술을 이용하여 전기 화학 방전 가공용 구리 전극군을 제작하고, 유리의 전기 화학 방전 가공 시험을 하였다. 큰 중첩비를 가진 원기둥 형태의 구리 전극이 일정한 간격으로 배열된 구리 전극군은 ICP-RIE 공정과 골드-골드 열압착 접합, 구리 전기 도금 등으로 제작되었다. 제작된 구리 전극군을 사용하여 전기 화학 방전 가공 방법으로 Borofloat33 유리의 가공을 시험하였다. 유리 위에 반구 형태로 가공되었으며, 구리 전극의 중심과 가장자리에서 전류 밀도 차이로 가공면 중심 부근에서 돌출이 발생하였다. 전기 화학 방전 가공된 유리 가공면의 3차원 형상, 단차와 표면 거칠기를 측정하였다. 유리 가공면의 단차는 35 μm이고 가공면 상부 부근의 표면 거칠기는 가공하지 않은 면과 동일하여 실리콘과의 양극 접합이 가능하였다. 광학 현미경으로 유리 가공면 아래의 실리콘 산화막 패턴을 관찰하여 가공면의 가시성을 확인하였다.

향후 시편의 크기를 증가시켜 다수의 구리 전극군이 배열된 구조를 설계 및 제작하여 웨이퍼 레벨 수준의 유리 가공을 시험할 예정이다.

감사의 글

본 연구는 자동차 부품 연구원과 삼성전기의 지원(미래형 자동차 기술개발사업, 산업자원부)에 의해 수행되었으며 이에 감사드립니다.

참 고 문 헌

- [1] C. S. Taylor, "The anode effect," 47th General Meeting of the American Electrochemical Society, Niagara Falls, April 23, 1925.
- [2] H. H. Kellogg, "Anode effect in aqueous electrolysis," Journal of the Electrochemical Society, vol. 97, pp. 133-142, 1950.
- [3] S. Shoji and M. Esashi, "Photoetching and electrochemical discharge drilling of pyrex glass," Technical Digest of the Sensor Symposium, pp. 27-30, 1990.
- [4] I. Basak, and A. Ghosh, "Mechanism of spark generation during electrochemical discharge machining: a theoretical model and experimental verification," Journal of Materials Processing Technology, vol. 62, pp. 46-53, 1996.
- [5] I. Basak, and A. Ghosh, "Mechanism of material removal in electrochemical discharge machining: a theoretical model and experimental verification," Journal of Materials Processing Technology, vol. 71, pp. 350-359, 1997.
- [6] 정옥찬, 양의혁, 양상식, "유리의 미세 가공을 위한 전기 화학 방전 가공기술에 관한 실험적 연구," 대한전기학회 논문지, 45권, 10호, pp. 1374-1379, 1996.
- [7] 정귀상, 홍석우, "전기화학적 방전가공법에 의한 #7740 파이렉스 유리기판의 미세가공에 관한 연구," 전기전자재료학회 논문지, 12권, 6호, pp. 486-496, 1999.
- [8] C. T. Yang, S. S. Ho and B. H. Yan, "Micro hole machining of borosilicate glass through electrochemical discharge machining(ECDM)," Key Engineering Materials, vol. 196, pp. 149-166, 2001.
- [9] Kenichi Takahata and Yogesh B. Gianchandani, "Batch mode micro-electro-discharge Machining," Journal of Microelectromechanical Systems, vol. 11, no. 2, pp. 102-110, 2002.
- [10] F. G. Tseng, and C. S. Yu, "High aspect ratio ultrathick micro-stencil by JSR THB-430N negative UV photoresist," Sensors and Actuators A, vol. 97-98, pp. 764-770, 2002.

저 자 소 개



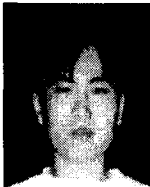
정 주 명 (鄭 柱 明)

1976년 3월 25일 생. 2002년 공주대학교 전자공학과 졸업(학사). 2004년 아주대학교 일반대학원 전자공학과 졸업(석사). 관심분야 : MEMS packaging
E-mail : ju_myoung@mems.ajou.ac.kr



정 옥 찬 (鄭 玉 贊)

1972년 6월 28일 생. 1995년 아주대학교 제어계측공학과 졸업(학사). 1997년 동 대학원 제어계측공학과 졸업(석사). 2003년 동 대학원 전자공학과 졸업(공학박사). 현재 日本 立命館大學校 기계공학과 박사 후 과정. 관심분야 : Stress analysis, Micro actuator
E-mail: memsoku@se.ritsumeimei.ac.jp



심 우 영 (沈 愚 英)

1973년 10월 24일 생. 1998년 아주대학교 전기전자공학부 졸업(학사). 2000년 동 대학원 제어계측공학과 졸업(석사). 현재 동 대학원 전자공학과 박사과정. 관심분야 : BioMEMS
E-mail : wooral@mems.ajou.ac.kr



양 상 식 (梁 翔 植)

1958년 1월 16일 생. 1980년 서울대학교 기계공학과 졸업(학사). 1983년 동 대학원 기계공학과 졸업(석사). 1998년 U. C. Berkeley 기계공학과 졸업(공학박사). New jersey Institute of Technology 연구 조교수. 현재 아주대학교 전자공학부 교수. 주관심분야 : 마이크로 소자의 Mechanism과 Actuation, Motion Control과 Nonlinear Control
Tel : 031-219-2488, Fax : 031-212-9531
E-mail : ssyang@ajou.ac.kr