

단일 스위칭소자를 이용하여 환류다이오드의 전압스트레스를 강하시킨 소프트-스위칭 벡 컨버터

論 文
53B-9-8

Soft-Switching Buck Converter Dropped Voltage Stress of a free-Wheeling Diode Using a Single Switching Device

李 建 行* · 金 榮 石† · 金 明 吳*
(Gun-Haeng Lee · Young-Seok Kim · Myung-O Kim)

Abstract - This paper presents a buck circuit topology of high-frequency with a single switching device. It solved the problem which arised from hard-switching in high-frequency using a resonant snubber and operating under the principle of ZCS turn-on and ZVS turn-off commutation schemes. In the existing circuit, it has the voltage stress that is almost twice of input voltage in a free-wheeling diode. In the proposed circuit, it has the voltage stress that is lower than input voltage with modifying a location of free-wheeling diode. In this paper, it explained the circuit operation of each mode and analyzed feedback-loop stabilization. Also it confirmed the waveform of each mode with simulation result. The experiment result verified the simulation waveform and compared the voltage stress of a free-wheeling diode in the exsiting circuit with the voltage stress of that in the proposed circuit. Moreover, it compares and analyzes the proposed circuit's efficiency with the hard-switching circuit's efficiency according to the change of load current.

Key Words : Buck, Single Switching, Resonant Snubber, Free-Wheeling Diode

1. 서 론

최근들어, PWM DC-DC 컨버터는 고전력 출력과 제어의 용이성 때문에 넓은 범위에서 다양하게 사용되고 있다.

스위칭 주파수의 증가는 더욱더 작은 크기의 인덕터와 캐패시터를 사용하게 한다. 그러나, 스위칭 주파수의 증가는 스위칭 손실이나 EMI 노이즈를 발생시킨다.[1,2] 고주파시 hard-switching으로 구동하게 되면 스위칭 손실은 더욱더 증가하게 되고, 안정도가 불안해진다.[3] 반면에 soft-switching PWM 기술은 턴 온, 턴 오프시 영전류 또는 영전압 스위칭 구동을 하기 때문에 이러한 문제를 충분히 해결한다. 스위칭 문제와 관련하여 SMPS의 기능을 향상 시키기 위해 다양한 방식의 soft-switching 회로가 제안되었다.[4] 그러나, 이러한 대부분의 회로는 주 스위칭 소자의 공진모드를 만들기 위해 보조 스위칭소자를 사용 하였다. 이러한 회로는 제어방법이 복잡해지고, 복잡한 회로를 구성한다. 본 논문에서는 보조 스위칭소자 없이 주 스위칭 소자만을 가지고, soft-switching으로 구동하는 회로를 제안하였다.

또한 제안된 회로는 기존의 회로가 가지는 환류다이오드의 높은 전압스트레스를 입력 전압 이하로 감소시켰다. 또한 피드백 루프의 안정도 회로를 구성함으로써 고주파시 경부하에서 발생하는 Noise Spike를 줄였다. 동작모드는 시뮬레이션을 통하여 검증하였고, 최대출력 600W까지 회로를

제작하여 100KHz에서 실험하여 검증하였다.

2. 본 론

2.1 제안된 Soft-Switching Buck 컨버터

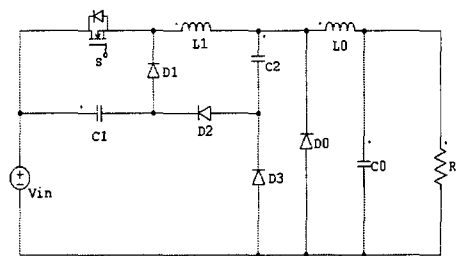


그림 1. 기존의 회로($V_{D0} = V_{D3} + V_{C2}$)

Fig. 1. The conventional circuit($V_{D0}=V_{D3}+V_{C2}$)

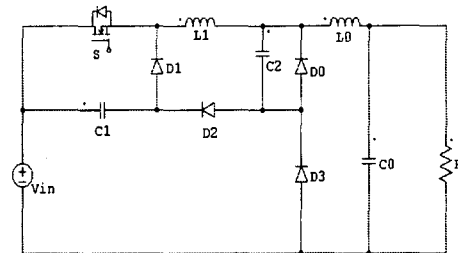


그림 2. 제안된 회로($V_{D0} = V_{C2}$)

Fig. 2. The proposed circuit($V_{D0}=V_{C2}$)

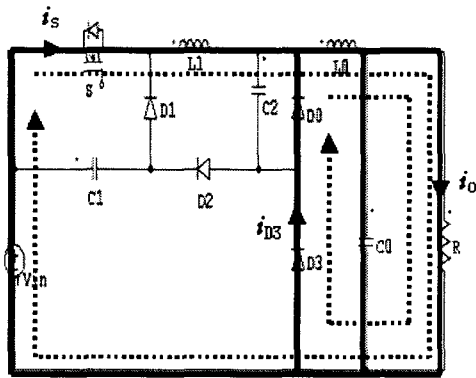
* 學生會員 : 인하대학교 전기공학과 석사과정
† 교신저자, 正會員 : 인하대학교 전기공학과 교수
E-mail : youngsk@inha.ac.kr

接受日字 : 2004年 5月 19日
最終完了 : 2004年 7月 21日

그림 2의 제안된 Buck 컨버터 회로는 그림 1의 기존의 Buck 컨버터 회로[5]에 비해서 회로의 부품수는 같으나, 환류다이오드의 전압스트레스가 $V_{D0}=V_{C2}$ 이므로 기존의 Buck 컨버터 회로의 환류다이오드 전압스트레스 $V_{D0}=V_{D3} + V_{C2}$ 에 비해서 모드 동작에 맞는 적당한 C_2 값을 설정함으로써 입력전압 이하로 떨어지게 된다. 다이오드의 전압 스트레스가 떨어지게 되면 다이오드의 내압이 작은 것을 사용할 수 있으므로, 대량의 SMPS를 제작할때는 경제적으로 큰 이익을 볼 수 있다.

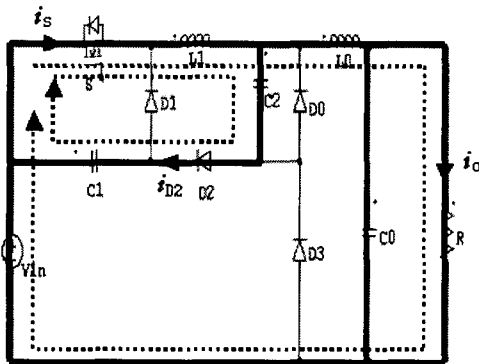
2.2 동작원리 및 회로해석

제안된 Buck 컨버터회로의 전체적인 동작은 그림 3과 같이 9개의 동작 모드로 나눌 수 있고, 각 모드별 주요파형은 그림 4와 같다. 모드별 정상상태 해석을 위해서, 모든 반도체 소자들은 이상적이며, 출력 전류(I_o)는 일정하고, 공진 캐패시터 C_1 에 충전되는 전압은 입력전압 V_{in} 과 동일하다고 가정한다.



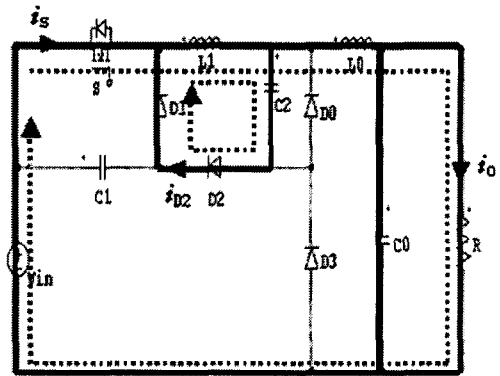
모드1 ($t_1 - t_2$)

$t = t_1$ 인 시점에 스위칭소자가 영전류 조건에서 턴온. i_{L1} 은 선형적으로 증가, i_{D0} 는 선형적으로 감소



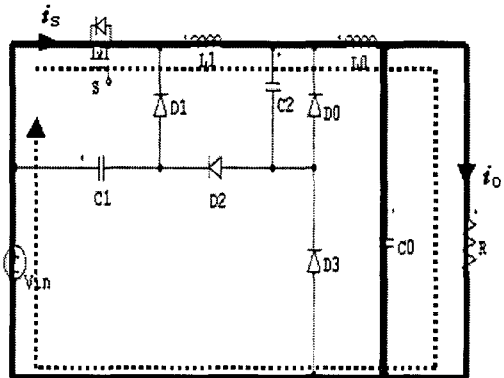
모드2 ($t_2 - t_3$)

$t = t_2$ 에서 D_0, D_3 에 흐르는 전류가 0이 되면서 D_2 는 영전압에서 턴온. C_1 에 저장된 에너지는 C_1 -S-L1-C2-D2루프를 통해서 방전



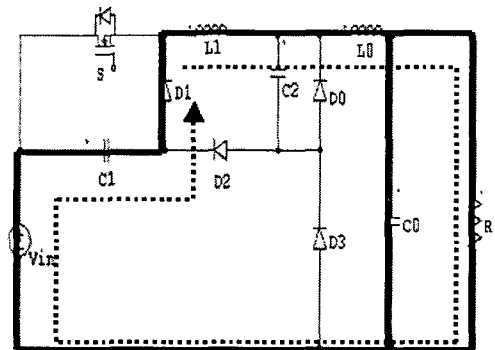
모드3 ($t_3 - t_4$)

$t = t_3$ 에서 C_1 이 완전히 방전되면서 영전압에서 D_1 이 턴온. L_1 에 흐르는 전류가 출력 전류 I_o 가 될 때 까지 모드3은 계속



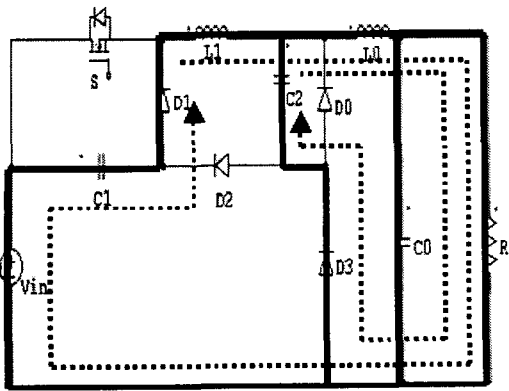
모드4 ($t_4 - t_5$)

$t = t_4$ 에서 L_1 에 흐르는 전류가 I_o 가 되면서 Conventional Buck 모드의 턴온 상태와 같아진다.



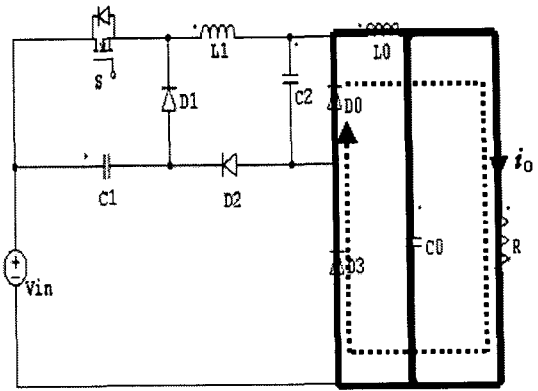
모드5 ($t_5 - t_6$)

$t = t_5$ 에서 스위칭 소자를 오프. 스위칭 소자 전류 i_s 는 C_1 과 D_1 을 통해 부하측으로 흐름.



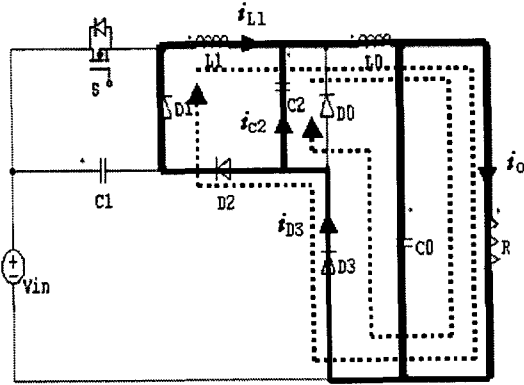
모드6 ($t_6 - t_7$)

$t = t_6$ 에서 $V_{C1} = V_{in} - V_{C2}$ 가 되면서 D3가 영전압에서 턴 온. C2에 저장된 에너지는 부하측과 D3를 통해서 방전.



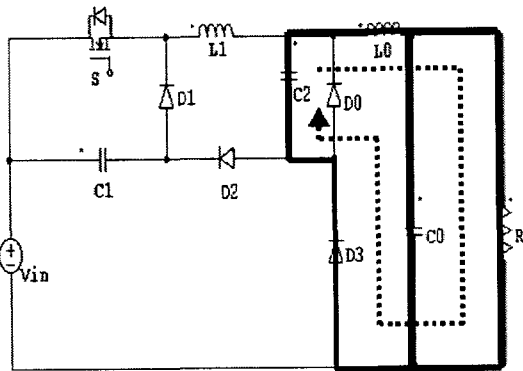
모드9 ($t_9 - t_{10}$)

$t = t_9$ 에서 C2의 전압이 0이 되면서 환류다이오드 D0은 영전압에서 턴 온. 이 모드는 Conventional Buck 모드의 오프 상태와 같아진다.



모드7 ($t_7 - t_9$)

$t = t_7$ 에서 $V_{C1} = V_{in}$ 이 되면서 D2가 영전압에서 턴 온. L1에 흐르는 전류는 부하측과 D3-D2-D1을 통해 선형적으로 감소하고, C2에서는 D3를 통해 방전을 계속한다.



모드8 ($t_8 - t_9$)

$t = t_8$ 에서 i_{L1} 이 0이 되면서 D1, D2는 영전류에서 오프. C2의 방전이 끝날때까지 모드는 계속된다.

그림 3. 제안된 Buck 컨버터 회로의 동작 모드
Fig. 3. Operation modes of the proposed circuit

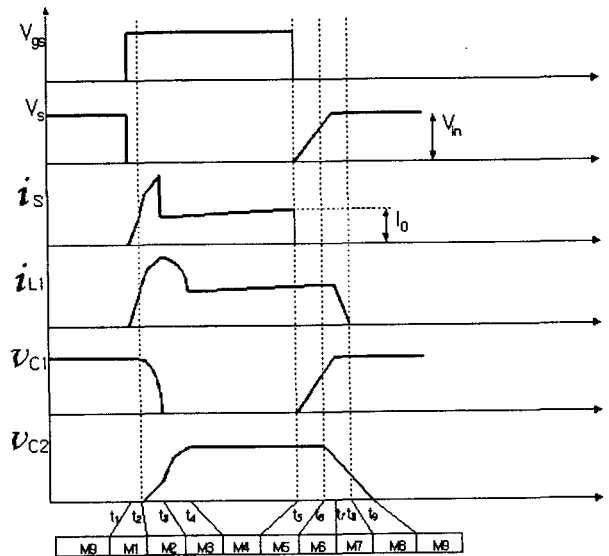


그림 4. 제안된 회로의 모드별 파형
Fig. 4. Each mode waveform of the proposed circuit

2.3 안정도 회로의 구성

그림 5는 안정도 회로의 구성을 나타낸다. 오차증폭기와 비교기의 기능을 하는 것은 모든 PWM Chip안에 포함된다. 또한 PWM Chip은 다른 여러 기능을 가진다. 그러나, 안정도 문제를 이해하기 위해서는, 오차증폭기와 비교기를 고려해야만 한다. 입력전원이나 부하의 변화 때문에 생기는 출력 전압 V_0 의 작은 변화는 오차증폭기의 -입력에 의해 감지되고, 오차증폭기의 +입력의 레퍼런스 전압과 비교된다. 오차증폭기의 출력은 다시 비교기의 -입력의 삼각파 전압과

비교되어 스위칭소자의 게이트 신호로 들어가게 된다. 입력 전원이 증가하게 되면 출력전압 V_o 가 증가하게 되며, 출력 전압의 증가는 오차증폭기의 출력을 감소시킨다. 오차 증폭기 출력의 감소는 삼각파와 비교되어 게이트 신호의 도통구간을 줄이게 된다. 따라서, 출력전압은 원하는 값으로 돌아가게 되는 것이다. 반대의 경우, 입력전원이 증가하게 되는 경우, 게이트 신호의 도통구간이 증가하게 되어 원하는 값을 유지하게 된다.

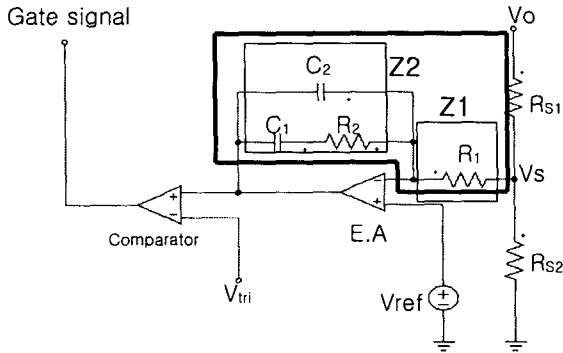


그림 5. 출력전압을 안정화 시키기 위한 제환루프회로
Fig. 5. Feedback circuit to make output voltage stable

2.3.1 안정도 회로 분석 및 해석 [6]

그림 5에서 R_{S1}, R_{S2} 는 분배 저항이고, R_1, R_2, C_1, C_2 는 안정도 회로에 필요한 소자들로서 그 값을 구해본다.

우선, E.A Gain을 구해 보면,

$$G = \frac{V_o}{dVI} = \frac{Z2}{Z1} = \frac{(R2 + 1/jwC1)(1/jwC2)}{R1(R2 + 1/jwC1 + 1/jwC2)}$$

여기서, $s=jw$ 로 바꾸면

$$G = \frac{(R2 + 1/sC1)(1/sC2)}{R1(R2 + 1/sC1 + 1/sC2)}$$

일반적으로 $C2 \ll C1$ 인 것을 이용하여 정리하면

$$G = \frac{1 + sR2C1}{sR1(C1 + C2)(1 + sR2C2)} \tag{1}$$

여기서, Zero 점과 Pole 점의 주파수를 구하면

$$Fz = \frac{1}{2\pi R2C1}, \quad Fpo = \frac{1}{2\pi R1(C1 + C2)}, \tag{2}$$

$$Fp = \frac{1}{2\pi R2C2}$$

Fpo 는 Fz 에서 -1 Slope로 내려갈 때, E.A Gain 값이 0dB와 만났을 때의 주파수이다. Venable's Scheme을 적용하여 $Fco/Fz = Fp/Fco = K$ 을 선택한다. 여기서, Fco 는 Crossover Frequency로써 스위칭 주파수의 1/5를 선택한다.

제안된 회로는 100KHz이므로

$$Fco = 20KHz \tag{3}$$

$Fesr$ 은 출력캐패시터 Co 의 ESR 영점 주파수로서 Total Gain(Gt)의 Gain Slope가 -2에서 -1 Slope로 바뀌는 주파수이다.

$$Fesr = \frac{1}{2\pi ResrCo} = \frac{1}{2\pi(65 * 10^{-6})}$$

(전해캐패시터에서 $ResrCo = 65 * 10^{-6}$ 으로 일정하다.)

$$= 2.5KHz \tag{4}$$

식(3)과 (4)의 $Fco/Fesr$ 의 비를 구하여 $Fesr$ 의 영점 때문에 생기는 Fco 에서의 $LoCo$ 필터의 Phase Lag을 구하면 97° 이다. 45° 의 Phase Margin을 가정하면 total phase shift는 $360^\circ - 45^\circ = 315^\circ$ 이다. E.A의 Phase Lag을 구하면 $315^\circ - 97^\circ = 218^\circ$ 이다. 이때 적당한 K값을 구하면 3보다 큰 4를 선택하면 충분하다.[6] 따라서 Fco 에서 Phase Margin = $360^\circ - (208^\circ + 97^\circ) = 55^\circ$ 로 안정한 회로의 Phase Margin 45° 이상을 만족한다.

$$(K=4일때 E.A의 Phase Lag은 208°) \tag{5}$$

$$\text{Total Gain}(Gt) = \text{LoCo Filter Gain}(Gf) + \text{Modulator Gain}(Gm) + \text{Sampling network gain}(Gs)$$

$$Gm = Vav/3 \quad (Vav = \text{출력전압 } V_o \text{의 평균치}) = 100/3 = 33.33 = 30.5dB \tag{6}$$

$$Gs = Vs/V_o = 0.025 = -32dB \tag{7}$$

$$Fo = \frac{1}{2\pi \sqrt{LoCo}} = \frac{1}{2\pi \sqrt{1.3 * 10^{-3} * 20^{-6}}} = 990Hz$$

(Lo, Co 는 실험에 사용한 파라미터 값을 이용) $\tag{8}$

Gt 는 $Gm + Gs = -1.5dB$ 로 Fo 까지 직선으로 가다가 식(4)의 $Fesr$ 까지는 -2slope로, 그 이후로는 -1slope로 Gain값을 갖는다. Fco 에서 E.A Gain 과 Total Gain은 같게 E.A Gain 값을 구하고 Fz 와 Fp 사이는 직선으로 그리고 그 이후는 -1Slope로 E.A Gain을 구한다. 그림 6은 안정도 회로의 주파수에 따른 보드선도를 나타낸다.

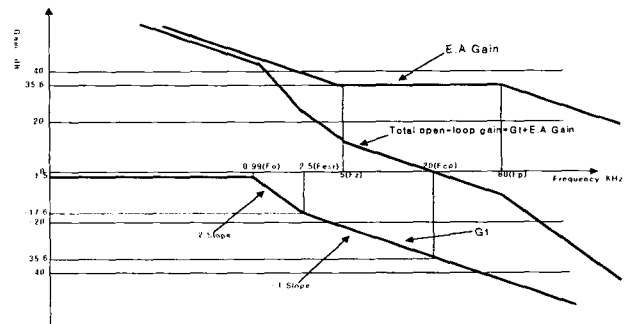


그림 6. 안정도 회로의 주파수에 따른 보드선도
Fig. 6. Bode magnitude diagram of stability circuit according to frequency

여기서, 위의 값을 토대로 R1,R2,C1,C2를 구하여 보면, R2/R1는 수평부분의 E.A Gain값이다. 따라서,

$$20 \times \log(R2/R1) = 35.6$$

$$R2/R1 = 60$$

R1=1KΩ으로 정하면 R2=60KΩ이 된다. (9)

Fco/Fz=Fp/Fco=K를 이용하여 Fz와 Fp를 구하면

Fz=5KHz, Fp=80KHz (10)

식(2)를 이용하여 C1과 C2를 구하면

C1=530pF, C2=33pF (11)

식(9)와 (11)에서 구한 R1,R2,C1,C2를 이용하여 회로를 설계하였다.

고주파에서 E.A Gain은 Z2/Z1=Xc2/R1로 주파수가 높을 때는 낮은 값을 나타낸다. 고주파에서 낮은 E.A Gain은 출력전압의 고주파 Noise Spike를 막는다. 또한 경부하가 걸린 LoCo Filter는 큰 Resonant Bump를 일으킬 수 있다.[6]

2.4 시뮬레이션 및 실험결과

제안된 Buck 컨버터의 동작파형을 확인하기 위해서, 본 논문에서는 PSpice를 이용하여 시뮬레이션을 하였고, 스위칭 주파수 100KHz로 구동되는 시스템을 제작하였다. 그림 7은 제안된 Buck 컨버터 스위칭 소자의 시뮬레이션 전압, 전류 파형을 보여 준다. 그림 8은 시뮬레이션과 같은 조건으로 제작한 실험파형을 나타 낸다. 표1에서는 스위칭 소자의 스위칭 조건을 나타냈으며, 실험에 사용된 부품의 명칭과 수치는 표2와 같다.

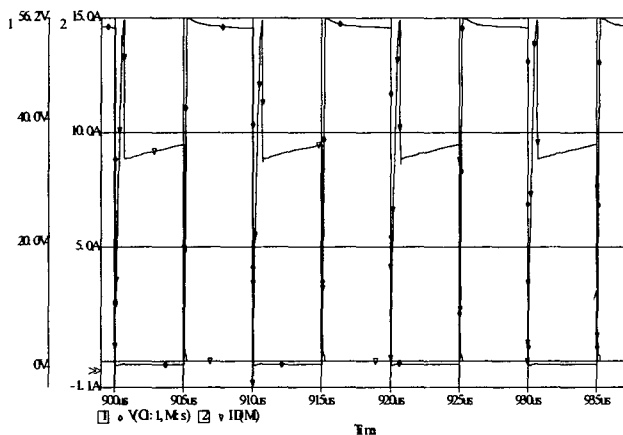


그림 7 시뮬레이션 스위칭소자의 전압, 전류 파형(Po=250W)
Fig. 7 Voltage and current waveforms of the switch S in simulation (Po=250W)

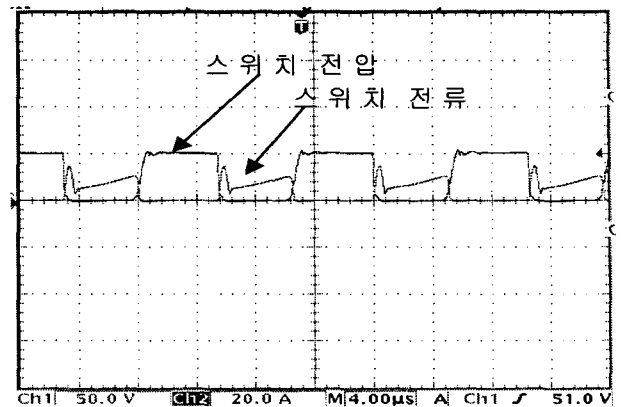


그림 8. 스위칭소자 전압, 전류 파형 (Po=250W)
Fig. 8. Voltage and current waveforms of the switch S

표 1. 스위칭 소자의 스위칭조건

Table 1. Switching condition of switching element

반도체 소자	턴온 상태	턴오프 상태
주 스위칭 소자	ZCS	ZVS

표 2. 실험에 사용된 소자의 파라미터

Table 2. Parameter used in experiments

Component	Value/Model
입력 전압(Vin)	200[V]
출력 전압(Vo)	100[V]
출력 전류(Io)	1~6[A]
최대 출력(Po)	600W
공진 캐패시터(C1)	40nF
공진 캐패시터(C2)	80nF
공진 인덕터(L1)	3uH
출력 캐패시터(Co)	20uF
출력 인덕터(Lo)	1.3mH
스위칭 소자(S)	IRF840
정류용 다이오드	PBS2506

그림 9는 표2에 사용된 파라미터를 사용하여 최대출력 600W에서 실험한 스위칭 소자 전압, 전류 파형을 나타낸 것이고, 그림 10, 11은 턴 온과 턴 오프시 ZCS, ZVS 동작을 보기위해서 그림 9의 시간간격을 줄여서 본 파형이다. 그림에서 보듯이, 턴 온시 전류가 서서히 증가하고, 오프시 전압이 서서히 증가하면서 스위칭 손실을 줄임이 볼 수 있다.

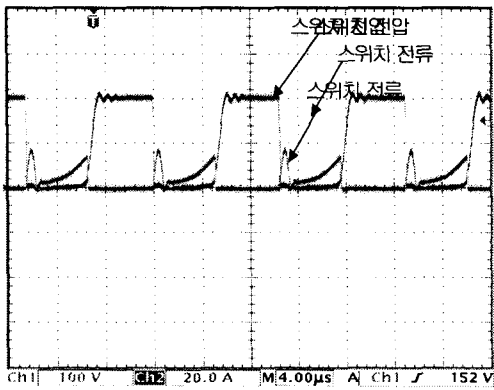


그림 9. 스위칭소자의 전압, 전류 파형($P_o=600W$ 일 때)
 Fig. 9. Voltage and current waveforms of the switch S (When P_o is equal to 600W)

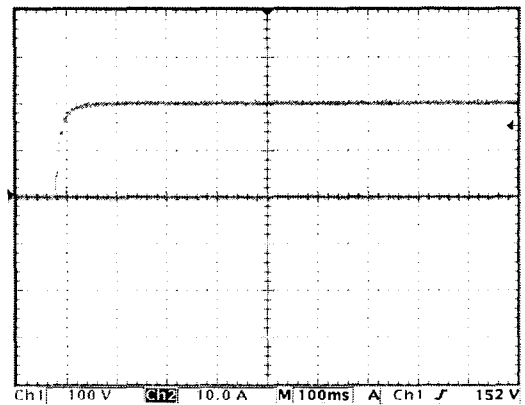


그림 12. 입력전압 파형 (100V/div, 100ms/div)
 Fig. 12. Waveform of input voltage (100V/div, 100ms/div)

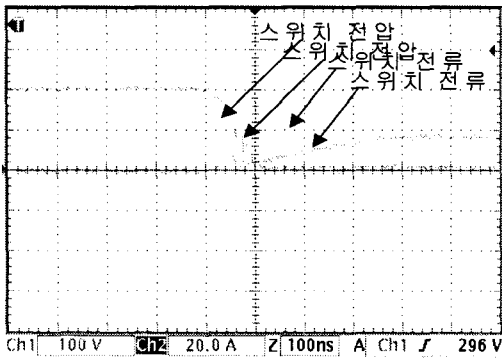


그림 10. 턴 온시 스위칭소자의 전압, 전류 파형 (100V/div, 20A/div, 100ns/div)
 Fig. 10. Voltage and current waveforms of the switch S when switch S turns on(100V/div, 20A/div, 100ns/div)

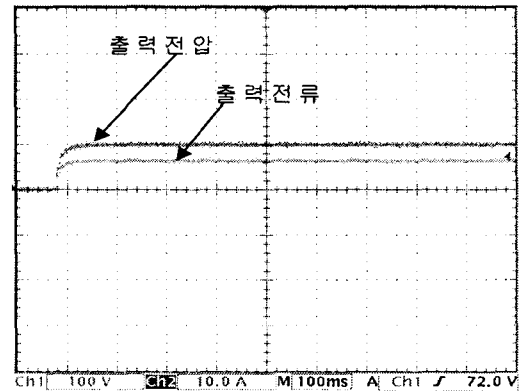


그림 13. 출력전압, 전류파형(100V/div, 10A/div, 100ms/div)
 Fig. 13. Waveforms of output voltage and current(100V/div, 10A/div, 100ms/div)

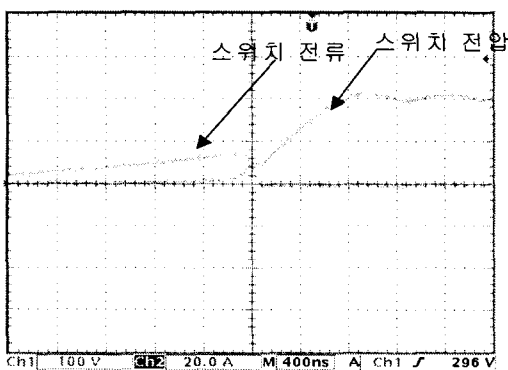


그림 11. 턴 오프시 스위칭소자의 전압, 전류 파형 (100V/div, 20A/div, 400ns/div)
 Fig. 11. Voltage and current waveforms of the switch S when switch S turns off(100V/div, 20A/div, 400ns/div)

그림 12는 입력전압을 나타낸 것이고, 그림 13은 출력전압과 전류를 나타낸 것이다. 그림에서 보듯이 입력전압은 200V이고, 출력전압과 전류는 100V, 6A로 최대 출력 600W에서 구동함을 보여준다.

그림 14는 기존 회로의 환류다이오드 전압스트레스 파형이고, 그림 15는 제안된 회로의 환류다이오드 전압스트레스 파형을 나타낸다. 기존의 파형은 입력전압의 두 배만큼의 피크치를 가지나, 제안된 회로의 파형은 입력전압 이하로 감소함을 알 수 있다.

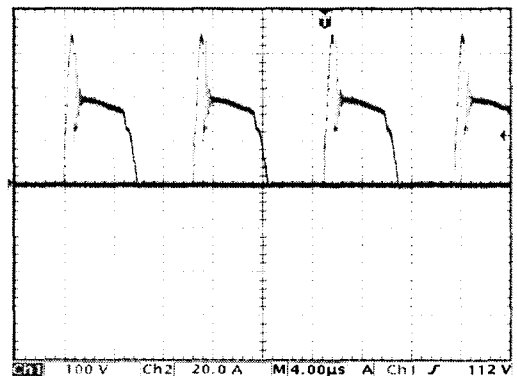


그림 14. 기존 회로의 환류다이오드 전압스트레스 파형 ($VD_0=VD_3+VC_2$) (4us/div)
 Fig. 14. Voltage stress of free-wheeling diode in the conventional circuit ($VD_0=VD_3+VC_2$) (4us/div)

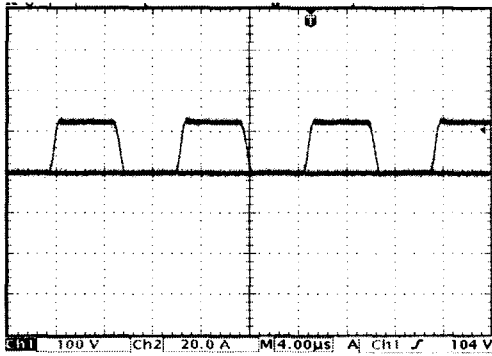


그림 15. 제안된 회로의 환류다이오드 전압스트레스 파형 (VD0=VC2) (4us/div)
 Fig. 15. Voltage stress of free-wheeling diode in the proposed circuit (VD0=VC2) (4us/div)

그림 16, 17은 안정도 회로와 관련된 그림으로써, 그림 16은 Feedback Loop를 구성하지 않은 Open Loop로 구동할 때의 스타팅 시점을 시간 div를 길게 해서 나타낸 것이고, 그림 17은 안정도 회로를 포함한 Feedback Loop를 구성했을 때의 파형을 나타낸 것이다. 그림 17에서 스타팅시 그림 16에서 나타나는 과도전압을 안정도 회로를 구성함으로써 제거함을 알 수 있다.

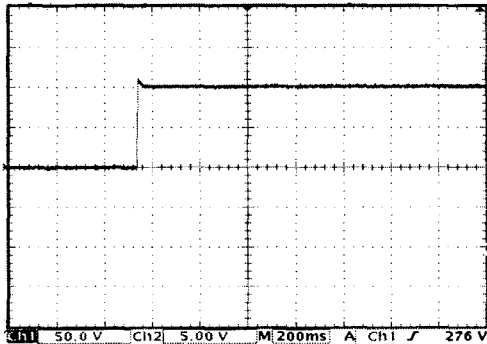


그림 16. Open loop일 때 출력전압파형 (light load:150 ohm- 50V/div, 200ms/div)
 Fig. 16. Output voltage in open loop(light load:150 ohm- 50V/div, 200ms/div)

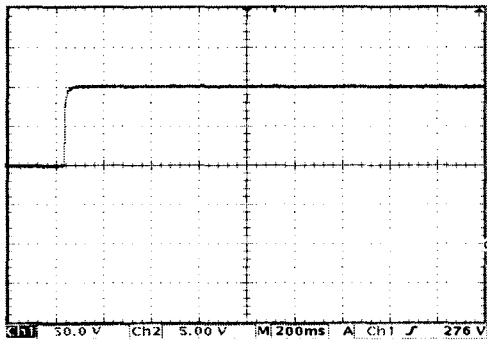


그림 17. FeedBack loop일 때 출력전압파형 (light load:150 ohm- 50V/div, 200ms/div)
 Fig. 17. Output voltage in feedback loop (light load:150 ohm- 50V/div, 200ms/div)

그림 18은 제안된 Buck컨버터 회로와 Conventional Buck 컨버터의 부하변화에 따른 효율 변화를 보여준다. 제안된 회로가 Conventional Buck컨버터에 비해 3-4%의 효율이 높은 것으로 나타난다. 부하전류가 증가하면서 효율이 증가하는 것은 Soft-Switching의 경우, 출력 전력이 증가하는 동안 스위칭 손실은 거의 변화가 없기 때문이다.

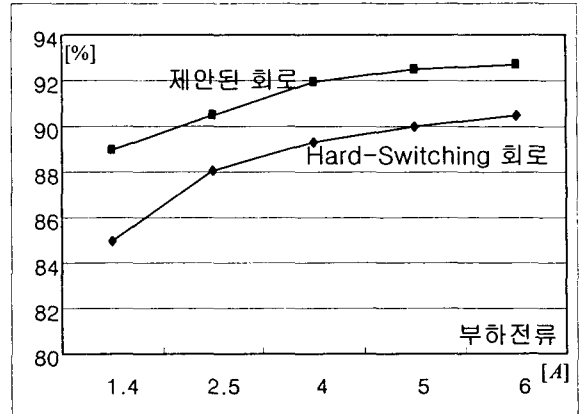


그림 18. 부하전류의 변화에 따른 효율비교
 Fig. 18. The comparison of efficiency as changing load current

3. 결 론

본 논문에서는 기존의 소프트 스위칭 Buck 컨버터와 부품수는 갖게 설계하면서 환류다이오드의 전압스트레스를 2배이하로 강하시킨 개선된 소프트 스위칭 Buck 컨버터를 제안하였다. 그러므로, SMPS 제작시 내압이 작은 다이오드를 사용함으로써 경제적 이익을 얻을 수 있을 것이다. 아울러, 안정도 회로를 구성함으로써 시스템 구동시 출력 전압을 안정화시켰다. 600W, 100KHz에서 구동하는 소프트 스위칭 Buck 컨버터를 설계하여 실험 파형을 제시하였으며, 이를 이론적인 결과 및 시뮬레이션 파형과 비교함으로써 제안된 회로의 유용성을 입증하였다.

감사의 글

이 논문은 산업자원부에서 시행하는 대학전력연구센터 육성'지원사업에 의해 작성되었습니다.

참 고 문 헌

- [1] A.Pietkiewicz and D.A.Tollik, "Snubber circuit and mosfet paralleling considerations for high power boost-based power-factor correctors", in proceeding of INTELEC'95, pp. 41-45, 1995.
- [2] Ching-Jung.tseng,etc, "A Passive lossless Snubber cell for Nonisolated PWM DC/DC Converters", IEEE

- Trans. on IE, Vol. 45, No. 4, pp. 593-601, Aug. 1998.
- [3] Xuezhì WU, Xinmin JIN, Lipei HUANG and Guang FENG, "A Lossless Snubber for DC-DC Converter and Its Application in PFC", Proceedings of IPENC 2000, Vol. 3, pp. 1144-1149, 2000.
- [4] Masa-aki Shimada and Mantaro Nakamura, "Single-Switch Auxiliary Resonant Converters", Proceeding of PCC-nagaoka, Japan, pp 811-814, 1997
- [5] Nakamura, M, Shimada, M, Myoui, T, Sadakata, H, Moisseev, S and Nakaoka, M, "Performance Evaluations on Soft-Switching Boost Power Converter with a Single Auxiliary Passive Resonant Snubber", Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual, Volume: 2, Pages: 1057-1062, 17-21 June 2001
- [6] Abraham I. Pressman, Switching Power Supply Design, Mc Graw Hill, pp 427-460, Second Edition

저 자 소 개



이 건 행 (李 建 行)

1975년 11월 16일생. 2002년 2월 인하대 전기공학과 졸업. 2002년 9월 동 대학원 전기공학과 석사과정.

Tel : 032-860-7397

Fax : 032-863-5822

E-mail : jameslee33@hanmail.net



김 명 오 (金 明 吳)

1978년 2월 4일생. 2003년 2월 인하대 전기공학과 졸업. 2003년 3월 동 대학원 전기공학과 석사과정.

Tel : 032-860-7397

Fax : 032-863-5822

E-mail : happymo052@hanmail.net



김 영 석 (金 榮 石)

1951년 6월11 일생. 1977년 인하대 전기공학과 졸업. 1987년 일본 나고야대 대학원 전기공학과 졸업(공학). 1987년~1989년 전기연구원 전력전자연구실장. 현재 인하대 전기공학과 교수.

Tel : 032-860-7397

Fax : 032-863-5822

E-mail : youngsk@inha.ac.kr