

# WCDMA 시스템 직접변환 단말기 수신기에서 DC 오프셋에 의한 성능영향

## The Effects of DC Offset on the Performance of Direct-Conversion Mobile Receiver in WCDMA System

이 일 규

Il-Kyoo Lee

### 요 약

본 논문에서는 WCDMA 단말기 직접변환 수신기에서 DC 오프셋 발생원인과 DC 오프셋에 의한 시스템 성능 열화에 대해 언급하고, QPSK(Quadrature Phase Shift Keying) 변조 방식에서 DC 오프셋 값에 의한 성능 열화를 시뮬레이션을 통해 확률 오류에 대한  $E_b/N_0$  값으로 나타내었다. DC 오프셋 제어 회로를 추가한 단말기 직접변환 RF 트랜시버 보드를 구현하여 WCDMA(Wideband Code Division Multiple Access) 테스트 베드를 구축하고, DC 오프셋 변화량에 따른 복조기 수신 성능을  $E_c/I_0$  값을 이용하여 평가 및 분석하였다. 분석 및 시스템 시험 결과를 통해 시스템 성능열화 방지를 위한 DC 오프셋 관련 최소 성능 요구규격을 제시하였다.

### Abstract

This paper describes what brings about DC offset and the impact of the DC offset on the performance of direct-conversion mobile receiver in WCDMA system. The performance degradation of  $E_b/N_0$  due to the DC offset is presented through simulation result. Direct-conversion RF Transceiver which has the function of DC offset control is implemented and then applied to the WCDMA test-bed for the performance evaluation. The receiver performance degradation of  $E_c/I_0$  is evaluated and analyzed by varying DC offset value. The practical test showed the minimum requirement of DC offset value to meet system performance.

Key words : WCDMA, Direct Conversion, DC Offset,  $E_c/I_0$ ,  $E_b/N_0$

### I. 서 론

최근 저 전력, 광 대역 및 다중모드 응용에 이용될 수 있는 수신구조에 대한 무선시장의 요구 증가와 직접화 기술의 증가로 인해 직접변환 수신 구조에 대한 연구가 급증하고 있다. WCDMA 직접변환 수신기는 그림 1과 같이 RF 신호를 RF 수신대역 필터를 통과한 후 저 잡음 증폭기를 통해 저 잡음 증폭한다. 저 잡음 증폭된 신호는 국부 발진 신호와 I/Q 복조기(Demodulator)를 통해 QPSK 아날로그 복조를

수행하여 직접 아날로그 기저대역 신호로 변환하게

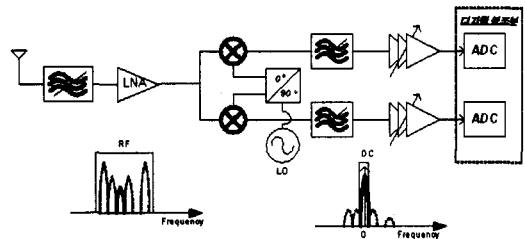


그림 1. WCDMA 직접변환 수신기 구조  
Fig. 1. Direct-conversion receiver of WCDMA.

공주대학교 정보통신공학부(Dept. of Information & Communications Engineering, Kongju University)

· 논문 번호 : 20040604-076

· 수정완료일자 : 2004년 6월 29일

된다. 기저대역 아날로그 신호는 저역 통과 필터를 통과한 다음 기저 대역 가변 증폭기에 의해 증폭된 후 디지털 복조부에 있는 아날로그 디지털 변환기(ADC)에 인가된다<sup>[1]</sup>.

직접 변환 수신기 구조는 슈퍼헤테로다인 수신기 구조와 비교해 볼 때 중간 주파수(IF)가 없기 때문에 이미지 문제가 제거되고, 부피가 큰 외장형 필터가 필요하지 않으므로 소형화가 가능하게 되며 신호 증폭 기능이 기저대역에서 이루어지므로 전류 소비가 적게 드는 장점이 있다. 하지만, 직접 변환 구조로 인한 DC 오프셋 현상이 발생되어 시스템 성능을 열화시킬 수 있다. 특히, 아날로그 기저대역에서 발생된 DC 오프셋은 가변 증폭기의 이득만큼 증폭이 되므로 아날로그 디지털 변환기의 입력 동작 영역에 영향을 미치거나 영역을 벗어나게 될 상황이 발생되어서 시스템 성능 열화 또는 신호 복조 불가능이 발생하게 된다.

본 논문은 QPSK(Quadrature Phase Shift Keying) 변조방식을 이용하는 WCDMA(Wideband Code Division Multiple Access) 단말기 직접 변환 수신기에서 DC 오프셋 발생 원인을 검토하고, DC 오프셋에 의한 시스템 성능 영향을 시뮬레이션과 테스트 베드 시험결과를 통해 분석하여 시스템 성능을 만족하는 허용 가능한 DC 오프셋 값을 구해 직접 변환 단말기 하드웨어 설계 및 구현 측면에서의 성능 요구규격을 제시하였다.

## II. DC 오프셋 발생 원인 및 성능 열화 분석

직접변환 수신기 구조에서 디지털 복조 성능에 영향을 미치는 DC 오프셋 발생 원인은 크게 두 가지로 구분하여 설명할 수 있다. 첫째, 그림 2에서처럼 직접 변환 수신기 하드웨어에서 LO(Local Oscillator)

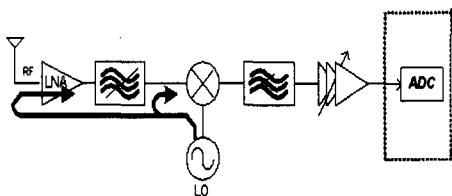


그림 2. 국부 발진기 누설에 의한 DC 오프셋 발생  
Fig. 2. DC offset due to LO leakage.

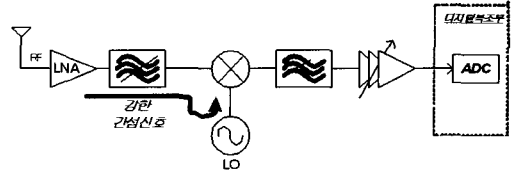


그림 3. 강한 간섭신호에 의한 DC 오프셋 발생  
Fig. 3. DC offset due to strong interference signal.

누설 신호가 의도되지 않은 경로를 통해서 믹서 RF(Radio frequency) 입력에 인가되어 자체 믹싱이 이루어짐으로써 믹서 출력에 원하지 않는 DC 성분이 발생된다. 또한 LO 누설 성분이 저 잡음 증폭기 입력단에 인가되어 강한 신호로 증폭된 다음 자체 믹싱 동작을 통해 DC 오프셋 성분이 발생된다. DC 오프셋 성분은 기저대역 저역 통과 필터를 통과한 다음 기저대역 가변 증폭기에 의해 증폭되어 디지털 복조부 내에 있는 아날로그 디지털 변환기에 인가된다. 이러한 LO 누설 현상은 본딩 와이어 방식, 마그네틱 커플링, 그라운드링 불안정에 의해서 발생된다.

둘째, 그림 3에서처럼 대역내 강한 간섭신호가 저잡음 증폭기에서 증폭된 다음 LO 입력단에 인가되어서 다시 자체 믹싱이 이루어지게 됨으로써 DC 오프셋 성분이 발생된다.

DC 오프셋을 제거하기 위해서는 I/Q 복조기 내부에 RF 입력단과 LO 입력단에 필터를 삽입하여 RF와 LO간 분리도를 증가시켜 LO 누설량을 줄이는 방법 및 믹서 출력단에 AC 커플링 방법들이 제시되어 왔다<sup>[2]</sup>.

일반적으로 AWGN(Additive White Gaussian Noise) 하에서 QPSK 신호의 비트오율은 식 (1)과 같이 표현되고 여기서  $d$ 는 인접 심볼간 거리이며  $N_0$ 는 잡음전력 밀도이다<sup>[3]</sup>.

$$P_b = Q\left(\sqrt{\frac{d^2}{2N_0}}\right) \tag{1}$$

$Q(x)$ 는 식 (2)와 같이 정의된다.

$$Q(x) = \frac{1}{2} \operatorname{erfc}\left(\frac{x}{\sqrt{2}}\right) \tag{2}$$

코히어런트 QPSK인 경우 인접신호간 거리는 식 (3)과 같이 나타낼 수 있고 이때  $E_b$ 는 비트 당 에너지

지이다.

$$d = 2\sqrt{E_b} \quad (3)$$

따라서 식 (1)은 식 (4)와 같은 결과를 얻게 되고, 여기서  $E_b/N_0$ 는 잡음 밀도에 대한 에너지 비트의 비이다.

$$P_b = Q\left(\sqrt{\frac{2E_b}{N_0}}\right) \quad (4)$$

$E_b/N_0$ 에 대한 비트오율을 Matlab 시뮬레이션을 통해 그림 4와 같은 결과를 얻었다.

QPSK 변조방식을 사용하는 WCDMA 시스템인 경우  $10^{-3}$ 의 비트 오율을 얻기 위해 7 dB의  $E_b/N_0$  값을 요구하고 있다<sup>[4]</sup>. DC 오프셋에 의한 시스템 성능 열화를 QPSK 성상도(constellation)로 표시하면 그림 5와 같다.

여기서  $\Delta d_I$ 와  $\Delta d_Q$ 는 각각 I와 Q 채널의 DC 오프셋 값이다. I 성분에 대해서 심볼은  $(d/2)(1 - 2\Delta d_I/d_0)$ 와  $(d/2)(1 + 2\Delta d_I/d_0)$ 에 놓이게 된다. 마찬가지로

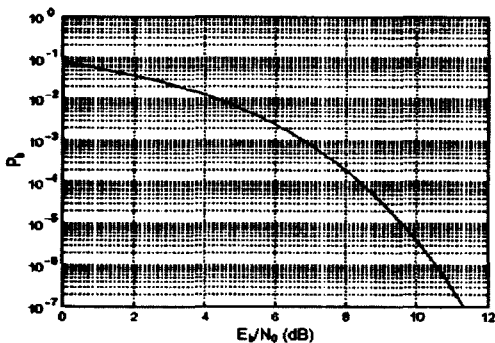


그림 4.  $E_b/N_0$ 에 대한 비트오율에 대한 성능  
Fig. 4. BER versus  $E_b/N_0$ .

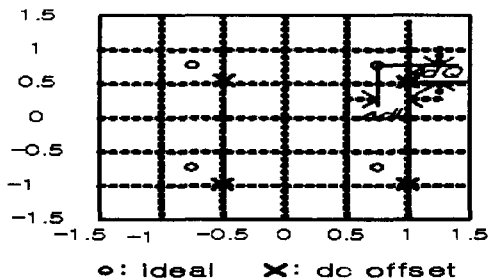


그림 5. DC 오프셋에 의한 QPSK 성상도 변화  
Fig. 5. Effect of DC offset on a QPSK constellation.

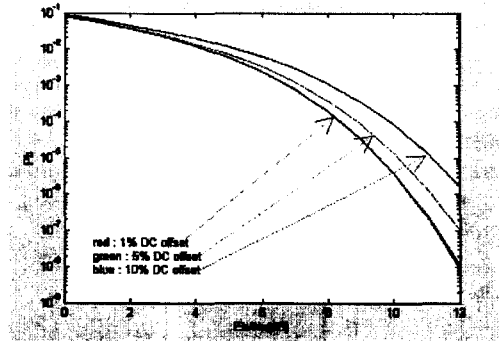


그림 6. DC 오프셋에 의한 비트 오율 변화  
Fig. 6. BER due to DC offset.

Q 성분에 대해서 심볼은  $(d/2)(1 - 2\Delta d_Q/d_0)$ 와  $(d/2)(1 + 2\Delta d_Q/d_0)$ 에 놓이게 된다. 근사화된 전체 비트 오율은 식 (5)와 같이 나타낼 수 있다<sup>[5]</sup>.

$$P_b = \frac{1}{4} \left\{ Q\left[\left(1 - \frac{2\Delta d_I}{d_0}\right)\sqrt{\frac{2E_b}{N_0}}\right] + Q\left[\left(1 + \frac{2\Delta d_I}{d_0}\right)\sqrt{\frac{2E_b}{N_0}}\right] + Q\left[\left(1 - \frac{2\Delta d_Q}{d_0}\right)\sqrt{\frac{2E_b}{N_0}}\right] + Q\left[\left(1 + \frac{2\Delta d_Q}{d_0}\right)\sqrt{\frac{2E_b}{N_0}}\right] \right\} \quad (5)$$

DC 오프셋의 변화에 따른 시스템 성능 변화를 시뮬레이션하여 그림 6에 나타내었고, 시뮬레이션 결과 7 dB의  $E_b/N_0$  값을 유지하기 위해서 10% 이내의 DC 오프셋을 유지해야 한다.

### III. WCDMA 직접변환 수신기를 이용한 DC 오프셋에 의한 수신 성능 평가

WCDMA 단말기 시스템에서 DC 오프셋에 의한 성능 영향을 시스템 시험을 통해 확인하기 위해 직



그림 7. 구현된 직접변환 RF 트랜시버  
Fig. 7. The implemented direct-conversion RF Transceiver.

접변환 RF 트랜시버를 그림 7과 같이 구현하고 테스트를 위해 DC 오프셋 발생회로를 보드 내에 장착하였다<sup>6)</sup>.

WCDMA 단말기 복조기에서는 서치의 상관 값을  $E_c$ 로 하고 서치에 유입되는 다른 신호의 세기를  $I_0$ 로 하여  $E_c/I_0$ 를 계산한다. 복조기내의 서치 블록은 한 윈도우내 Common Pilot Channel(CPICH)의 상관 값들을 CPU에 보내고 소프트웨어는 해당 정보를 인터럽트 서브루틴을 통해 상관 값 정보를 저장한 후 처리한다. 이 정보는 소프트 핸드오프 및 핑거 할당과 같은 용도로 이용된다.  $E_c/I_0$  계산 과정을 그림 8에 나타내었다. 아날로그 전치 단으로부터 유입되는 I/Q 신호는 아날로그 디지털 변환기를 통해 디지털 신호로 변화된 다음 신호처리를 위한 데시메이션 과정과 이득처리 및 적분 과정을 수행한 후 CPU에 보고하게 된다.

수신 파일럿 신호의  $E_c/I_0$  계산 및 감시는 서치 타스크에서 담당하게 되는데, 서치 타스크는 서치 하드웨어에 서치 이득 및 적분 시간과 같은 파라미터를 설정한 후 수신 파일럿의 상관 값을 구한다. 단말기는 자신의 상태(초기동기, 유희 상태, 통화 상태)와 검색할 set의 종류(active set, candidate set, neighbor set, remaining set)에 따라 이들 파라미터를 다르게 설정하도록 프로그램 되어 있다.

복조기가 측정된 파일럿의  $E_c/I_0$  값은  $-20 \log_{10}$  [서치  $E_c/I_0$ ]로 구한다. 계산 값이 0 이하이면 '000000'로 하고 1 이상이면 '111111'로 결정하도록 되어 있고, 이때  $E_c/I_0$ 의 범위는 0~ -31.5 dB이다.

WCDMA 시스템에서 DC 오프셋에 의한 수신기 복조 성능 영향을 고찰하기 위해 그림 9와 같이 기지국은 테스트장비(MD8480A)를 사용하였고 단말기

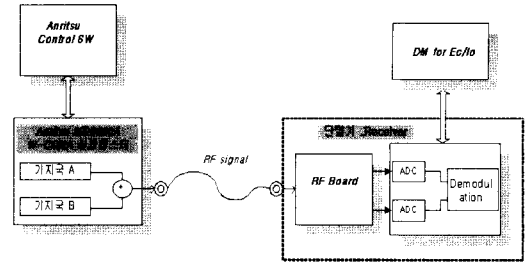


그림 9. DC 오프셋에 의한  $E_c/I_0$  측정 구성도  
Fig. 9.  $E_c/I_0$  measurement configuration versus DC offset.



그림 10.  $E_c/I_0$  측정을 위한 테스트 베드 구성  
Fig. 10. Test-bed for  $E_c/I_0$  measurement.

는 개발된 테스트 베드를 이용하였다. DC 오프셋에 의한 단말기 복조 성능을  $E_c/I_0$  값으로 분석하기 위해 기지국 제어 소프트웨어를 이용하여 기지국 A(타겟 셀)와 기지국 B(간섭 셀)를 합성하여 RF로 송신하도록 하였다. 단말기 RF 보드내 아날로그 기저대역에 수동으로 가변할 수 있는 DC 오프셋 제어 기능을 추가하여 DC 오프셋에 따른  $E_c/I_0$  값 변화 현상을 측정하였다<sup>7)</sup>.

DC 오프셋에 의한 성능 분석을 위한 전체 테스트 베드 시스템은 그림 10과 같이 구성하였다.

테스트를 위해 기지국 A를 타겟 셀로 정하고 기지국 B를 간섭 셀로 설정하였다. 우선 단말기가 기지국 A와 초기동기를 맞추기 위해 기지국 A의 CPICH 전력 레벨을 기지국 B의 CPICH 전력 레벨보다 큰 값으로 송신한 다음 단말기가 동기를 획득하게 되면 기지국 B의 송신 전력 레벨을 증가시킴으로써 기준  $E_c/I_0$  값을 설정한다. Down link의 경우 약 -106 dBm의 최소레벨 신호가 단말기 RF에 인가되었을 때 시스템 성능 요구 규격을  $E_c/N_0=7$  dB로 정

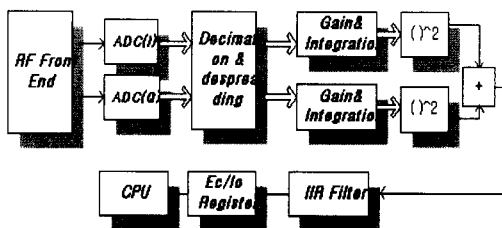


그림 8. WCDMA 단말기  $E_c/I_0$  계산 구성도  
Fig. 8. The procedure of  $E_c/I_0$  calculation in WCDMA mobile.

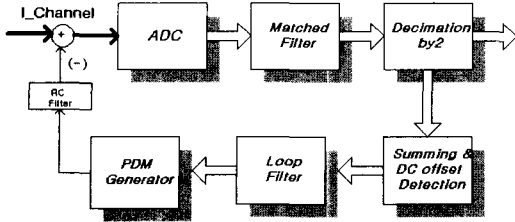


그림 11. UE 수신부 DC 오프셋 제어 루프 구성도  
Fig. 11. DC offset correction loop in WCDMA mobile.

의하고 있다. 이때 25 dB 처리 이득(processing gain)을 고려해 볼 때  $E_c/I_o$  값은 -18 dB가 된다. 따라서 최소 성능을 만족하기 위한  $E_c/I_o$  값은 -18 dB 이상이어야 한다. DC 오프셋에 의한 복조 성능 영향 분석을 위해  $E_c/I_o$ 의 임의 값인 -7.2 dB를 정하고 이 값을 얻기 위해 기지국 A의 P\_CPICH 값을 -84 dBm, 기지국 B의 P\_CPICH 값을 -83 dBm으로 설정하였다.

WCDMA 단말기 시스템에서 DC 오프셋 정정 관련된 복조기 동작 구성은 그림 11과 같다. 수신된 I/Q 신호 각각에 대해 심볼 값들을 합산하고 차이 값을 검출한 후 에러 값에 해당되는 Pulse Density Modulation 신호를 발생시키고 RC 필터링을 통과하여야 날로그 DC로 변환된 다음 ADC 입력 신호의 DC 값이 최적이 되도록 DC 오프셋 제어 루프가 형성된다.

상기와 같은 측정 조건 하에서 DC 오프셋 제어 루프가 동작했을 경우 ADC 입력신호의 I 채널 DC 값은 1.084 V이었고, Q 채널 DC 값은 1.097 V이었으며 이때  $E_c/I_o$  값은 -7.2 dB이었다. 최적의 성능을 갖기 위해 사용된 ADC의 입력레벨은 2 Vpp 값을 요구하므로 DC 오프셋 제어 루프가 동작되면 이론적으로 1 V DC 값을 유지해야 한다. 하지만 구현된 복조기 하드웨어 성능상 약간의 차이가 발생된 것으로 보인다.

DC 오프셋 변화에 의한 복조 성능 변화를 확인하기 위해 Q 채널 입력 레벨을 고정시킨 후 I 채널에 부가된 DC 오프셋 제어회로를 통해 DC 오프셋 변화에 따른  $E_c/I_o$  변화량을 측정하여 결과를 표 1과 그림 12에 나타내었다.

DC 오프셋에 의한 허용 가능한 최소 성능 요구 규격으로 -7.6 dB의  $E_c/I_o$  값으로 설정하였다. 최소

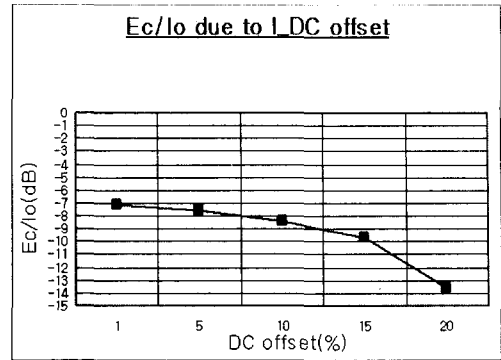


그림 12. DC 오프셋 변화에 따른 복조부 성능 변화 특성  
Fig. 12. Performance degradation of demodulator due to DC offset variation.

표 1. DC 오프셋 변화에 따른 복조부  $E_c/I_o$  변화  
Table 1.  $E_c/I_o$  of demodulator due to DC offset variation.

DC 오프셋 조건	$E_c/I_o$ (dB)
DC 오프셋 제어루프 동작	-7.2
5 % error	-7.6
10 % error	-8.4
15 % error	-9.7
20 % error	-13.6

성능 요구 규격으로 상기의 값을 설정한 근거는 상기의 테스트 조건 하에서 주파수 오차에 의한 수신 복조 성능을 측정한 결과 주파수 오차가 0 Hz일 때 복조기의  $E_c/I_o$  값이 -7.2 dB 임을 확인하였다.

3GPP(3<sup>rd</sup> Generation Partnership Project)에서는 허용 가능한 주파수 오차는 ± 0.1 ppm로 규정하고 있다. 주파수 오차에 의한 시스템 성능 측정 결과 ± 0.1 ppm 주파수 오차에서 -7.6 dB의  $E_c/I_o$  성능열화가 발생되었다. 이와 같이 주파수 오차에 의한 성능 요구규격 및 실험 결과를 바탕으로 DC 오프셋에 의한 허용가능한 성능열화 값을 -7.6 dB로 설정하였다.

측정 결과 DC 오프셋이 5 % 발생되었 때  $E_c/I_o$  값이 -7.6 dB가 되었으므로 WCDMA 시스템에서 직접 변환 단말기 수신기 최소 성능을 만족시키는 DC 오프셋 값은 5 %이어야 함을 확인하였다. I 채널 대신 Q 채널에서도 같은 결과를 얻었다.

#### IV. 결 론

본 논문에서는 WCDMA 직접변환 수신기 구조에서 DC 오프셋 발생 원인과 QPSK 변조 방식에서 DC 오프셋에 의한 시스템 성능 열화를 시뮬레이션을 통해 분석하였고, DC 오프셋 제어 회로를 포함하는 직접 변환 RF 트랜시버 및 테스트 장비로 구성된 시스템 성능 시험용 테스트 베드를 구축하여 DC 오프셋에 의한 실제 시스템 성능 열화를 평가하였다.

3GPP 규격에서 요구하고 있는 주파수 오프셋에 의한 시스템 성능 요구 규격을 근거로 실험을 통해 DC 오프셋에 의한 시스템 최소 성능 요구 규격을  $E_c/I_o$  파라미터로 도출하였다. QPSK 변조에서 시뮬레이션을 통해 확인된 허용 가능한 최소 DC 오프셋 값은 10% 이내이었는데 구축된 테스트 베드를 이용한 성능 평가 시험에서는 5% 이내의 DC 오프셋 값이 요구됨을 확인하였다. 이러한 원인으로는 실제 아날로그 및 디지털 하드웨어 보드 구현 및 시스템 통합과정에서 발생하는 성능 열화 현상으로 판단된다.

WCDMA 직접 변환 수신기에서 DC 오프셋에 의한 시스템 성능 열화를 이론적인 분석과 시험 시스템을 이용한 평가를 통해 단말기 하드웨어 설계 및 구현 측면에서 DC 오프셋 관련 성능 요구 규격을 제시하였다.

#### 참 고 문 헌

[1] A. Parssinen, J. Jussila, J. Ryyanen, L. Sumanen, and K. Halonen, "A wide-band direct conversion

receiver for WCDMA applications", in *1999 IEEE International Solid-State Circuits Conference*, pp. 220-221, 1999.

[2] J. H. Mikkelsen, T. E. Kolding, T. Larsen, T. Klingenbrunn, K. I. Pedersen and P. Mogensen, "Feasibility study of DC offset filtering for UTRA-FDD/W-CDMA direct-conversion receiver", in *IEEE NORchip Conference*, pp. 34-39, Nov. 5th 1999.

[3] B. Law, M. Groh, "Identifying RF-related impairments in full-service digital networks", *Microwave Journal*, vol. 39, pp. 88, 90, 92, 94, Mar. 1996.

[4] 3<sup>rd</sup> Generation Partnership Project(3GPP), "UE radio transmission and reception (FDD), technical specification 25.101 v. 40.0", Mar. 2001.

[5] A. A. Abidi, "Direct-conversion radio transceivers for digital communications", *IEEE Journal of Solid-state Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 30, no. 12, Dec. 1995.

[6] Il-kyoo Lee, Dong-han Lee, Jae-young Kim, Hyun-jin Hong and Seung-hyeub Oh, "Analysis of UE RF parameters for 3GPP specification", *VTC2002- Fall*, vol. 1, Nov. 2002.

[7] 이일규, 오승엽, "RF transceiver implementation to evaluate the requirements of 3G WCDMA user equipment", 한국전자과학회 논문지, 14(2), 2003년 2월.

#### 이 일 규



1992년 2월: 충남대학교 전자공학과 (공학사)  
 1994년 2월: 충남대학교 전자공학과 (공학석사)  
 1994년 2월~2004년 2월: 한국전자통신연구원 선임연구원  
 2004년 3월~현재: 공주대학교 정보통신공학부 전임강사

[주 관심분야] CDMA 이동통신 RF 시스템, 초고주파로 설계