교류형 플라즈마 디스플레이 패널에서 계조표현을 위한 새로운 구동방식

論 文
53C-8-2

A New Driving Method for Gray-scale Expression in an AC Plasma Display Panel

金 在 成* · 黃 鉉 太** · 徐 正 炫*** · 李 晳 賢§
(Jae-Sung Kim · Hyun-Tae Hwang · Jeong-Hyun Seo · Seok-Hyun Lee)

Abstract - In this paper, a new gray scale expression method that divides the scan lines into multiple blocks is suggested. The proposed method can drive 16 sub-fields per 1 TV field in the panel with XGA (1366X768) resolution. The on and off states of even subfields depend on the condition of odd subfields. The write address mode is used in the odd subfields, while the erase address mode is used in the even subfields. Because the ramp reset pulse is applied every 2 sub-fields, both the contrast ratio and the dynamic voltage margin are sufficiently obtained in comparison with previous AWD (Address While Display) methods. In realizing 16 subfields, shortening the scan time in the erase address period was important. The X bias voltage in the erase address period affected the minimum address voltage but did not the delay time of the address discharge. The delay time of the address discharge was affected by the address voltage and the time interval between the last sustain discharge and the scanning time. We also evaluated the dynamic false contour. New method shows an improved image quality in horizontal moving, but discontinuous lines were observed at the boundaries of each block in vertical moving

Key Words : AWD 구동방식, Write 어드레스, Erase 어드레스, 동작마진, 의사윤곽

1. 서 론

AC PDP(Plasma Display Panel)는 초박 경량의 대형 디스플레이로서 향후 CRT(Cathode Ray Tube)를 대체할 디스플레이로 나날이 시장이 커져가고 있다. [1] 초기 PDP는 LCD와 더불어 소형과 대형 사이즈의 시장을 나누어가지며 CRT와 경쟁할 것으로 예상되었으나, LCD의 대형화가 용이해짐으로 인해 40인치급에서는 LCD와 PDP의 경쟁은 피치못할 것으로 보인다. 이와 같은 시점에서 경쟁력 확보방안으로 무엇보다 고해상도와 고화질의 디스플레이에 대한 욕구가 증대되고 있다. PDP의 화질을 결정하는 가장 중요한 인자로는 contrast와 의사윤곽 등을 들 수 있으며, 이들은 모두 PDP의 계조를 표현하는 구동방식과 밀접한 관련을 가지고 있다. PDP에서 계조를 표현하는 방법은 1TV field (16.17ms)를 복수개의 subfield로 시간 분할하여, subfield의 on/off에 따라서 나오는 광량을 조절함으로써 밝기를 조절하는 방식을 사용하고 있다. 현재, 대표적인 구동방식으로는 ADS(Address and Display period Separated) 구동방식과 AWD(Address While Display) 구동방식, CLEAR 구동방식이 있다.

* 學生會員 : 仁荷大 工大 電氣工學科 碩士
** 正 會 員 : 仁荷大 工大 電氣工學科 碩士
*** 正 會 員 : 仁川大 工大 電子工學科 助敎授 · 工博
§ 正 會 員 : 仁荷大 工大 電氣工學科 助敎授 · 工博
接受日字 : 2004年 3月 9日
最終完了 : 2004年 7月 7日

기본적인 ADS 구동법은 1TV field를 8개의 subfield로 분할하여 계조를 구현한다. 256계조 달성을 위한 subfield의 조합의 예를 들면, 1:2:4:8:16:32:64:128과 같은 subfield 조합을 들 수 있다[2, 3]. 각각의 subfield의 on/off를 조합함으로써 256계조를 달성할 수 있다. 또한 하나의 subfield내에 시간을 reset, 어드레스, 방전유지 구간으로 구분하여 전 화면에 대해서 동시에 reset이 가능하도록 함으로써 구동파형의 설계가 용이하도록 하였다. 이로 인해 동작마진의 확보와 회로설계가 쉬워져서 제작비용 또한 크게 감소하였다. 그러나 이러한 서브필드 weight 조합은 필연적으로 동화의사윤곽을 발생시켜 PDP의 화질을 저하시킨다[4, 5]. 의사윤곽을 줄이기 위해서는 subfield의 수를 늘려 weight를 낮추는 방법 등을 사용하여야 한다[6, 7]. 그러나, subfield의 수를 늘이는 것은 1TV내에서 addressing이 차지하는 시간이 늘어남으로 빛을 내는 방전유지 구간의 시간이 짧아져 휘도를 떨어뜨리는 문제점을 야기한다. 현재 판매되는 제품들은 최대 11~12개 정도의 subfield를 사용하고 있다.

CLEAR 방식은 pioneer 社에서만 사용하고 있는 구동 방식으로서, 기본적인 구성은 ADS와 유사하지만 한번 꺼진 셀은 다시 켜지 않는 독특한 방식을 사용하고 있다[8]. 이로 인해, PDP에서 문제가 되는 의사윤곽을 완전히 없앨 수 있지만 표현할 수 있는 계조가 극히 한정되어 있어 시감으로 느끼는 해상도가 저하되는 문제점이 있다.

AWD 구동방식은 ADS 구동방식 이전부터 지속적으로 연구가 진행되어 왔다[9]. 특히, 최근에는 ADS 구동방식의 특허권자인 Fujitsu의 특허공세에 대비하기 위한 일환으로 꾸준히 연구가 진행되고 있다. AWD 구동방식은 하나의 스

캔 라인에서는 ADS 구동방식과 같으나, 전체 스캔 라인에서 보면 한 스캔 라인의 어드레스 구간이 다른 스캔라인의 방전유지구간이나 reset 구간과 겹치게 된다. 결국, 전체 스캔 라인에서 동시에 reset을 실시할 수 없기 때문에 동작마진이 적고, 회로가 복잡하여 가격상승을 초래한다[9, 10].

본 논문에서는 스캔 라인을 다수의 Block으로 분할하는 방식을 사용함으로써 동작마진 확보가 가능한 AWD 구동법을 제안하였다. 본 논문의 2.1절에서는 제안된 구동방식의 기본 개념에 대해서 설명하고, 2.2절에서는 제안된 구동방식을 구현하기 위한 구동파형 설계와 동작마진을 평가였으며, 2.3절에서는 시뮬레이션을 통하여 의사윤곽 량에 대한 기본적인 평가를 실시하였다.

2. 본 론

2.1 제안된 구동방식

그림 1은 XGA(1366×768)의 패널에서 서브필드 구조를 나타내었다. 전체 스캔 라인은 다수의 block으로 분할되고, 기수의 서브필드는 write 어드레스를 실시하고, 우수의 서브필드는 erase 어드레스를 실시하는 특징을 가지고 있다. HD급 패널에서는 dual 스캔을 사용하여 패널은 두 부분으로 구분되므로 한 부분에 대해서만 설명을 하였다. 전체 768개의 스캔 라인은 dual 스캔을 사용하므로 한 부분은 384개의 스캔 라인을 가지게 되고, 8개의 block으로 분할되어 각각의 block 별로는 48개의 스캔 라인을 가지게 된다.

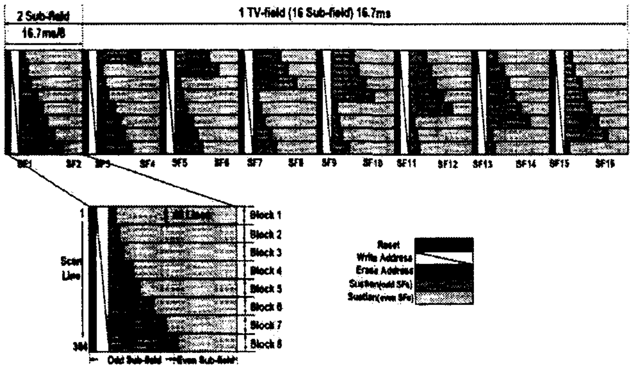


그림 1. 제안된 구동방식의 서브필드 구조
Fig 1. Sub-field structure of the proposed driving method

처음에 전체 스캔 라인에 대하여 리셋을 실시한 후, block의 구분 없이 순차적으로 ADS 방식에서와 같이 write 어드레스를 실시한다. 전체 스캔 라인에 대해 순차적으로 write 어드레스가 실시한 후에, ADS 방식과 같이 전 화면에 대해 동시에 유지방전을 실시하게 되는데, 각 Block 별로 유지방전 구간의 길이의 차이가 있어서 유지방전의 시작은 동시에 실시되나 끝나는 시점은 각 block마다 차이가 생기게 된다. 기존의 ADS 구동방식의 경우, 유지방전이 끝나고 나면 벽전하를 소거하고 다시 리셋을 수행한 다음 write 어드레스 방전을 수행하는 것이 보통이다. 하지만, 본 구동법에서는 각 block별로 유지방전의 시간이 달라서 그와 같은 방식으로 구동이 어렵고, 16개의 서브필드를 사용하기 위해 스캔 시간을 줄여야 하기 때문에 erase 어드레스 방식을 채용하였다. 또한, 각각의 block마다 한 서브필드의 유지방전 구간의 길이는 다르게 설정했지만, write 어드레스와 erase 어드레스를 포함하는 2개의 서브필드의 계조의 합은 모든 Block에서 동일하게 설정되어 2개의 서브필드가 끝나는 시점은 모든 block에서 같게 된다. 이러한 이유로 다음 서브필드에서 모든 셀에 대한 리셋이 가능하여 동작마진 확보가 용이하게 되고, 펄스 리셋을 사용하는 기존의 AWD 구동방식과는 달리 램프 리셋을 사용함으로써 암실 명암비를 향상시킬 수 있다. 현재상태에서 측정한 바로는 약 2.16cd/m2 정도의 배경광이 얻어졌다. 이 자체만으로 보면 매우 큰 값이지만, 원래 Ramp 파형을 아무런 조정을 하지 않고 사용하면 이 정도의 큰 값이 얻어진다. 일부 업체에서도 명암비를 높이기 위한 방안으로 램프리셋의 상승구간에서 X전극의 전위를 floating 상태로 유지하는 방법 등을 이용하여 contrast를 개선하였다. 따라서, 이 부분은 앞으로도 개선의 여지가 있다고 하겠다.

본 구동방식에서는 기수의 서브필드에서의 유지 방전을 마치고, 우수의 서브필드에서 어드레스를 수행하기 위해서 erase 어드레스를 실시하였다. 따라서, 우수의 subfield에서 어드레스 방전이 벽전하를 소거하는 역할과 우수의 subfield에서의 어드레싱을 동시에 수행하게 된다. 기수의 서브필드에서 실시하는 write 어드레스는 기존의 ADS구동방식과 동일하게 실시되기 때문에 write 어드레스가 실시되지 않으면 유지방전 구간에서도 방전이 일어나지 않으며, 이전 서브필드의 상태가 off 상태이기 때문에 erase 어드레스 또한 off 상태로만 존재한다. Write 어드레스가 실시되어 이전 서브필드의 상태가 on인 경우, erase 어드레스가 실시되지 않으면 on 상태로 유지가 되고, erase 어드레스가 실시되면 셀 내의 벽전하가 erase 방전을 통해 소거되므로 off 상태가 된다. 다시 말해서, 기수의 서브필드의 상태가 on상태일 때는 우수의 서브필드의 상태는 on/off 모두 가능하지만, 기수 서브필드의 상태가 off라면 우수의 서브필드에서는 off의 상태만이 존재하게 된다. 따라서, 우수의 서브필드에서 erase 어드레스 방식을 사용하였지만, 기존의 erase 어드레스 방식에서 나타나는 배경광 증가의 문제는 나타나지 않게 된다. 그러나, 만일 ADS 구동방식과 같은 서브필드 수를 사용한다면 기수의 서브필드의 상태가 off일 때 우수의 서브필드도 항상 off의 상태이기 때문에 계조 표현에 많은 제약이 따르게 된다. 따라서 계조표현력을 높이기 위해서는 기존의 구동법보다 더욱 많은 subfield가 필요하게 된다.

본 구동법에서는 우수의 subfield에서 erase 어드레스를 실시하고, erase될 셀은 반드시 이전 서브필드의 상태가 on 상태이기 때문에 방전공간 상에는 풍부한 priming 입자가 존재하게 된다. 이러한 priming입자는 어드레스 방전 시에 발생하는 방전 delay를 단축시킴으로써 기존의 구동법에 비해서 훨씬 짧은 scan 펄스폭을 가지고도 어드레스 방전을 수행할 수 있다. [11, 12] 따라서 erase address구간에서 어드레스 시간을 단축시킴으로써 얼마만큼의 sub-field를 사용할 수 있는지가 본 연구의 주요관건이라고 할 수 있다. 표 1은 제안된 구동법에서 충분한 계조 표현이 가능한 16

subfield의 경우에 소요되는 시간을 나타낸 것이다. 표에서 보듯이 1.5μs의 write 어드레스 펄스와 1μs의 erase 어드레스 펄스를 사용한다면 16서브필드를 충분히 구동시킬 수 있다.

표 1 구동펄스의 개수와 시간

Table 1 Time occupation of each section in new method

		개 수	Width[μs]	스캔라인	Time[μs]
HD (Dual scan)	리 셋	8	350		2800
	Write 어드레스	8	1.5	768/2	4068
	Erase 어드레스	8	1	768/2	3072
	서스테인	2300	2.5		5750
	휴지기(Ts)	64	5		320
	Time[μs]				16550

표 2는 각각의 Block의 서브필드 weight 조합의 예를 보여준다. write 어드레스와 erase 어드레스의 계조의 합은 31 계조로 2개의 서브필드마다 동일하게 설정하였다. 이로 인해 2개의 서브필드마다 전 화면에 대한 리셋의 실시가 가능해진다.

2.2 동작 마진 평가 실험

그림 2는 본 실험에 사용된 장치의 개략도이다. 실험에 사용된 패널은 50인치 HDTV에 해당하는 셀 사양을 갖는 6인치 패널이 사용되었다. 한 셀의 pitch는 0.81mm × 0.81mm이고, 방전유지전극 폭은 210μm, 격벽높이는 130μm이다. 제작된 회로의 파형 생성을 위하여 pulse gen0erator인 Time-98을 사용하였으며, power supply, 디지털 oscilloscope, 전압 probe, 광파형 측정기인 photo detector 등을 이용하여 실험을 진행하였다.

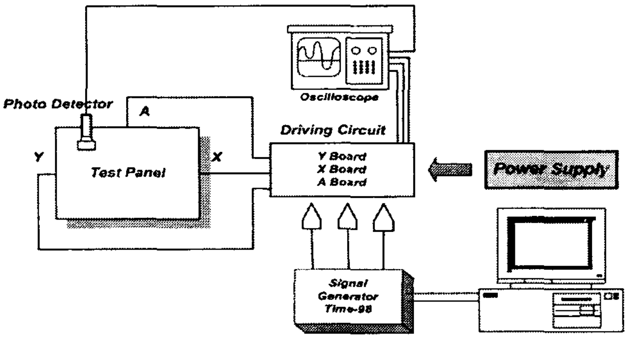


그림 2. 실험장치의 개략도

Fig 2. Schematic diagrams of measurement systems

그림 3은 제안된 구동방식을 구동하기 위한 구동파형을 나타낸 그림이며, 인가전압은 VRESET=210V, Vs=170V, VSB=80V, Vx=180V, VXE=40~70V를 사용하였다. 2.1절에서 설명한 바와 같이, 일단은 전체 라인에 램프리셋을 인가한 후에 각 라인별로 어드레스 방전을 수행한다. 각 block별로 유지 펄스 수가 다르므로 block마다 다른 시점에 erase 어드레스를 일으키게 된다. 이 때, block1에서 erase 어드레스를 행할 때에는 다른 block들에서는 방전을 일으키지 않고 있다가 block1의 스캔 방전이 끝나고 나면, 다시 유지 방전을 계속하게 된다. Write 어드레스 방전이 끝난 후에 유지방전은 Y전극에 펄스를 인가하면서 시작된다. 그러나 erase 어드레스 이 후에 유지방전이 시작될 때에는 X전극에 먼저 펄스가 인가되도록 하여야 한다. 그 이유는 Erase 어드레스를 수행하기 전에 마지막 방전이 Y전극이 양극인 방전으로 끝나기 때문이다.

새로운 구동법은 write address와 erase address가 반복적으로 행하여지고, write address는 기존의 일반적인 구동법과 차이가 없으므로 결국 erase 어드레스를 얼마나 짧은 시간에 충분한 동작 마진을 가지면서 수행할 수 있는가가 중요하다. Write 어드레스 구간에서의 동작마진을 측정한 새로운 구동법은 write address와 erase address가 반복적으로 행하여지고, write address는 기존의 일반적인 구동법과

표 2 각 Block 별 서스테인 weight 조합의 예

Table 2 Example of subfield weight arrangement during 1 TV field

Block /SF	31		31		31		31		31		31		31		31		Sum
	W/A	E/A	W/A	E/A	W/A	E/A	W/A	E/A	W/A	E/A	W/A	E/A	W/A	E/A	W/A	E/A	
Block1	1	30	2	29	4	27	5	26	8	23	10	21	12	19	15	16	248
Block2	2	29	4	27	5	26	8	23	10	21	12	19	15	16	1	30	248
Block3	4	27	5	26	8	23	10	21	12	19	15	16	1	30	2	29	248
Block4	5	26	8	23	10	21	12	19	15	16	1	30	2	29	4	27	248
Block5	8	23	10	21	12	19	15	16	1	30	2	29	4	27	5	26	248
Block6	10	21	12	19	15	16	1	30	2	29	4	27	5	26	8	23	248
Block7	12	19	15	16	1	30	2	29	4	27	5	26	8	23	10	21	248
Block8	15	16	1	30	2	29	4	27	5	26	8	23	10	21	12	19	248

차이가 없으므로 결국 erase 어드레스를 얼마나 짧은 시간에 충분한 동작 마진을 가지면서 수행할 수 있는가가 중요하다. Write 어드레스 구간에서의 동작마진을 측정한 결과, 어드레스 전압은 57~80V로 측정되었다(구동 IC의 전압 가변범위 한계로 80V이상은 측정하지 않음). Write 어드레스 구간의 전압 마진은 기존의 ADS 구동에서 write address만을 사용하는 경우와 마찬가지이므로, 본 실험에서는 erase 어드레스에서 충분한 전압마진을 가질 수 있도록 파형을 설계하는 것에 초점을 맞춰 진행하였다.

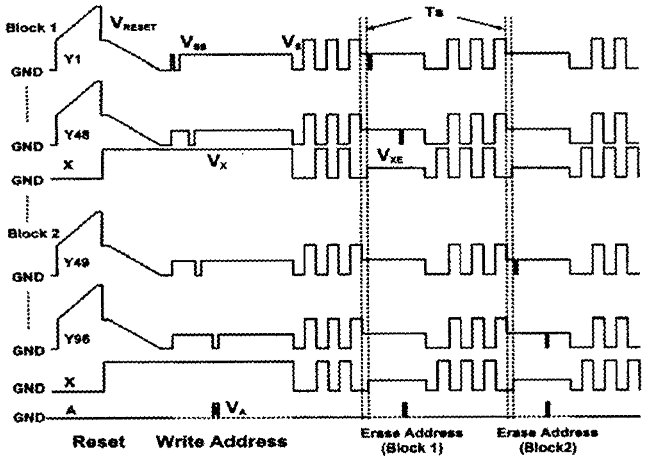


그림 3. 제안된 구동방식의 구동파형

Fig 3. Driving pulse waveforms of new driving method

Erase 어드레스가 실시될 때, X bias 전압 (V_{XE})은 벽전하를 소거 시키는데 매우 중요한 역할을 한다. V_{XE}는 마지막 유지방전과 scan 시작시점간의 시간간격(Ts)과 어드레스 전압마진에 미치는 영향에 의해 결정된다. 그림 4는 erase 구간에서 Ts에 따른 오방전이 발생하지 않을 V_{XE}의 범위를 보여주고 있다. 그림에 나타나는 전압보다 높아질 경우에는 어드레스와 상관없이 오방전이 발생한다.

즉, Ts가 작을 때는 마지막 유지방전에 의해 방전공간 상에 priming입자들이 충분하므로, 첫 번째 스캔전극의 전압

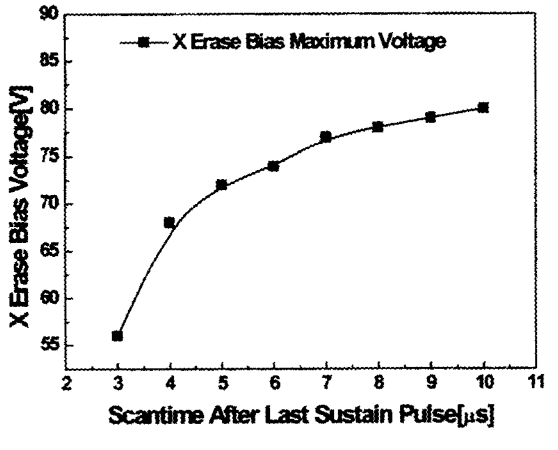


그림 4. 휴지기(Ts)와 maximum V_{XE}의 결정.

Fig 4. Determination of cease periods(Ts) and maximum V_{XE}.

이 0V로 떨어질 때에 V_{XE}가 높으면 어드레싱이 없어도 오방전이 발생할 수 있다. 따라서, 오방전을 방지하기 위해서는 V_{XE}가 낮아야만 한다. 그러나, Ts가 커질수록 방전 공간 상의 priming입자들은 감소하기 때문에 V_{XE}가 높아지더라도 오방전이 발생하지 않게 된다. 그림 4에서 보여 지듯이 Ts가 5μs 이상 증가하면서는 V_{XE}의 증가가 조금씩 완만해짐을 볼 수 있다. 그림 5는 V_{XE}를 가변하면서 측정한 어드레스 전압마진을 측정한 결과이다. 어드레스 마진은 스캔 시간이 증가함에 따라 priming 입자가 감소하므로 각 block의 마지막 스캔 라인에서 측정되었다. V_{XE}가 증가할수록 어드레스 전압마진의 하한값은 크게 감소하였다. 그림 4와 5로부터, V_{XE}는 오방전이 발생하지 않는 한 가능하면 높은 값일 경우에 어드레스 동작마진을 확보하는데 유리함을 알 수 있다. 그림 4와 5로부터, 본 실험에서는 Ts=5μs일 때를 기준으로 하여 V_{XE}의 상한을 70V로 결정하였다.

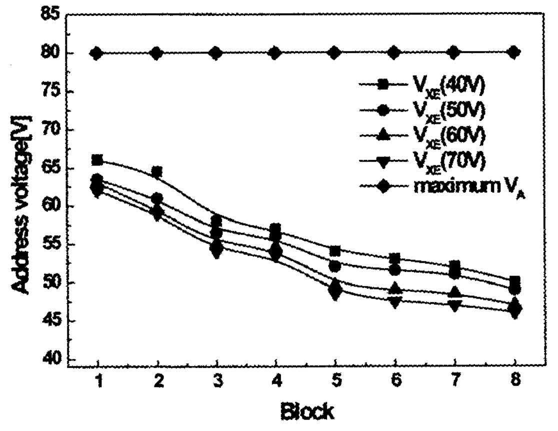


그림 5. V_{XE}에 따른 어드레스 minimum 마진

Fig 5. Address minimum voltage as a function of V_{XE}

Erase 어드레스 구간에서 동작마진에 가장 큰 영향을 미치는 것은 priming입자이다. Priming입자는 이전 유지방전의 pulse수가 증가할수록 많아지고, 마지막 방전으로부터 시간이 멀어질수록 감소한다. 따라서, 방전유지 펄스 수가 가장 작은 subfield가 단독으로 켜졌을 때와 맨 마지막에 erase 방전을 실시하는 셀이 방전마진의 하한값을 결정하는데 가장 중요한 역할을 한다.

그림 6은 단독의 subfield가 켜질 때에 방전유지 펄스 수에 따라서 다음 subfield의 erase 어드레스 마진에 미치는 영향을 측정한 결과이다. 어드레스 마진은 각 block의 마지막 스캔 라인에서 측정되었다. 측정결과, 방전유지 펄스 수가 증가하면 V_{XE}가 70V일 경우 어드레스 전압의 하한값은 62V에서 46V까지 16V 가량이 감소하였다. 이는 방전 유지 펄스 수가 증가하면서 더 많은 priming입자가 남아있기 때문인 것으로 해석된다.

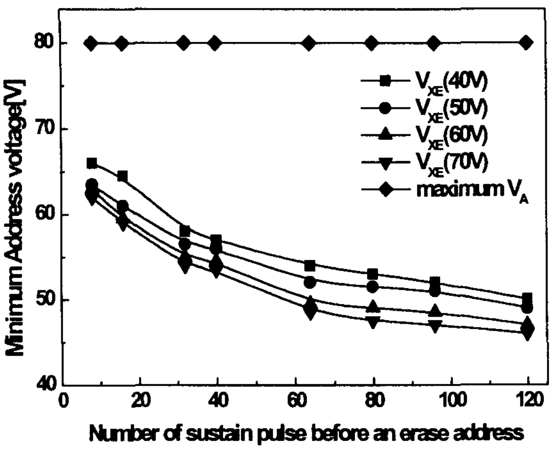
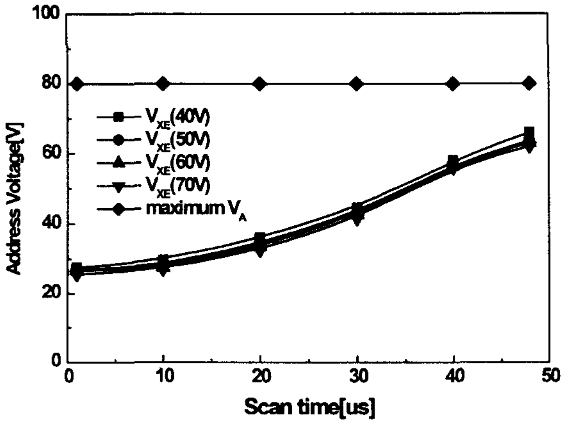
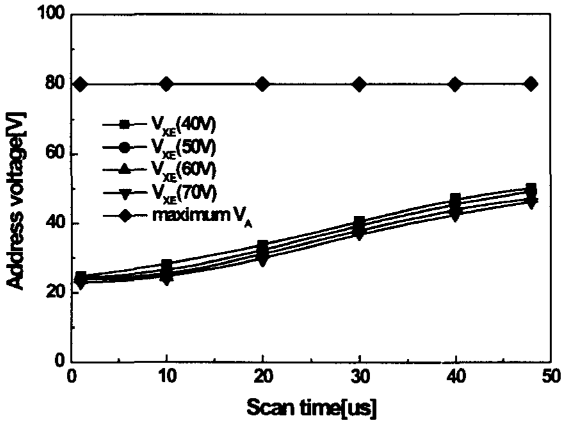


그림 6. 서스테인 펄스 수에 따른 어드레스 minimum 마진

Fig 6. Influence of sustain pulse number before erase address on the address minimum voltage



(a) 앞 subfield의 펄스가 8개인 경우



(b) 앞 subfield의 펄스가 120개인 경우

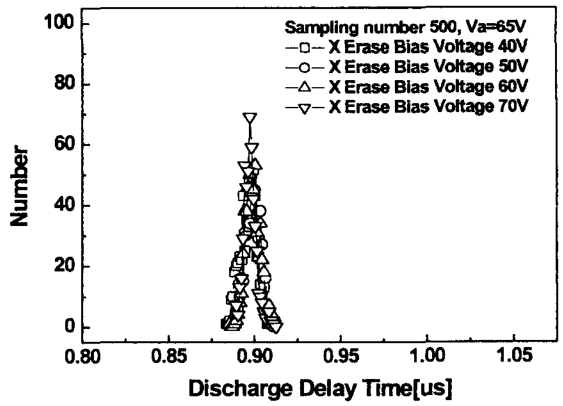
그림 7. 스캔시간에 따른 어드레스 minimum 마진

Fig 7. Address minimum voltage with the increase of scanning time

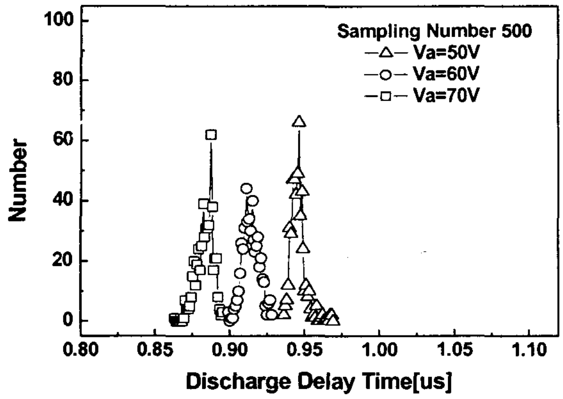
그림 7은 앞 subfield의 유지방전 펄스 수가 최소인 8개일 경우와 가장 많은 경우에 대해서, 첫 스캔 라인에서 마지막 스캔 라인까지 각 라인의 어드레스 방전전압의 하한값을 측정한 것이다. 768개의 스캔 라인을 가지는 HD급 패널에서는 dual 스캔을 실시하므로, 16개의 subfield를 사용할 경우에 한 block은 48라인을 가진다. 1μs의 스캔 펄스 width를 사용하면, 어드레스 전압마진은 48μs의 스캔 시간에서 결정된다. 그림 7에서 보듯이, 시간이 흘러갈수록 priming입자가 감소하여 어드레스 하한값이 증가함을 볼 수 있다. 그러나 그림7(a)와 (b)를 비교해 보면, 앞의 방전 유지 펄스 수가 많을수록 priming입자의 양이 많아서 시간에 따른 증가율이 완만해짐을 알 수 있다. 이 결과로부터, block을 많이 나눌수록 각 block에 할당되는 라인의 수가 줄어들어 어드레스 방전을 수행하기에는 유리함을 알 수 있다.

이상의 결과를 보면, V_{XE}가 높을수록 어드레스 마진이 향상됨을 알 수 있다. 소거방전은 어드레스 전극과 Y전극 간에 발생하지만, 궁극적으로는 X전극과 Y전극에 쌓여 있는 벽전하를 소거하여야 한다. 따라서, 어드레스와 Y전극 간에 소거방전이 발생하는 동안에 X전극에 쌓여있는 이온도 함께 소거하기 위해서는 X전극의 전위를 높임으로써 전자를 끌어 들여 소거하여야 한다. 따라서 X전위가 높아질수록 소거방전은 잘 일어나게 된다.그러나 너무 높을 경우에는 소거를 원하지 않는 셀에서도 Y전극과 X전극 간에 오방전이 발생할 수 있으므로, 오방전이 일어나지 않는 한도 내에서 높은 값을 선택하여야 한다. 또한, Ts를 길게 하면 X전극의 전위를 높일 수 있지만, 1 TV field 내에서 시간의 활용도가 떨어지므로, 본 실험에서는 Ts=5μs 일 때에 V_{XE}를 70V로 설정하여 18V(62~80V)의 어드레스 동작마진을 확보할 수 있었다.

그림 8은 어드레스 전압과 V_{XE}가 어드레스 방전 지연시간에 미치는 영향을 측정한 결과이다. 그림 8(a)에서 어드레스 방전은 V_{XE}에는 전혀 영향을 받지 않음을 알 수 있다. 반면에 그림 8(b)에서 보여 지듯이 어드레스 전압에 의해서는 방전 delay가 크게 영향을 받는다. 이 결과는 어드레스 방전이 발생하기 위해서는 우선적으로 어드레스와 Y전극 간의 방전이 중요하다는 것을 보여주고 있다.



(a) V_{XE}에 따른 방전 지연시간



(b) 어드레스 전압에 따른 방전 지연시간

그림 8. Erase 어드레스 구간에서 어드레스 방전 지연시간

Fig 8. Delay time of the erase address discharge

앞서 얻어진 그림 5,6,7의 결과에서 X전극의 전압이 어드레스 동작마진을 결정하는데 영향을 주고는 있지만, X전위는 일단 어드레스와 Y 전극 간에 방전이 시작된 다음에 확실한 소거가 일어날 수 있도록 보조적인 역할을 수행하게 된다.

지금까지의 결과를 보면, erase 어드레스가 1μs 이내에 발생하기 위해서는 priming입자와 어드레스 전압이 가장 중요하다는 것을 알 수 있다. V_{XE}는 어드레스 방전의 지연에는 영향을 미치지 않지만, 일단 방전이 발생한 경우에 이전 방전에 의해 쌓인 벽전하를 확실하게 소거하는데 기여한다고 할 수 있다. 이상의 결과, 16sub-field를 구현하는 새로운 구동법이 실제적으로 구현 가능성이 있음을 알 수 있다.

2.3 의사윤곽 평가

의사윤곽은 시간분할 방식을 통하여 계조를 표현할 때에 피할 수 없이 발생하는 문제이다. 그 동안 많은 연구가 있었지만 subfield 수를 늘이는 것이 현실적으로 가장 쉽게 의사윤곽 문제를 완화시킬 수 있는 방법이다. 여러 연구 결과를 통하여 알려져 있듯이 어떤 계조를 표현하기 위해서 1TV 내에서 켜지는 subfield의 위치가 다르게 되면 의사윤곽은 필연적으로 발생하게 된다. 본 논문에서 제안된 구동방식은 방법의 특성상 block 마다 subfield weight의 배열 순서가 다르기 때문에 기존의 방식과는 다른 문제가 있을 것으로 생각된다. 따라서, 제안된 구동법으로 화상을 구현할 때에 나타나는 문제점을 평가하고 개선하기 위해서 의사윤곽에 대한 시뮬레이션을 수행하였다. 그림 9(a)는 원래 이미지를 나타내고, 그림 9(b)는 ADS 구동법에서 12sub-field일 경우, 그림 9(c)는 제안된 구동법을 적용할 때에 1 pixel/TV-field의 속도로 이미지를 우측으로 이동시킬 때에 의사윤곽이 나타나는 영상을 계산한 결과이다. 그림 9(b)에 비해서 그림 9(c)의 결과가 작은 윤곽에 있어서는 약간 거친 면이 있으나, 큰 윤곽부분은 오히려 줄어든 것으로 나타났다.

(a) 원래 이미지

(b) ADS구동에서 12 서브필드 의사윤곽 이미지
[1 2 4 8 16 32 32 32 32 32 32 32]

(c) 수평이동시 나타나는 의사윤곽

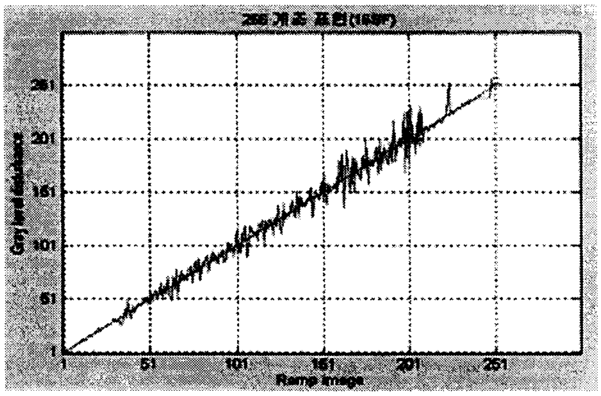
(d) 수직이동시 나타나는 의사윤곽

그림 9. 제안된 구동방식에서의 의사윤곽 이미지

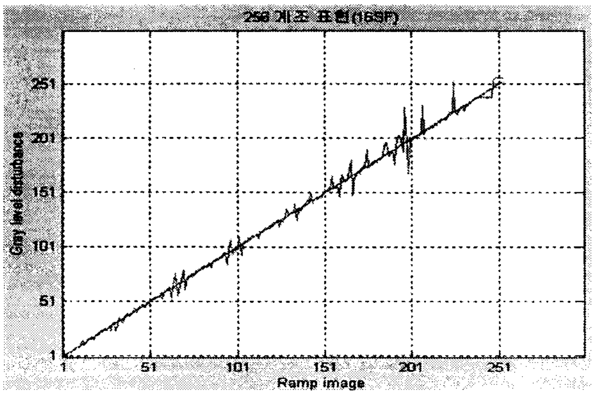
Fig 9. Dynamic false contour in the proposed driving method

이것은 subfield의 수가 증가하면서 각 subfield의 weight의 차이가 크지 않기 때문인 것으로 보인다. 하지만 제안된 구동법의 경우에는 화면을 여러 개의 block (HD의 경우에는 전체 32 block)으로 나눔으로 인해서 각 block의 경계면이 눈에 보이는 문제점이 있었다. 그림 (d)에 나타난 바와 같이, 경계면은 수평이동 시에는 미약하게 나타났으나, 수직이동의 경우에는 매우 뚜렷하게 나타났다. 이와 같은 원인은 각 Block 마다 subfield의 배열 순서가 다르기 때문인 것으로 판단된다.

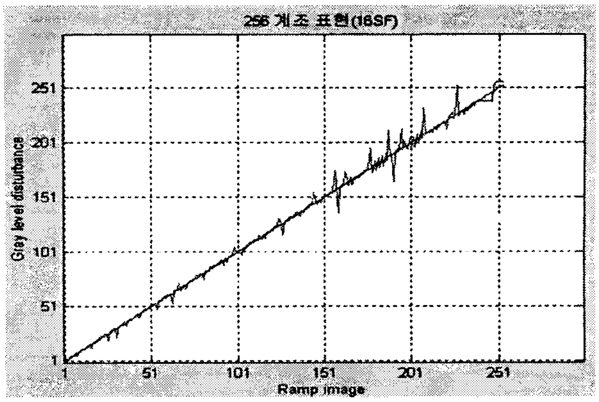
그림 10은 그림9에서 나타남 문제점을 해석하기 위하여 몇 개의 block을 선택하여 계조를 1~256으로 변하는 패턴에서 1 pixel/TV-field의 속도로 이미지를 우측으로 이동시킬 때에 의사윤곽 양을 평가한 것이다. 그림에서 보듯이, 각 block의 subfield weight가 같더라도 subfield의 배열이 달라지면, 같은 계조라도 의사윤곽의 양상이 크게 다름을 알 수 있다. 각 block별로 표2와 같은 subfield 배열을 갖고 계조 3의 밝기를 나타내고자 한다면, 첫 번째 block에서는 첫 번째와 세 번째의 subfield가 켜지게 되지만, 두 번째 block에서는 첫 번째와 15번째 subfield가 켜지게 된다. 이 경우에 block 별로 같은 계조를 표현하기 위해 켜지는 구간의 시간적인 배열이 차이가 나므로 의사윤곽 양이 달라지고, 이런 특성이 화면에서 영상이 움직일 때에 block의 경계면이 눈에 보이는 효과를 낸 것으로 생각된다.



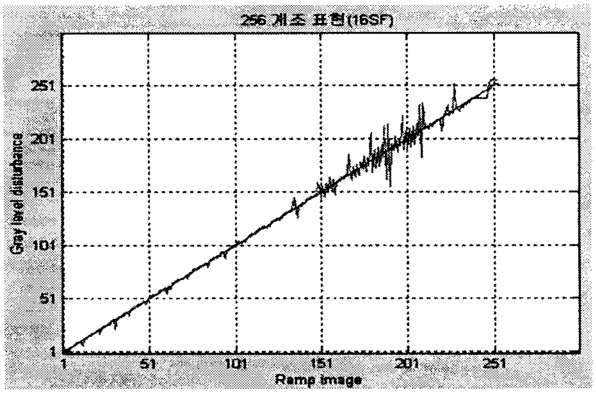
(a) [8 23 10 21 12 19 15 16 1 30 2 29 4 27 5 26]



(b) [10 21 12 19 15 16 1 30 2 29 4 27 5 26 8 23]



(c) [12 19 15 16 1 30 2 29 4 27 5 26 8 23 10 21]



(d) [15 16 1 30 2 29 4 27 5 26 8 23 10 21 12 19]

그림 10. 패턴별 ramp image의 의사윤곽량 평가
Fig 10. Evaluation of dynamic false contour with ramp image

3. 결 론

본 논문에서 16서브필드를 가지고, 스캔 라인을 다수의 Block으로 분할하는 새로운 구동방식을 제안하였다. 실험을 통해 18V(62V~80V)의 어드레스 동작마진을 확보하였다. 또한 erase 어드레스 구간에서 X bias 전압(V_{XE})은 어드레스 마진에는 큰 영향을 미쳤으나, 방전 delay에는 영향을 미치지 않음을 확인하였다. 결과적으로 어드레스 방전 delay는 마지막 서스테인 방전과 어드레스 방전 사이의 간격과 이전의 서스테인 펄스의 수에 따른 priming 입자에만 영향이 있음을 확인하였다. 의사윤곽 현상은 subfield의 개수가 증가하여 각 subfield의 weight의 크기가 차이가 많이 나지 않으므로 큰 의사윤곽은 별로 눈에 뜨지 않았다. 그러나 block마다 subfield의 배열이 달라짐으로 인해서 block마다 의사윤곽이 나타나는 양상이 달라져서, block의 경계면이 눈에 띄는 문제가 발생하였다. 이 부분에 대해서는 의사윤곽을 최소화하기 위한 더 많은 연구가 필요할 것으로 생각된다.

감사의 글

본 연구는 2003년도 인천대학교 학술연구비조성에 의하여 수행되었음.

참 고 문 헌

[1] Larry F. Weber, "The Promise of Plasma Display for HD-TV", Society for Information Display(SID), pp. 402-405, 2000.

[2] T. Shinoda, "High Level Gray Scale for AC Plasma Display Panels Using Address-Display Period-Separated Sub-Field Method", Trans. of IEICE C-2, no. 3, pp. 349-355, 1998.

[3] Tsutae Shinoda, "Research & Development of Surface-Discharge Color Plasma Display Technologies", International Display Research Conference Asia Display, pp. 1065-1070, 1998.

[4] T. Shigeta, N. Saegusa, "Improvement of Moving-Video Image Quality on PDPs by Reducing the Dynamic False Contour", Society for Information Display(SID), pp. 287-290, 1998.

[5] J. Ryoem, "An Image Data Rearranged Sub-Field Method for Reducing Dynamic False Contours in PDPs", International Display Workshops(IDW), pp. 547-550, 1998.

[6] S. Mikoshiba, "Dynamic False Contours on PDPs-Fatal or Curable?", International Display Workshops (IDW), pp. 251-254, 1996.

[7] M. Kasahara, "New Drive System for PDPs with Improved Image Quality : Plasma AI", Society for Information Display(SID), pp. 155-158, 1999.

[8] T. Tokunaga, "Development of New Driving Method for AC-PDPs. High-Contrast, Low Energy Address and Reduction of False Contour Sequence "CLEAR"", International Display Workshops(IDW), pp. 787-790, 1999.

[9] H. Homma, "Luminance Improvement of PDPs by an Extension of Light-Emission Duty to 90% with an HD-TV Capability", Society for Information Display (SID), pp. 285-288, 1997.

[10] M. Ishii, "Reduction of Data Pulse Voltage to 20V by Using Address-While-Display Scheme for AC-PDPs", Society for Information Display(SID), pp. 162-165, 1999.

[11] Peter Dinh-Tuan Ngo, "Charge Spreading and its Effect on AC Plasma Panel Operating Margins", IEEE Transactions on Electron Devices, vol ED-24 NO. 7, pp. 870-872, 1977.

[12] K. C. Choi, "Temporal Behaviors of the Charged and the Metastable Particles in an AC-PDPs", International Display Workshops(IDW), pp. 619-622, 1999.

저 자 소 개

김 재 성 (金 在 成)

1976년 12월 13일생. 2002년 인하대 전기공학과 졸업. 2004년 동 대학원 전기공학과 석사졸업.

Tel : 019-377-7950

E-mail : jaes1213@naver.com

황 현 태 (黃 鉉 太)

1976년 12월 17일생. 2002년 경남대 전기공학과 졸업. 2004년 인하 대학원 전기공학과 석사졸업.

Tel : 017-859-7975

E-mail : white76angel@hanmail.net

서 정 현 (徐 正 炫)

1971년 7월 12일생. 1993년 서울대 전기공학과 졸업. 2000년 동 대학원 전기공학부 졸업(공박). 2000년 9월~2002년 8월 삼성SDI PDP 개발 센타 과장. 2002년 9월~현재 인천대 전자공학과 전임.

Tel : 032-770-8442, Fax : 032-764-2371

E-mail : pdpsunya@incheon.ac.kr

이 석 현 (李 晳 賢)

1963년 2월 3일생. 1985년 서울대 전기공학과 졸업. 1993년 동 대학원 전기공학과 졸업(공박). 1993~1995 현대전자반도체 연구센타 과장. 1995~현재 인하대 전기공학과 교수.

Tel : 032-860-7392, Fax : 032-863-5822

E-mail : plasma@inha.ac.kr