

NMOS 소자에 대한 Ru₁Zr₁ 합금 게이트 전극의 특성

Properties of Ru₁Zr₁ Alloy Gate Electrode for NMOS Devices

이충근^{1,a}, 강영섭¹, 홍신남¹

(Chung-Keun Lee^{1,a}, Young-Sub Kang¹, and Shin-Nam Hong¹)

Abstract

This paper describes the characteristics of Ru-Zr alloy gate electrodes deposited by co-sputtering. The various atomic composition was made possible by controlling sputtering power of Ru and Zr. Thermal stability was examined through 600 and 700 °C RTA annealing. Variation of oxide thickness and X-ray diffraction(XRD) pattern after annealing were employed to determine the reaction at interface. Low and relatively stable sheet resistances were observed for Ru-Zr alloy after annealing. Electrical properties of alloy film were measured from MOS capacitor and specific atomic composition of Zr and Ru was found to yield compatible work function for nMOS. Ru-Zr alloy was stable up to 700°C while maintaining appropriate work function and oxide thickness.

Key Words : Work Function, Gate Metal, Thermal Stability, Ruthenium, Zirconium

1. 서론

CMOS 소자의 채널 길이가 50 nm 이하로 감소함에 따라 폴리 공핍(poly depletion), 붕소 침투, 높은 면저항 등 폴리실리콘의 문제점이 나타나 이를 보완하고 또한 high-κ와 같은 차세대 게이트 절연체와의 공정상의 적합성을 위하여 금속 게이트가 필요하게 되었다[1,2]. 폴리실리콘을 대체하면서 적절한 단채널 성능과 문턱전압을 유지하기 위하여 금속 게이트의 일함수는 nMOS와 pMOS에서 각각 4 eV와 5 eV에 가까워야 한다[3]. pMOS의 경우 Mo와 RuO₂처럼 적절한 금속이 있는 반면에 nMOS에 적합한 일함수를 갖는 금속은 절연체와 반응하여 금속 산화막이나 monosilicide 층을 형성하는 열적 불안정성을 갖는다[3,4]. 이런 계면층은 EOT(equivalent oxide thickness)를 감소시키고 금속의 일함수를 변화시켜 소자의 성능에 영향을 준

다. 따라서 CMOS의 게이트 전극으로 사용되기 위하여 금속 게이트는 적합한 일함수와 열적 안정성을 가져야 한다[5].

금속을 게이트 전극으로 사용하는 방법은 크게 두 가지로 구분할 수 있다. Mid-gap 일함수 금속(e.g., TiN and W)을 사용하거나 이원 일함수를 사용하는 것이다. Mid-gap 일함수 금속 게이트가 사용된 경우에는 MOS의 문턱전압이 너무 높고 단채널 효과가 심각하게 나타난다[14]. 반면에 이원 일함수 금속 게이트를 사용하는 경우에는 대부분 비슷하게 두 번의 금속 증착 과정을 필요하게 되므로 공정상의 복잡성이 증가한다. 특히 nMOS의 경우 앞에서 언급한 금속의 열적 불안정성을 보완하기 위하여 합금을 사용하게 된다. 합금을 구성하는 방법으로 두 종류의 금속을 적층한 후 고온 열처리로 내부 확산을 시키는 방법과 co-sputtering을 이용하는 방법 등이 있다[5-7]. 적층 구조를 사용하는 경우 추가적인 열처리가 필요하나 co-sputtering의 경우 동일 석영방(chamber) 내에서 타겟(target)에 가해지는 전력만을 조절하여 원하는 일함수를 갖는 이원 합금을 구성할 수 있어서 비교적 공정이 간단하다.

1. 한국항공대학교 전자·정보통신·컴퓨터공학부
(경기도 고양시 덕양구 화전동 200-1)

a. Corresponding Author : cklee@eeabyss.hankong.ac.kr

접수일자 : 2004. 3. 22

1차 심사 : 2004. 4. 8

심사완료 : 2004. 5. 7

따라서 본 논문에서는 co-sputtering 방법을 이용하여 Ru와 Zr의 이원 합금을 구성하였다. nMOS에 적합한 일함수를 갖는 합금 조성 비율을 찾기 위하여 Ru와 Zr을 여러 조건으로 co-sputtering 하였다. 증착된 합금막이 후속 열처리 공정에 대하여 열적으로 안정한 지를 검증하기 위해 RTA(rapid thermal annealing)를 수행하였다. 열처리 이후 EOT 변화와 일함수의 변화를 통하여 합금의 열적 안정성을 확인하였다.

2. 실험

2.1 MOS 커패시터의 제작

본 논문에서는 nMOS에 적합한 게이트 전극의 특성을 연구하기 위하여 MOS 커패시터를 제작하여 그 특성을 연구하였다. (100) p-type 실리콘 기판에 활성 영역을 형성하기 위하여 약 3500 Å의 필드 산화막(field oxide)을 성장시켰다. 900 °C에서 약 35 Å의 게이트 산화막을 성장시켰다. 이원 합금은 3×10^{-9} Torr의 기본 압력에서 sputtering tool을 사용하여 증착하였다. 순도 99.95 % Ru과 순도 99.95 % Zr 타깃을 사용하여 스퍼터링을 수행하였다. 다양한 조성 비율을 갖는 합금을 얻기 위하여 Ru과 Zr 타깃에 가해지는 전력을 변화시켜 Ru과 Zr이 증착되는 비율이 다르도록 하였다.

Ru-Zr 이원 합금 게이트의 두께는 약 500 Å이고 lift-off를 사용하여 게이트를 패턴(pattern)하였다. 대기 중의 산소와 Zr이 반응할 경우 high-k 절연체가 합금막의 윗부분에 생성될 수 있는데 이를 방지하기 위하여 합금을 증착한 후 추가적으로 Ru을 보호막으로 스퍼터링 하였다.

2.1 MOS 커패시터의 특성 측정

FE-SEM(field emission scanning electron microscopy)을 이용하여 합금의 조성 비율을 측정하였고 AES(auger electronic spectroscopy)를 이용하여 Ru과 Zr의 depth profile을 얻었다. HP 4280 LCR meter(1MHz)와 HP 4155 반도체 소자 분석기를 사용하여 10^{-4} cm² 면적의 MOS 커패시터에서 C-V와 I-V 특성을 측정하였다. North Carolina State University(NCSU) 양자모델[8]을 이용하여 시편의 일함수와 EOT를 얻었으며 4점 탐침기를 사용하여 금속막의 면저항을 측정하였다. 합금의 열적 안정성을 검증하기 위하여 시편을 Ar 분위기로 600 °C와 700 °C에서 10초간 RTA한 후 열처리 전후의 EOT와 일함수를 비교 분석 하였다.

3. 결과 및 고찰

그림 1은 열처리하지 않은 시편의 C V 특성을 Ru 스퍼터링 전력 비율에 따라 나타낸다. 여기서 전력 비율은 Zr과 Ru 타깃에 가해지는 각각의 전력을 Ru의 비율로 환산한 것이다. 즉 Zr과 Ru 타깃에 가해지는 전력이 각각 100W라면 Ru의 전력 비율은 50%가 된다. 그림에서 각 C V 곡선은 Ru 스퍼터링 전력 비율에 따라 다른 평탄 전압을 갖고 있다. 이것은 합금에서 Ru의 조성 비율이 변화함에 따라 일함수가 달라지는 것을 나타낸다.

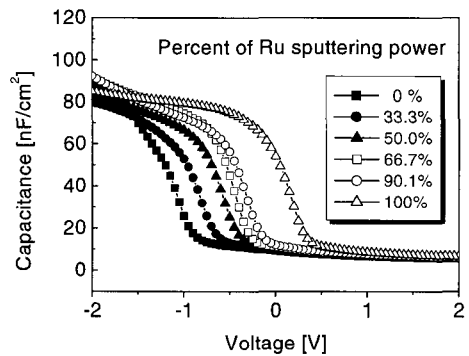


그림 1. Ru-Zr 합금의 C-V 특성 곡선.
Fig. 1. C-V curves of Ru-Zr alloy gates.

그림 2는 열처리 하지 않은 시편에서 NCSU 양자 모델을 이용하여 구한 각 시편의 일함수를 나타낸다. Ru 스퍼터링 전력 비율에 따라 일함수는 3.89 eV에서 5.19 eV까지의 다양한 값을 가진다. Ru 스퍼터링 전력 비율이 33.3 % 이하일 때 일함수는 3.89 eV에서 4.06 eV로 nMOS에 적합한 값을 나타낸다. 그러나 Ru 스퍼터링 전력 비율을 20 % 이하로 스퍼터링한 시편의 경우에 600 °C RTA 이후 축적상태에서의 정전용량이 크게 증가하였다. 이것은 400 °C 정도의 낮은 온도 열처리에서도 Zr이 SiO₂와 쉽게 반응하는 특성을 갖고 있기 때문에 일어난 현상이다[9]. 따라서 Ru 스퍼터링 전력 비율이 20 % 이하인 합금은 게이트 산화막과 열적으로 불안정하므로 게이트 전극으로 사용하기에 적합하지 않다. 반면에 Ru 스퍼터링 전력 비율이 50 % 이상인 경우 합금의 일함수가 mid-gap 일함수이거나 pMOS에 적합한 높은 일함수를 나타낸다. 그러므로 nMOS의 게이트 전극으로 사용하기 위하여 co-sputtering된 Ru-Zr 합금을 사용할 때는 Ru 스퍼터링 전력 비율이 20 %보다는 크고 50 %보다는 작아야 한다.

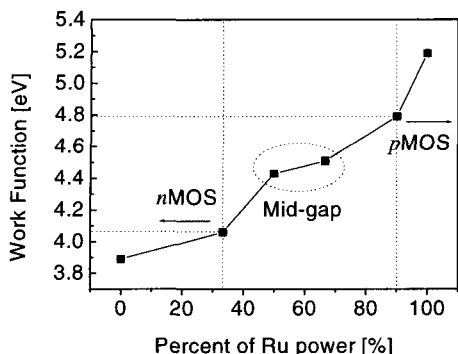


그림 2. Ru 전력 비율에 따른 합금의 일함수.
 Fig. 2. Work function extracted from C-V curve for various percent of Ru power.

본 연구에서 주로 연구한 시편의 Ru 스퍼터링 전력 비율은 33.3 %이며, FE-SEM을 이용하여 측정된 Ru과 Zr의 원자 조성 비율은 각각 49.6 %와 50.4 % 이다. 그림 3은 AES로 측정된 Ru과 Zr의 depth profile 이다. AES 측정 결과도 FE-SEM 측정 결과와 동일한 원자 조성 비율을 나타냈으며 700 °C 열처리를 수행한 시편과 열처리를 하지 않은 시편간의 depth profile 차이는 크지 않았다.

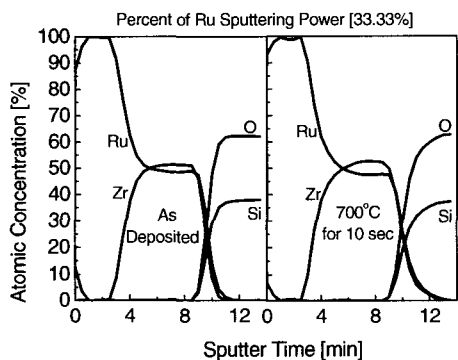


그림 3. Ru-Zr 합금의 depth profile.
 Fig. 3. Depth profile of Ru-Zr alloy film after as-deposition and 700 °C annealing.

표 1에 Ru과 Zr의 평형상을 나타내었다[10]. Ru 원자 조성 비율이 51 % 이상인 경우 Ru이 많이 포함된 혼합상(Ru+Ru₁Zr₁)이 나타나고 49 % 미만일 경우에는 Zr이 많이 포함된 혼합상(Ru₁Zr₁+αZr)과 단일상(αZr)이 나타난다. 합금의 일함수와 열적

안정성은 합금의 평형상에 따라 영향을 받는다. 일반적으로 Zr은 열적으로 매우 불안정한 물질이고 Ru은 열적으로 안정한 물질로 알려져 있다[10]. 따라서 Zr이 많이 포함된 평형상은 열적으로 불안정하고 Ru이 많이 포함된 평형상은 열적으로 안정하다는 것을 예측할 수 있다. 본 논문에서 주로 연구한 시편의 경우 Ru 조성 비율이 49 %~51 %이므로 합금은 Ru₁Zr₁의 단일상을 나타내게 된다.

표 1. Ru-Zr 시스템에 대한 평형상.

Table 1. Equilibrium phases for Ru-Zr system.

Ru 조성 비율 [%]	평형상
0~1	단일상 (αZr)
1~49	혼합상 (Ru ₁ Zr ₁ +αZr)
49~51	단일상 (Ru ₁ Zr ₁)
51~100	혼합상 (Ru+Ru ₁ Zr ₁)

그림 4는 Ru 원자 조성 비율이 49.6%인 Ru-Zr 합금의 XRD 분석 결과이다. 그림에서 증착된 Ru-Zr 합금은 Ru₁Zr₁ 단일상이라는 것을 확인할 수 있고 합금과 SiO₂ 사이의 계면에서 zirconium silicide와 ruthenium silicide가 형성된 것을 알 수 있다. 계면에 형성된 silicide는 Ru과 Zr이 SiO₂와 반응하여 형성된 것이다. 또한 열처리 전후의 XRD 피크(peak)를 비교해 보면 열처리 이후 다른 지점에서 새로운 피크가 나타나지 않았으므로 새로운 결정 구조를 갖는 물질이 형성되지 않았다는 것을 알 수 있다.

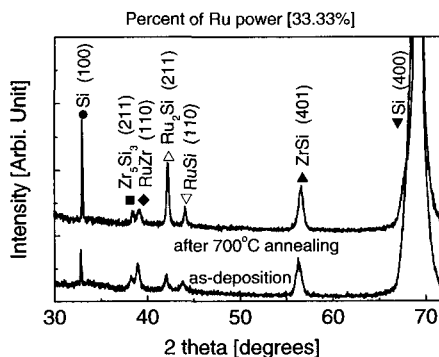


그림 4. 비열처리와 700 °C 열처리 후 Ru-Zr 합금의 XRD 분석결과.
 Fig. 4. XRD peaks of Ru-Zr alloy film for as-deposited and 700 °C annealing.

표 2는 NCSU 양자 모델을 이용하여 구한 열처리 전과 후의 EOT와 일함수를 나타내고 있다. 순수한 Zr의 경우에는 600 °C RTA 이후 EOT가 38.1 Å에서 7.8 Å으로 크게 변하는 불안정한 특성을 갖는 반면에 Ru₁Zr₁ 합금의 경우에는 열처리하지 않은 시편의 EOT와 700 °C RTA로 열처리한 시편의 EOT 차이는 약 2.4 Å이다.

합금이 열적으로 안정하려면 계면층이 형성되지 않아야 하며 일함수 또한 안정해야 한다. 열처리에 의해 금속 게이트의 일함수가 크게 변한다면 소자의 문턱전압도 변하게 된다. 따라서 소자가 일정한 성능을 나타내기 위하여 금속 게이트는 열처리 이후에도 일정한 일함수를 가져야 한다. 표 2에서 열처리 이전 시편의 일함수는 4.06 eV이다. 스퍼터링 후 열처리하지 않은 시편의 경우에 합금은 스퍼터링 결함을 갖고 있어 실제 일함수보다 낮은 일함수가 측정된다[9]. 따라서 600 °C RTA 이후 증가된 0.05 eV의 일함수는 스퍼터링 결함 제거에 의한 것이다. 600 °C와 700 °C RTA 후 일함수의 차이는 약 0.08 eV로 작은 값이다. 이것은 Ru₁Zr₁ 합금이 열적으로 안정하다는 것을 나타내고 금속막 증착 이후의 후속 열처리 공정으로 인하여 소자의 성능이 변화되지 않음을 나타낸다.

결론적으로 XRD 분석 결과와 열처리에 따른 EOT 변화량과 일함수의 변화량을 고려하였을 때 Ru₁Zr₁ 합금은 기존에 보고 되었던 nMOS에 적합한 다른 금속[9]과는 달리 700 °C까지의 열처리에 도 안정적인 특성을 나타내었다.

표 2. 열처리 조건에 따른 Ru₁Zr₁ 합금의 EOT와 일함수.

Table 2. The value of EOT and work function of Ru₁Zr₁ alloy film along annealing condition.

Annealing condition	EOT [Å]	Work Function [eV]
as-dep.	36.8	4.06
600 °C	35.6	4.11
700 °C	34.4	4.19

스퍼터링에 의한 금속막의 증착은 게이트 산화막에 손상을 줄 수 있다. 게이트 산화막의 손상은 일반적으로 게이트 누설전류를 증가시킨다. 따라서 게이트 산화막의 손상 정도를 파악하기 위하여 누설전류 특성이 고찰되어야 한다. 그림 5는 700 °C 급속 열처리 이후 측정된 MOS 커패시터의 게이트

누설전류를 나타낸다. 누설전류의 크기는 Empirical 모델로 모의 실험된 SiO₂ 누설전류[11]와 비교하였을 때 작은 값을 나타낸다. 이것은 스퍼터링으로 인한 금속막의 증착이 게이트 산화막 손상에 영향이 크지 않다는 것을 나타내는 것이다.

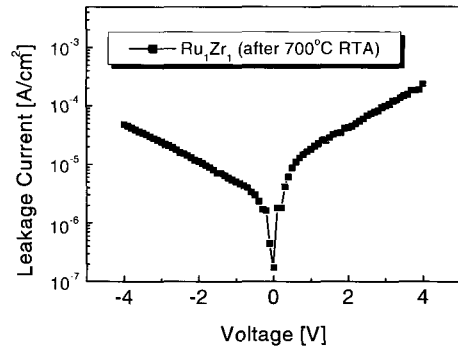


그림 5. 700 °C 급속 열처리 이후 MOS 커패시터의 게이트 누설 전류.

Fig. 5. Leakage current of MOS capacitor after 700 °C Rapid thermal annealing.

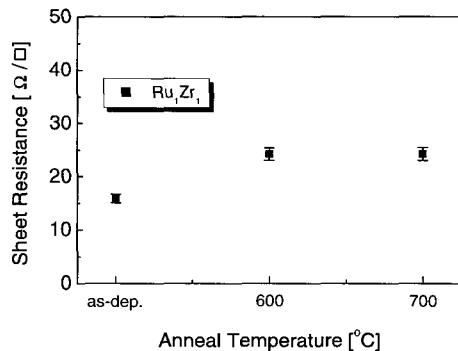


그림 6. 급속 열처리 이후 면저항의 변화.

Fig. 6. The change of sheet resistance after rapid thermal annealing.

폴리실리콘의 단점 중 하나인 높은 면저항은 최근에 더욱 중요한 문제가 되고 있다. 게이트 전극의 면저항이 크면 불필요한 전력이 소비되므로 저전력 소자에 적합하지 않다. 일반적으로 폴리실리콘의 면저항은 80-300 Ω/□이고, 폴리실리콘 게이트 전극의 도핑(doping)에 의해 많은 영향을 받는다[12]. 금속은 10²² cm⁻³ 이상의 높은 반송자 농도를 가지기 때문에 면저항이 폴리실리콘에 비하여

현저히 낮다[5]. 그림 6은 Ru₁Zr₁ 합금의 열처리 온도에 따른 면저항의 변화를 나타내고 있다. Ru₁Zr₁ 합금의 면저항은 600 °C RTA 이후 약 24 Ω/□로 폴리실리콘과 비교했을 때 낮은 값을 나타낸다. 그림 6에서 열처리 온도에 따라 면저항이 약간 증가하는 것이 나타나는데 이것은 표면 산화와 수소축적에 의한 것이다[13]. 비록 열처리에 의해 면저항은 증가하지만 이것은 폴리실리콘에 비해 훨씬 작은 값이며 소자의 성능에 큰 영향을 주지 않을 만큼의 작은 증가이다.

4. 결 론

Co-sputtering 방법을 이용했을 때의 장점은 스퍼터링 전력을 변화시켜 손쉽게 합금의 원자 조성비를 조절할 수 있다는 것이다. 본 논문에서는 co-sputtering 방법으로 Ru-Zr 합금을 증착하여 MOS 게이트 전극으로 사용 가능함을 검토하였다. Ru 49.6 %, Zr 50.4 %의 비율로 Ru-Zr 합금을 구성하였을 때 nMOS에 가장 적합한 일함수인 4.11 eV를 나타내었다. 합금의 열적 안정성을 확인하기 위하여 600 °C와 700 °C에서 RTA를 수행한 후 시편의 EOT변화와 일함수의 변화를 측정하였고 XRD 분석을 하였다. 열처리 이후 시편의 EOT 변화와 일함수의 변화는 2.4 Å과 0.08 eV로 작았다. 또한 열처리 이후 XRD 피크도 새로운 결정이 생기지 않았음을 나타내었다. 700 °C 열처리 후 측정된 게이트 누설전류는 V_g=-4 V일 때 4.8×10⁻⁵ A/cm²로 폴리실리콘을 게이트 전극으로 사용하였을 때와 비교하면 작은 값이다. 결과적으로 Ru₁Zr₁ 합금은 700 °C까지 열적으로 안정하다. 또한 Ru₁Zr₁ 합금은 면저항이 24 Ω/□로 폴리실리콘과 비교할 때 상대적으로 작은 값을 갖으며 게이트 공핍과 붕소 침투와 같은 문제점이 없다. 이와 같은 실험결과를 통하여 Ru₁Zr₁ 합금이 nMOS 게이트 전극으로 적합함을 확인하였다.

감사의 글

본 논문은 2003년 한국항공대학교 교비 특별연구과제 연구비에 의하여 지원된 연구결과이며, 이에 감사드립니다.

참고 문헌

- [1] Y. Taur, D. A. Buchanan, W. Chen, D. J. Frank, K. E. Ismail, S. H. Lo, G. A. Sai-Halasz, R. G. Viswanathan, H. J. Wann, S. J. Wind, and H. S. Wong, "CMOS scaling into the nanometer regime", Proc. of the IEEE, Vol. 85, No. 4, p. 486, 1997.
- [2] Y. C. Yeo, Q. Lu, P. Ranade, H. Takeuchi, K. J. Yang, I. Polishchuk, T. J. King, C. Hu, S. C. Song, H. F. Luan, and D. L. Kwong, "Dual-metal gate cmos technology with ultrathin silicon nitride gate dielectric", IEEE Elec. Dev. Lett., Vol. 22, No. 5, p. 227, 2001.
- [3] R. Lin, Q. Lu, P. Ranade, T. J. King, and C. Hu, "An adjustable work function technology using mo gate for cmos devices", IEEE Elec. Dev. Lett., Vol. 23, No. 1, p. 49, 2002.
- [4] H. Zhong, S. N. Hong, Y. S. Sub, H. Lazar, G. Heuss, and V. Misra, "Properties of Ru-Ta Alloys as Gate Electrodes For NMOS and PMOS Silicon Devices", IEDM, p. 467, 2001.
- [5] V. Misra, H. Zhong, and H. Lazar, "Electrical properties of ru-based alloy gate electrodes for dual metal gate Si-CMOS", IEEE Elec. Dev. Lett., Vol. 23, No. 6, p. 354, 2002.
- [6] 노영진, 이충근, 홍신남, "실리콘 산화막에 대한 Ta-Mo 합금 게이트의 열적 안정성", 전기전자재료학회논문지, 17권, 4호, p. 361, 2004.
- [7] J. H. Lee, H. Zhong, Y. S. Suh, G. Heuss, J. Gurganus, B. Chen, and V. Misra, "Tunable work function dual metal gate technology for bulk and non-bulk CMOS", IEDM, p. 359, 2002.
- [8] J. R. Hauser and K. Ahmed, "Characterization of Ultrathin Oxides Using Electrical C-V and I-V measurements", Gaithersburg, MD: Nat. Inst. Stand. Technol., 1998.
- [9] V. Misra, G. Heuss, and H. Zhong, "Use of metal-oxide-semiconductor capacitors to detect interactions of Hf and Zr gate electrodes with SiO₂ and ZrO₂", Appl. Phys.

- Lett., Vol. 78, No. 26, p. 4166, 2001.
- [10] K. Mahdoui, K. Elaissaoui, J. Charles, L. Bouirden, and J. C. Gachon, "Calorimetric study and optimization of the ruthenium zirconium phase diagram", *Intermetallics*, Vol. 5, No. 2, p. 111, 1997.
 - [11] W. C. Lee and C. Hu, "Modeling Gate and Substrate Currents due to Conduction- and Valence-Band Electron and Hole Tunneling", *Symp. on VLSI Tech. Dig. of Tech. papers*, p. 198, 2000.
 - [12] J. E. Suarez, B. E. Johnson, and B. El-Kareh, "Thermal Stability of Polysilicon Resistors", *Electronic Components and Tech. Conf. Proc.*, 41st, p. 537, 1991.
 - [13] K. Ino, T. Ushiki, K. Kawai, I. Ohshima, T. Shinohara, and T. Ohmi, "Highly- Reliable Low-Resistivity bcc-Ta Gate MOS Technology Using Low-Damage Xe-Plasma Sputtering and Si-Encapsulated Silicidation Process", *Symp. on VLSI Tech. Dig. of Tech. Papers*, p. 186, 1998.
 - [14] I. De, D. Johri, A. Srivastava, and C. M. Osburn, "Impact of gate workfunction on device performance at the 50nm technology node", *Solid-State Elec.*, 44, p. 1077, 2000.