

# 사이리스터 동작을 이용한 새로운 이중 게이트 트랜지스터

論 文

53C-7-3

## A New Dual Gate Transistor Employing Thyristor Action

河 珉 宇\* · 田 秉 澈\*\* · 崔 然 益\*\*\* · 韓 民 九§

(Min-Woo Ha · Byung-Chul Jeon · Yearn-Ik Choi · Min-Koo Han)

**Abstract** - A new 600 V dual gate transistor employing thyristor action, which incorporates floating PN junction and trench gate IGBT, is proposed to improve the forward current-voltage characteristics and the short circuit ruggedness. Our two-dimensional numerical simulation shows that the proposed device exhibits low forward voltage drop and eliminates the snapback phenomena compared with conventional trench gate IGBT and EST. The proposed device achieves high current saturation characteristics by separating floating N<sup>+</sup> emitter and cathode. The proposed device achieves low saturation current value compared with conventional devices, and the short-circuit ruggedness is improved. The proposed device may be suitable for the use of high voltage switching applications.

**Key Words** : Dual gate transistor, Thyristor, Trench, Forward voltage drop, Short-circuit ruggedness

### 1. 서 론

IGBT (Insulated Gate Bipolar Transistor), MCT (MOS Controlled Thyristor) 등의 전력 소자는 전력 BJT (Bipolar Junction Transistor)에 비해 전압 제어 특성과 높은 입력 임피던스 때문에 많은 관심을 받고 있다. 낮은 순방향 전압 강하 특성을 가지는 IGBT [1-2]는 모터 제어와 같은 고전압 응용 분야의 소자에 널리 쓰여 왔다. 사이리스터 래치-업을 이용하여 IGBT보다 순방향 전압 강하 특성을 개선시킨 MCT [3-4]는 낮은 전류 포화 특성을 가지는 단점을 가지고 있다. MCT 소자 중 하나인 EST (Emitter Switched Thyristor) [5-7]는 애노드 전위가 상승함에 따라 플로팅 N<sup>+</sup> 이미터의 전위 상승하여 series LMOS (Lateral MOS) 채널에 에벌런치 항복 [8]이 발생하여 낮은 애노드 전압에서 전류 포화 특성을 잃어버린다. EST는 순방향 동작 시 트랜지스터가 구동된 뒤 사이리스터가 래치-업되므로 스냅백 (snapback) 현상으로 인한 부정 저항 영역 (negative resistance region)을 가지고 있다. 높은 전류 포화 특성을 가지는 트랜치 게이트 EST [9-10] 및 SIMOX (Separation by Implanted OXygen)를 이용한 EST [11]는 구현이 어려운 삼중 확산 공정이나 특별한 SIMOX 공정 등이 요구된다. 본 논문의 목적은 특별한 제작 공정이 요구되지 않으면서, 스냅백 현상을 제거하고, 낮은 순방향 전압 강하 특성과 높은

전류 포화 특성을 가지는 이중 게이트 트랜지스터 (Dual Gate Transistor)를 제안하는 것이다.

제안된 이중 게이트 트랜지스터는 트랜치 게이트 IGBT 구조에 부가적으로 플로팅 PN 접합 (플로팅 P- 베이스 및 플로팅 N<sup>+</sup> 이미터)을 설계하여 사이리스터 래치-업이 일어나도록 설계되었다. 제안된 소자는 널리 이용되는 트랜치 게이트 IGBT 공정과 호환이 되며 삼중 확산 공정이나 SIMOX와 같은 복잡한 공정이 요구되지 않는다. 제안된 소자는 사이리스터 래치-업을 이용하여 트랜치 게이트 IGBT 및 EST보다 순방향 전압 강하 특성을 개선하였으며, 플로팅 N<sup>+</sup> 이미터 접합을 캐소드로부터 분리시켜 높은 전류 포화 특성을 획득하였다. 제안된 소자는 EST보다 낮은 애노드 전압에서 사이리스터가 래치-업 되어 스냅백 현상이 제거되었으며, 전류 포화 밀도가 트랜치 게이트 IGBT 및 EST보다 낮아 short-circuit ruggedness 특성이 개선되었다. 제안된 소자는 수치해석 시뮬레이터 ISE-TCAD [12]로 같은 캐소드 구조의 트랜치 게이트 IGBT와 EST와 함께 전기적 특성을 검증되었다.

### 2. 제안된 소자의 구조 및 동작 원리

제안된 이중 게이트 트랜지스터의 구조는 그림 1과 같다. 제안된 소자는 트랜치 게이트 IGBT에 플로팅 PN 접합 (플로팅 P- 베이스 및 플로팅 N<sup>+</sup> 이미터)이 부가적으로 설계되며, 메인 사이리스터는 P<sup>+</sup> 애노드, N<sup>-</sup> 드리프트, 플로팅 P- 베이스, 플로팅 N<sup>+</sup> 이미터로 구성된다. 제안된 소자의 순방향 동작은 트랜치 게이트 IGBT 동작과 사이리스터 래치-업

\* 正 會 員 : 서울대학교 電氣工學部 工學博士課程  
\*\* 正 會 員 : 서울대학교 電氣工學部 工學博士課程  
\*\*\* 正 會 員 : 亞洲大學校 電子學科部 教授 · 工學博士  
§ 正 會 員 : 서울대학교 電氣學科部 教授 · 工學博士  
接受日字 : 2004年 3月 11日  
最終完了 : 2004年 4月 24日

으로 이루어진다. 제안된 소자는 순방향 동작 시 JFET 저항 설계로 인하여 빠른 사이리스터 래치-업으로 낮은 순방향 전압 강하 특성을 가지며 스냅백 현상도 제거되었다. 제안된 소자는 트렌치 게이트로 N+ 캐소드와 플로팅 N+ 이미터를 분리시켜 높은 애노드 전압에서도 전류 포화 특성이 유지된다. 반면에 기존 EST는 애노드 전압이 상승함에 따라 플로팅 N+ 이미터의 전위가 높아져 series LMOS 채널에 애벌런치 항복 발생하여 낮은 애노드 전압에서 전류 포화 특성을 잃게 된다 [8]. 제안된 소자의 전류 포화 특성은 P- 베이스 영역의 애벌런치 항복에 의한 기생 사이리스터 (P+ 애노드, N- 드리프트, P- 베이스, N+ 캐소드) 래치-업에 의해 결정된다.

그림 2는 제안된 소자의 순방향 동작시의 전자 전류의 흐름과 설계 변수 (JFET 저항과 플로팅 N+ 이미터 길이)를 나타낸 그림이다. 제안된 소자의 JFET 저항 ( $R_{JFET}$ )은 트렌치에서 플로팅 P- 베이스의 수평 확산층까지의 거리 ( $L_{JFET}$ )로 설계될 수 있으며, 플로팅 N+ 이미터 길이 ( $L_{N+emitter}$ )는 플로팅 N+ 이미터의 이온 주입 윈도우로 설계될 수 있다. 제안된 소자의 JFET 저항은 P+ 캐소드와 플로팅 P- 베이스 접합 사이의 전자 및 정공 전류의 병목 현상 때문에 형성된다. 제안된 소자의 애노드에 양의 전압이 걸린 상태에서, DMOS에 문턱전압 이상의 양의 전압이 걸리면 전자는 N+ 캐소드에서 N- 드리프트로 2가지 경로로 주입된다. 2가지 전자 주입 경로는 수직형 N- 채널을 통하여 JFET 저항의 N- 드리프트로 주입되는 경로 (path 1)와 수직형 N- 채널을 통하여 플로팅 N+ 이미터, 수평형 N- 채널을 거쳐 N- 드리프트로 주입되는 경로 (path 2)이다. 두 경로로 N- 드리프트로 주입된 전자들은 P+ 애노드로 빠져 나가며, 이는 제안된 소자 내 PNP 바이폴라 트랜지스터의 베이스 전류가 된다. 제안된 소자의 P+ 캐소드와 플로팅 P- 베이스 접합 사이의 JFET 저항으로 인하여 path 1보다 path 2를 통하여 N- 드리프트로 주입되는 전자양이 더 많다. 전자 흐름에 의하여 정공은 P- 베이스보다 플로팅 P- 베이스에 더 많이 쌓이게 되고, 플로팅 P- 베이스와 플로팅 N+ 이미터가 순방향 바이어스 되면 사이리스터가 래치-업 된다.

제안된 소자의 전기적 특성은 수치해석 시뮬레이터 ISE-TCAD를 이용하여 검증하였다. 표 1은 제안된 소자의 설계 변수이다. 제안된 소자는 700 V 이상의 순방향 저지 능력을 얻기 위하여 N- 드리프트 영역의 농도와 두께는  $1.4 \times 10^{14} \text{ cm}^{-3}$ , 50  $\mu\text{m}$ 로 설계되었고, 기생 사이리스터 래치-업을 억제하기 위하여 고농도의 P+ 캐소드 접합이 설계되었다. 트렌치 게이트 IGBT와 EST는 제안된 소자와 같은 캐소드 구조 및 같은 채널 길이를 가지도록 설계되었다. 제안된 소자의 제작 공정은 널리 쓰이는 트렌치 게이트 IGBT 공정과 호환이 되며 복잡한 공정이 요구되지 않는다. 제안된 소자의 플로팅 N+ 이미터와 N+ 캐소드는 동시에 제작되며, 플로팅 P- 베이스와 P- 베이스는 전면 P- 이온 주입 공정 (P-blank ion implantation)으로 제작된다. 제안된 소자는 빠른 스위칭 특성을 얻기 위하여 시뮬레이션의 캐리어 수명시간 (carrier lifetime)을 250 ns로 설정하였으며, 이는 소자 제작 후 간단한 전자 조사 (electron irradiation)로 구현할 수 있다 [13].

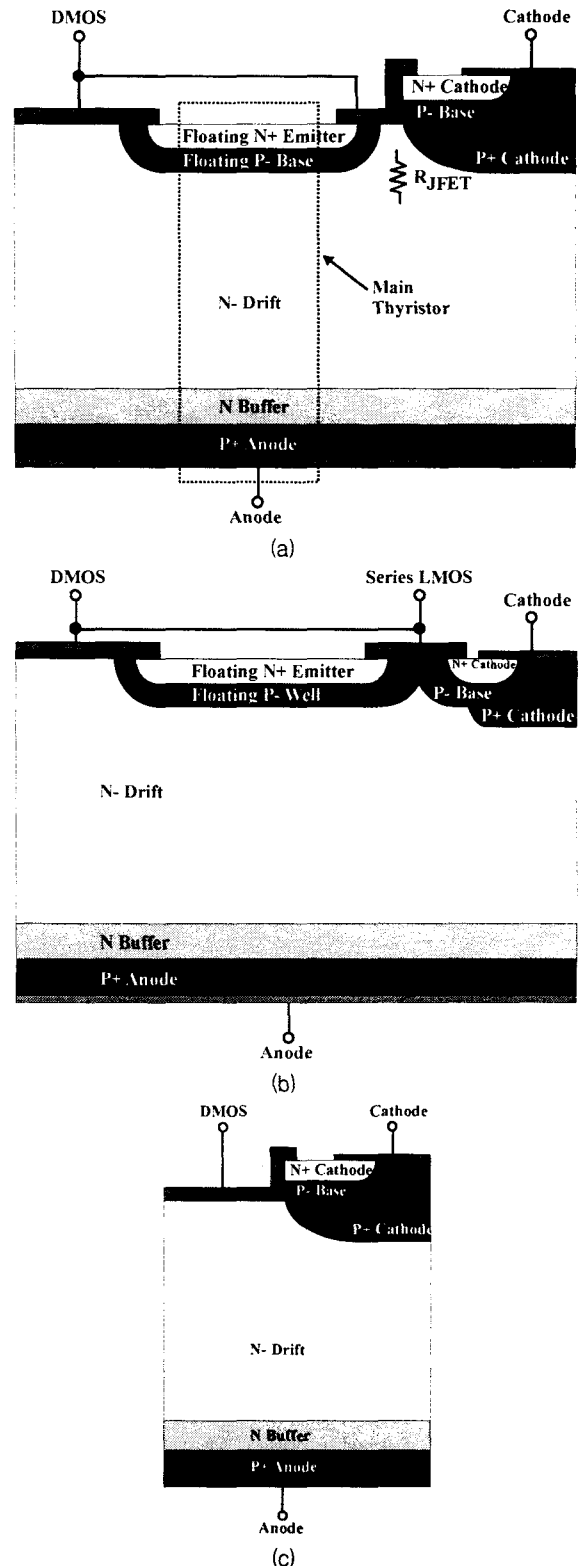


그림 1. (a) 제안된 이중 게이트 트랜지스터, (b) 기존 EST (Emitter Switched Thyristor), (c) 기존 트렌치 게이트 IGBT (Insulated Gate Bipolar Transistor)의 단면도  
 Fig. 1. The cross-sectional views of (a) the proposed dual gate transistor, (b) the conventional EST (Emitter Switched Thyristor), (c) the conventional trench gate IGBT (Insulated Gate Bipolar Transistor)

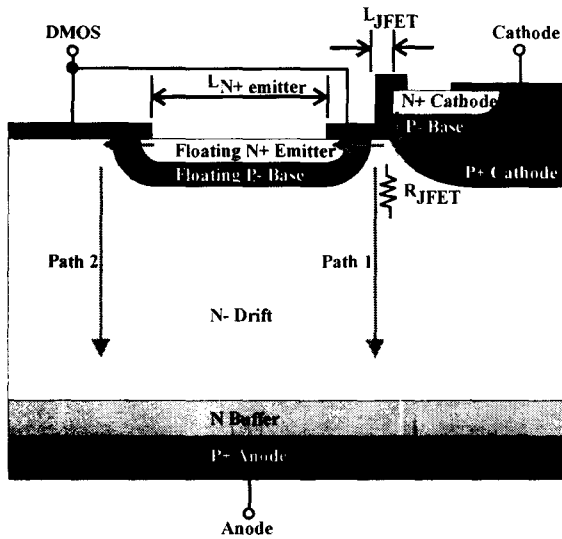


그림 2. 제안된 소자의 전자 전류 경로 및 설계 변수  
 Fig. 2. The electron current paths and the design parameters of the proposed device

표 1. 제안된 소자의 설계 변수

Table 1. The design parameters of the proposed device

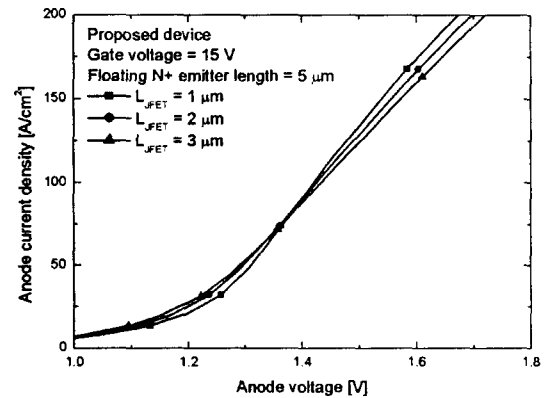
설계 변수		값
N- 드리프트	농도	$1.4 \times 10^{14} \text{ cm}^{-3}$
	접합 깊이	$50 \mu\text{m}$
N+ 캐소드, 플로팅 N+ 이미터	농도	$10^{20} \text{ cm}^{-3}$
	접합 깊이	$1 \mu\text{m}$
P- 베이스, 플로팅 P- 베이스	농도	$5 \times 10^{17} \text{ cm}^{-3}$
	접합 깊이	$3 \mu\text{m}$
P+ 캐소드	농도	$10^{19} \text{ cm}^{-3}$
	접합 깊이	$5 \mu\text{m}$
트렌치 깊이		$3 \mu\text{m}$

### 3. 시뮬레이션 결과 및 고찰

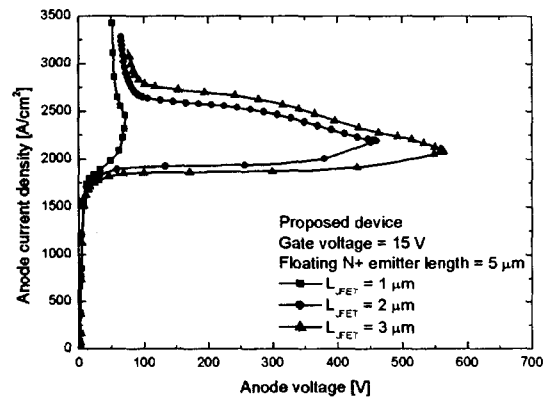
#### 3.1 JFET 저항

P+ 캐소드 접합과 플로팅 P- 베이스 접합 사이의 병목 현상 (bottleneck effect) 때문에 생기는 JFET 저항 ( $R_{JFET}$ )은 제안된 소자의 순방향 전압 강하 특성 및 전류 포화 특성을 결정한다. JFET 저항은 그림 2의  $L_{JFET}$ 으로 설계될 수 있다. 그림 3은 제안된 소자가 DMOS에 15 V로 바이어스 되어 있을 때  $L_{JFET}$ 에 따른 순방향 전압 강하 및 전류 포화 특성이다. 제안된 소자의 전류-전압 특성은  $L_{JFET}$ 에 따라 애노드 전류 밀도  $100 \text{ A/cm}^2$ 에 교차된다. 애노드 전류 밀도  $100 \text{ A/cm}^2$  아래의 동작 영역에서는  $L_{JFET}$ 이 크게 설계되면 병목 현상이 완화되어 순방향 전압 강하 특성이 개선된다. 반대로 애노드 전류 밀도  $100 \text{ A/cm}^2$  이상의 동작 영역에서는  $L_{JFET}$ 이 적게 설계된 제안된 소자가  $L_{JFET}$ 이 크게 설계한 것보다 개선된 순방향 특성을 가진다. 그 이유는  $L_{JFET}$ 이 크게 설계될수록 채널 밀도가 감소되기 때문이다 [14]. 제안된 소자는  $L_{JFET}$ 이 적게 설계되면 병목 현상이 심화되어 P- 베이스 영역에 애벌런치 항복이 발생하여 기생 사이리스터가 래치-업

되어 낮은 애노드 전압에서 전류 포화 특성을 잃게 된다.  $L_{JFET}$ 이  $1 \mu\text{m}$ 인 경우의 전류 포화 특성이 유지되는 애노드 전압은  $L_{JFET}$ 이  $3 \mu\text{m}$ 인 경우의 563 V에서 71 V로 열화 된다. 제안된 소자의  $L_{JFET}$  설계는 순방향 전압 강하 특성 및 전류 포화 특성 사이에서 trade-off 관계에 있다. 제안된 소자는  $L_{JFET}$ 를  $3 \mu\text{m}$ 로 설계하여  $100 \text{ A/cm}^2$ 에서 1.43 V의 순방향 전압 강하와 애노드 전압, 563 V까지 유지되는 전류 포화 특성을 획득하였다.



(a)



(b)

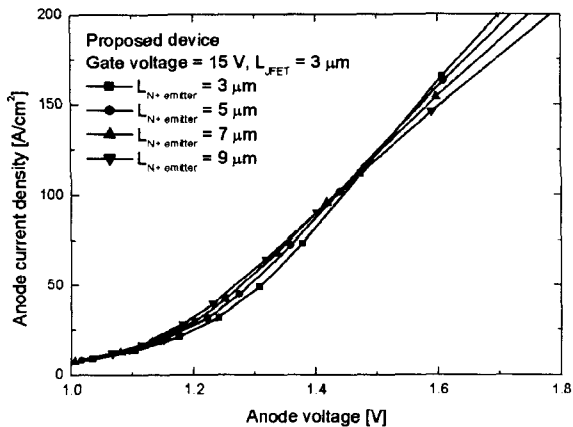
그림 3. 제안된 소자의  $L_{JFET}$ 에 따른 (a) 순방향 전압 강하, (b) 전류 포화 특성

Fig. 3. (a) The forward voltage drop, (b) current saturation characteristics of the proposed device with various  $L_{JFET}$

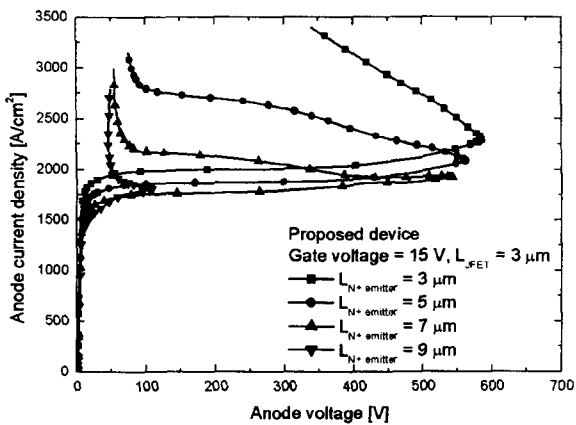
#### 3.2 플로팅 N+ 이미터 길이

플로팅 N+ 이미터 길이 ( $L_{N+ emitter}$ )는 사이리스터 전류와 채널 밀도에 영향을 미쳐 순방향 전압 강하와 전류 포화 특성을 결정한다. 그림 4는 제안된 소자의 플로팅 N+ 이미터 길이에 따른 순방향 전압 강하 및 전류 포화 특성이다.  $L_{N+ emitter}$ 에 따른 제안된 소자의 전류-전압 특성은 애노드 전류 밀도  $100 \text{ A/cm}^2$ 에서 교차한다. 애노드 전류 밀도  $100 \text{ A/cm}^2$  아래의 동작 영역에서는  $L_{N+ emitter}$ 가 크게 설계되면 사이리스터가 동작하는 면적이 커져 사이리스터 전류가 증가되어 순방향 전압 강하 특성이 개선된다. 그러나 애노드 전류

밀도  $100 \text{ A/cm}^2$  이상의 동작 영역에서는  $L_{N^+emitter}$ 가 적게 설계된 제안된 소자가  $L_{N^+emitter}$ 가 크게 설계된 것보다 개선된 순방향 전압 강하 특성을 가진다. 그 이유는  $L_{N^+emitter}$ 가 크게 설계될수록 채널 밀도가 감소하기 때문이다 [14]. 기생 사이리스터가 래치-업 되는 전류 레벨은 트렌치 및 캐소드 (P-베이스, N+ 캐소드, P+ 캐소드) 구조로 결정된다. 즉, 제안된 소자의 플로팅 N+ 이미터의 길이가 변해도 트렌치 구조 및 캐소드 구조는 같으므로 기생 사이리스터가 래치-업되는 전류 값은 동일하다. 제안된 소자의  $L_{N^+emitter}$ 가 크게 설계되면 제안된 소자의 P- 베이스에 흐르는 전류가 커져 기생 사이리스터 래치-업이 더 낮은 애노드 전압에서 일어나게 된다.  $L_{N^+emitter}$ 가  $3 \mu\text{m}$ ,  $5 \mu\text{m}$ ,  $7 \mu\text{m}$ 일 때 전류 포화가 유지되는 애노드 전압은 각각  $587 \text{ V}$ ,  $563 \text{ V}$ ,  $543 \text{ V}$ 이지만,  $L_{N^+emitter}$ 가  $9 \mu\text{m}$ 로 커지면 전류 포화가 유지되는 애노드 전압이  $108 \text{ V}$ 로 급격히 열화 된다. 제안된 소자의 플로팅 N+ 이미터 길이 설계도 JFET 저항과 마찬가지로 순방향 전압 강하 특성 및 전류 포화 특성 사이에서 trade-off 관계에 있다.  $L_{N^+emitter}$ 를  $5 \mu\text{m}$ 로 설계하여  $100 \text{ A/cm}^2$ 에서의  $1.43 \text{ V}$ 의 순방향 전압 강하와 애노드 전압,  $563 \text{ V}$ 까지 유지되는 전류 포화 특성을 획득하였다.



(a)



(b)

그림 3. 제안된 소자의  $L_{N^+emitter}$ 에 따른 (a) 순방향 전압 강하, (b) 전류 포화 특성

Fig. 3. (a) The forward voltage drop, (b) current saturation characteristics of the proposed device with various  $L_{N^+emitter}$

제안된 소자는 낮은 순방향 전압 강하 특성 및 높은 전류 포화 특성을 얻기 위하여  $L_{JFET}$ 과  $L_{N^+emitter}$ 가 각각  $3 \mu\text{m}$ ,  $5 \mu\text{m}$ 로 설계되었다. 또한 애벌런치 항복으로 인한 기생 사이리스터 래치-업을 억제하기 위하여 고농도 ( $10^{19} \text{ cm}^{-3}$ ) 및 접합 깊이가  $5 \mu\text{m}$ 의 P+ 접합이 설계되었다. 그림 5는 제안된 소자가 순방향 동작 시 전자 전류 분포 및 정공 전류 분포이다. 제안된 소자의 플로팅 N+ 이미터에서 플로팅 P- 베이스로 전자가 주입되며 플로팅 P- 베이스에서 플로팅 N+ 이미터로 정공이 주입되므로 제안된 소자의 사이리스터는 정상적으로 래치-업 되는 것을 확인하였다.

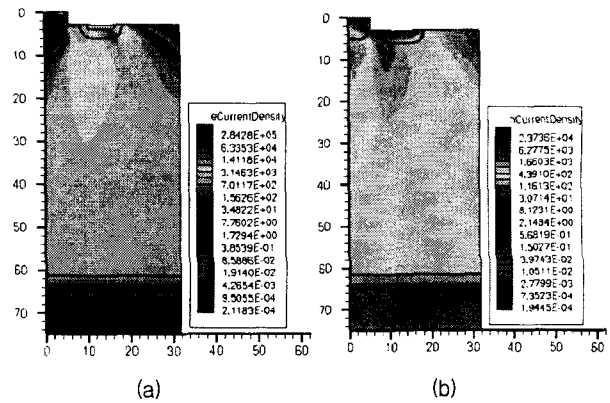
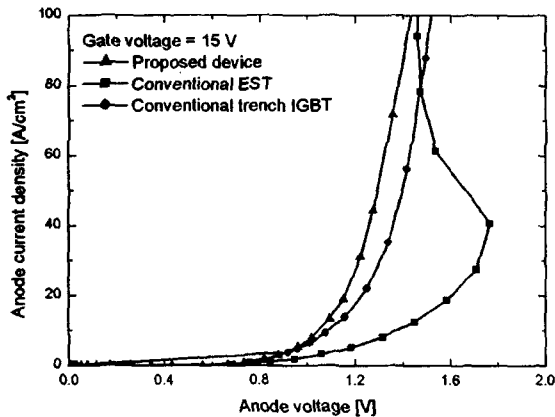


그림 5. 제안된 소자의 (a) 전자 전류 밀도 분포, (b) 정공 전류 밀도 분포 (애노드 전압 =  $100 \text{ V}$ , 게이트 전압 =  $15 \text{ V}$ )

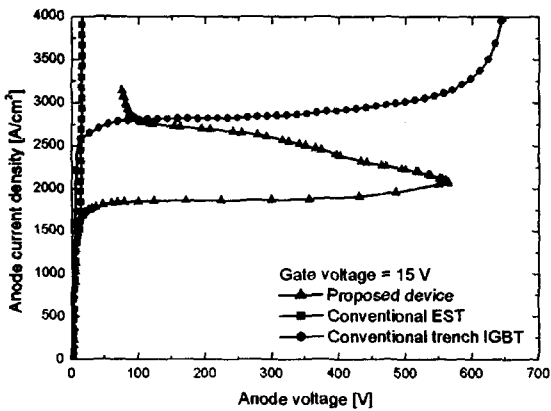
Fig. 5. (a) The electron current density, (b) the hole current density of the proposed device (anode voltage =  $100 \text{ V}$ , gate voltage =  $15 \text{ V}$ )

제안된 소자의 순방향 전압 강하 특성 및 전류 포화 특성을 트렌치 게이트 IGBT 및 EST와 비교하였다. 그림 6은 게이트 전압이  $15 \text{ V}$ 일 때 제안된 소자를 종래의 소자에 비교한 순방향 특성 및 전류 포화 특성이다. 종래의 소자는 제안된 소자와 공정한 비교가 되도록 제안된 소자와 같은 접합 조건, 같은 폴리 피치 (poly pitch) 및 같은 트렌치 깊이를 가지도록 설계되었으며 시뮬레이션으로 검증되었다 [12]. EST는 사이리스터 래치-업으로  $100 \text{ A/cm}^2$ 에서 트렌치 게이트 IGBT의 순방향 전압 강하,  $1.52 \text{ V}$  보다 낮은  $1.47 \text{ V}$ 를 가진다. EST는 순방향 동작 시 트랜지스터가 구동된 뒤 사이리스터가 래치-업 되므로 스냅백 (snapback) 현상이 발생되며, 스냅백으로 인한 부성 저항 영역을 가지고 있다. 부성 저항 영역은 회로적으로 불안한 동작을 일으킬 수 있으므로 억제되어야 한다. 제안된 소자는 JFET 저항과 플로팅 N+ 이미터 길이 설계로 인한 빠른 사이리스터 래치-업으로  $100 \text{ A/cm}^2$ 에서의 순방향 전압 강하는  $1.43 \text{ V}$ 로 트렌치 게이트 IGBT 및 EST에 비해 개선되었으며, 스냅백 현상도 제거되었다. EST는 애노드 전압이 상승함에 따라 플로팅 N+ 이미터의 전위가 상승하여 series LMOS 채널에 애벌런치 항복이 발생하여 낮은 애노드 전압에서 전류 포화 특성을 잃는다. 제안된 소자의 전류 포화 특성이 유지되는 애노드 전압은 트렌치 게이트로 플로팅 N+ 이미터와 N+ 캐소드를 분리시켜 EST의  $13 \text{ V}$ 에 비해  $563 \text{ V}$ 로 개선되었다.

Short-circuit ruggedness는 반도체 스위칭 소자가 안전 동작 영역 (SOA, Safe Operating Area) 밖에서 동작하고 있을 때 thermal runaway, 래칭 (latching), 정격 전압 초과 등으로 인한 파괴에 소자가 견디는 정도를 의미한다. 높은 전류 포화 밀도를 가지는 트랜치 게이트 IGBT는 높은 게이트 커패시턴스 및 높은 트랜스컨덕턴스 (transconductance)를 가져 short-circuit ruggedness가 열화 되는 단점을 가진다 [15-16]. 제안된 소자는 전류 포화 밀도가 1800 A/cm<sup>2</sup>로 트랜치 게이트 IGBT의 전류 포화 밀도 2800 A/cm<sup>2</sup>의 65 %로 낮아 short-circuit ruggedness가 개선되었다.



(a)



(b)

그림 6. 제안된 소자, 기존 EST 및 기존 트랜치 게이트 IGBT의 (a) 순방향 전압 강하, (b) 전류 포화 특성

Fig. 6. (a) The forward voltage drop, (b) the current saturation characteristics of the proposed device, the conventional EST and the conventional trench gate IGBT

4. 결 론

제안된 이중 게이트 트랜지스터 (Dual Gate Transistor)는 트랜치 게이트 IGBT (Insulated Gate Bipolar Transistor)에 추가적으로 플로팅 PN 접합 (플로팅 P- 베이스 및 플로팅 N+ 이미터)이 설계된 구조이며, 트랜치 게이트 IGBT, EST 와 함께 수치해석 시뮬레이터로 검증되었다. 제안된 소자는 사이리스터를 설계하여 트랜치 게이트 IGBT 및 EST

(Emitter Switched Thyristor)보다 순방향 전압 강하 특성을 개선시켰으며, N+ 캐소드와 플로팅 N+ 이미터를 트랜치 게이트로 분리시켜 높은 전류 포화 특성을 얻었다. 제안된 소자는 트랜치 게이트 IGBT 동작과 빠른 사이리스터 래치-업으로 EST의 단점인 스넵백 현상을 제거하였다. 제안된 소자는 널리 이용되는 트랜치 게이트 IGBT 공정과 호환이 되며 삼중 확산 공정이나 SIMOX와 같은 복잡한 공정이 요구되지 않는다. 제안된 소자의 중요한 설계 변수는 JFET 저항에 영향을 미치는 L<sub>JFET</sub>과 플로팅 N+ 이미터 길이 (L<sub>N+emitter</sub>)이며, 이들은 제안된 소자의 병목 현상, 사이리스터 전류와 채널 밀도 등에 영향을 미친다. 제안된 소자의 L<sub>JFET</sub>과 L<sub>N+emitter</sub>는 각각 3 μm, 5 μm로 최적 설계되었다. 제안된 소자의 100 A/cm<sup>2</sup>에서 순방향 전압 강하는 1.43 V로 트랜치 게이트 IGBT 및 EST의 1.52 V, 1.47 V보다 개선되었으며 전류 포화 특성이 유지되는 애노드 전압은 563 V로 EST의 13 V보다 개선되었다. 제안된 소자의 전류 포화 밀도가 트랜치 게이트 IGBT의 65 %로 short-circuit ruggedness가 개선되었다. 제안된 소자는 종래의 반도체 스위칭 소자에 비해 낮은 순방향 전압 강하 및 높은 전류 포화 특성으로 인하여 고전압 응용 분야의 스위칭 소자에 응용될 수 있다.

감사의 글

본 연구는 과학기술부 지원하에 특정 연구 개발 사업으로 이루어진 연구로서, 관계 부처에 감사드립니다.

참 고 문 헌

- [1] B. J. Baliga, M. S. Adler, p. V. Gray, R. Love, and N. Zommer, "The insulated gate transistor", IEEE Int. Electron Devices Meeting Dig., pp. 264-267, 1982.
- [2] J. P. Russel, A. M. Goodman, L. A. Goodman, and J. M. Nielson, "The COMFET", IEEE Electron Device Lett., vol. EDL-4, pp. 63-65, 1983.
- [3] V. A. K. Temple, "MOS-controlled thyristors-A new class of power devices", IEEE Trans. Electron Devices, vol. ED-33, no. 10, pp. 1609-1618, Oct. 1986.
- [4] F. Bauer and P. Roggwiler, "Design aspects of MOS controlled thyristor elements", IEEE Int. Electron Devices Meeting Dig., pp. 297-300, 1987.
- [5] B. J. Baliga, "The MOS-gated emitter switched thyristor", IEEE Electron Device Lett., vol. 11, no. 2, pp. 75-77, Feb., 1990.
- [6] M. S. Shekar, B. J. Baliga, M. Nandakumar, S. Tandon, and A. Reisman, "Characteristics of the emitter switched thyristor", IEEE Trans. Electron Devices, vol. 38, no. 7, pp. 1619-1623, July, 1991.
- [7] A. Bhalla and T. P. Chow, "550 V, N-channel emitter switched thyristors with an atomic lattice layout geometry", IEEE Electron Device Lett., vol. 15, no. 11, pp. 452-454, Nov. 1994.

- [8] S. Sridhar and B. J. Baliga, "The dual gate emitter switched thyristor (DG-EST)", *IEEE Electron Device Lett.*, vol. 17, no. 1, Jan., pp. 25-27, 1996.
- [9] M. S. Shekar, J. Korec and B. J. Baliga, "Trench gate emitter switched thyristors", *Proc. of 1994 Internal Symposium on Power Semiconductor Devices & IC's*, pp. 189-194, 1994.
- [10] M. S. Shekar, J. Korec and B. J. Baliga, "A new trench gate accumulation mode field effect emitter switched thyristor", *Proc. of 1995 Internal Symposium on Power Semiconductor Devices & IC's*, pp. 185-189, 1995.
- [11] S. Sridhar and B. J. Baliga, "The SIMEST: a new EST structure without parasitic thyristor achieved using SIMOX technology", *Proc. of 1996 Internal Symposium on Power Semiconductor Devices & IC's*, pp. 283-286, 1996.
- [12] ISE-TCAD, User's manual 8.0.
- [13] J. Jo, J. Park, H. J. Kim, S. H. Lee, Z. Y. Shen, and Y. Nishihara, "Lifetime control by low energy electron irradiation and hydrogen annealing", *Device Research Conference 2000 Digest*, pp. 61-62, 2000.
- [14] A. Bhalla and T. P. Chow, "Dual lateral channel emitter switched thyristor characteristics: dependence on floating emitter length", *IEEE Electron Device Lett.*, vol. 16, no. 1, Jan., 1995.
- [15] Rahul S. Chokhawala, Jamie Catt, Laszlo Kiraly, "A Discussion on IGBT short-circuit behavior and fault protection schemes", *IEEE Trans. INDUSTRY APPLICATIONS*, vol. 31, no. 2, March/April, 1995.
- [16] Chong Man Yun, Hyun Chul Kim, Kyu Hyun Lee, Joo Il Kim and Tae-Hoon Kim, "Comparison of stripe and cellular geometry for short circuit rated trench IGBT", *Proc. of 2000 International Symposium on Power Semiconductor Devices & IC's*, pp. 275-278, 2000.

저 자 소 개



하민우 (河珉宇)

2001년, 한국과학기술원 전기 및 전자공학부 학사  
2001년-현재, 서울대학교 전기공학부 석박사 통합과정



전병철 (田秉澈)

1999년, 서울대학교 전기공학부 학사  
2001년, 서울대학교 전기공학부 공학석사  
2001년-현재, 서울대학교 전기공학부 박사과정



최연익 (崔然益)

1981년, 한국과학기술원 전기 및 전자공학부 공학박사  
1982년-1984년, Research associate, Univ. of California, Berkeley, U.S.A  
1984년-현재, 아주대학교 전자공학부 교수



한민구 (韓民九)

1979년, Johns Hopkins Univ. 전기공학부 공학박사  
1979-1984, professor, State Univ. of New York at Buffalo, U.S.A  
1984년-현재, 서울대학교 전기공학부 교수  
2002년-현재, 서울대학교 공과대학 학장