

특집 : 전력전자를 위한 제어용 프로세서의 기술동향(2)

# SuperH 프로세서 계열의 구조와 특성

김 태 응

(경상대 제어계측공학과 교수)

## 1. 서론

PC용 마이크로프로세서는 Intel사의 아키텍처로 거의 표준화되어 있지만, 임베디드 마이크로프로세서에 눈을 돌린다면 마치 춘추전국시대의 양상을 띠고 있다. 국외에서 임베디드 마이크로프로세서로써 주목을 받는 것들 중에 하나인 Renesas Technology사(2003년, 히타치와 미쯔비시의 합작회사)의 SuperH(SH) 계열을 소개하고자 한다. 현재 국내에서는 SuperH RISC CPU를 사용하는 교육기관, 연구소, 그리고 업체는 소수에 그치고 있지만, 한국을 제외한 국외에서는 TI사의 TMS시리즈와 같이 전력전자분야뿐만 아니라 로봇, 모바일, 홈네트워크, AV기기, CIS(Car Information System) 등의 분야에도 폭 넓게 응용되고 있다.[1-4] 저자는 본 특집을 통해 SuperH 시리즈에 대한 구조와 특징을 소개함으로써 국내에서도 이를 이용한 연구활동이나 제품개발에 커다란 도움이 되었으면 한다.

SuperH 마이크로프로세서는 그림 1의 로드맵(road map)

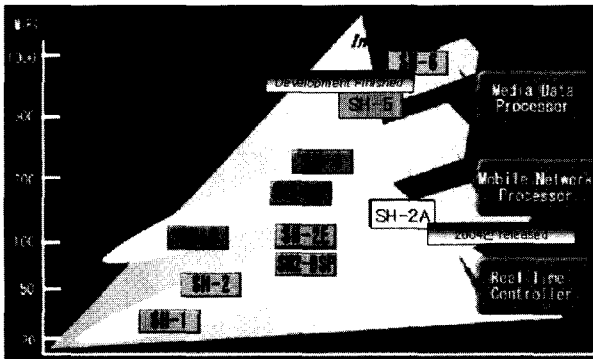


그림 1 SuperH 마이크로프로세서의 로드맵

을 통해 알 수 있듯이 초창기의 SH-1(SH7032)로부터 시작하여 SH-4(SH7750)의 제4세대 제품, 그리고 SH-5(SH8000시리즈 및 SH50시리즈)의 제5세대 제품까지 제품화되었으며, 제6세대는 기획 및 개발단계에 있다.<sup>[1]</sup> 2004년도에는 종래모델 SH-2에 대하여 기능과 성능을 한층 업그레이드한 SH-2A를 발표하였고, 종래모델에 비하여 약 3.5배의 처리성을 실현할 있으며 현재 많은 귀추를 받고 있다.<sup>[1]</sup>

또한 그림 2에 보여주듯이 SuperH RISC 계열에 대한 종류가 70종 이상이고, 매우 다양하게 제품화 되어 있음을 알 수 있다. 따라서 유저의 입장으로 보면 선택의 폭이 매우 넓어지게 되었고, 요구사양에 따라 필요최소한 기능을 가진 제품

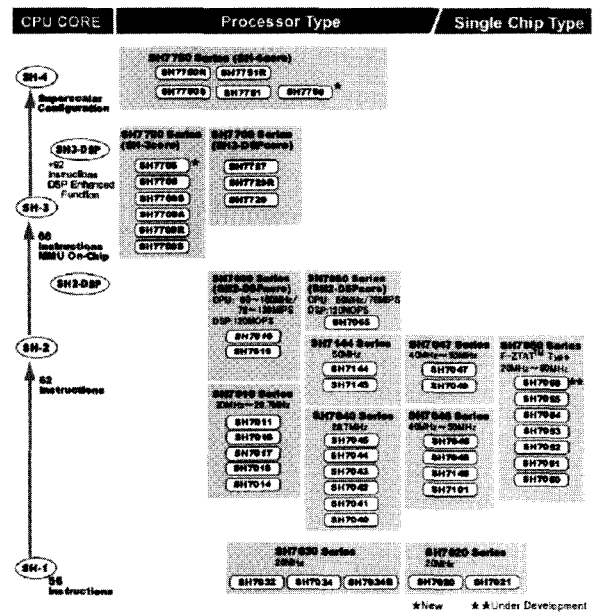


그림 2 SuperH RISC 계열의 전개

을 선택할 수 있게 되었다.

## 2. SuperH 시리즈의 변천과 특징

디바이스를 저가격에 고성능을 가지도록 하기 위해서는 어느 시대에서도 새로운 개념을 도입해야 할 필요가 있으며, 새로운 32비트의 마이크로프로세서를 만드는 가운데 RISC를 도입하였다. 기본개념은 다음과 같다.

- 1) 필요한 기능은 기본명령의 조합에 의해 실현하였고 전체적으로 단순화 하였다. 프로그램은 컴파일러언어로 처리하도록 하였고, 어셈블러는 보조적 수단으로써 사용하였다.
- 2) CPU의 처리능력은 단위시간 내에 처리하는 명령 수에 의해 계산되므로 클럭주파수의 향상에 주안을 두었다.
- 3) 파이프라인을 통한 병렬처리를 가장 간단하면서 저가격으로 이용할 수 있는 방식으로써 고정길이(fixed-length) 명령에 의한 레지스터 중심의 연산회로를 도입하였다.
- 4) 연산부를 고속화함에 따라 명령 및 데이터의 버스폭 부족한 캐시를 탑재함으로써 완화하였고, 명령코드와 제어회로의 단순화에 의해 만들어진 공간을 사용함으로써 가격상승을 최소한으로 억제하여 실장하였다.

### 2.1 제1세대(SH-1)

SuperH 시리즈의 최초 CPU Core SH-1은 32비트이면서 16비트 고정길이(fixed-length)코드에 의한 코드효율성을 특징으로 하여 등장하였다. 그러나 클럭주파수는 CISC계와 비

교하여 상당히 높은 것이 아니지만, 파이프라인의 동작에 의해 1명령/1클럭의 through-put(단위시간 내에 처리할 수 있는 능력)치리가 가능한 것이 장점이다. 제1세대에 있어서는 클럭주파수가 높지 않고 캐시보다는 사용방법이 단순한 내장형 RAM이 실장되어 있다.

### 2.2 제2세대(SH-2)

SuperH 계열 중에서 종류가 가장 많은 것이 제2세대인 SH-2 CPU Core를 탑재한 시리즈이다. 유저의 다양한 요구에 대응하기 위해 메모리용량이나 주변기능의 수를 달리함으로써 많은 변화를 주었고, 40종류 이상의 제품이 있다(그림 2와 표 1를 참조).

제2세대의 SH-2는 SH-1의 곱셈/덧셈의 어큐뮬레이터(multiply and accumulate)가 42비트에서 64비트로 확장되었고, 배정도의 곱셈명령이 추가되었다. 또한 연산을 고속화하기 위해 전용 곱셈기가 탑재되어 연산속도가 향상되었다. 그러나 연산능력의 향상된 요인은 20MHz에서 28.7MHz/40MHz으로 클럭주파수의 향상에 의해 실현되었다. 이와 같이 클럭주파수의 상승에 의해 SH-2에서부터는 내장형RAM 외에 소량의 캐시가 탑재되었고, 캐시에 의해 특히 루프를 구성하는 프로그램에서의 처리속도가 한층 개선되었다.

### 2.3 제2세대 파생품(SH2-DSP)

연산기에 투입된 데이터의 버스 폭이 충분치 않으면, SH 특유의 곱셈/덧셈 연산명령에 대한 이용가치가 줄어든다. 여기서 전용의 3개 버스를 구성하여 곱셈/덧셈 연산기의 가동률을 높일 수 있도록 고안한 것이 SH2-DSP이다. DSP 기능은 16비트 고정소수점 곱셈/덧셈 연산기능을 수행한다. 고효율로써 동작시키기 위해 모듈드레싱이나 명령의 반복기능을 갖추고 있다.

### 2.4 제3세대(SH-3)

제2세대까지는 MMU(Memory Management Unit)가 탑재되어있지 않기 때문에 OS의 탑재 혹은 대용량 메모리를 유효하게 사용할 수 있는 애플리케이션에서는 약한 면을 가지고 있다. 그래서 SH-3부터는 MMU를 탑재하고 TLB로드명령을 추가함으로써 OS를 탑재하기 쉽도록 하였다. 이 때문에 Windows CE 나 PDA용의 프로세서로써 폭 넓게 이용되고 있다.

또한 SH-3부터는 시프트명령이 2/8/16-way 등의 고정길이(fixed-length) 시프트로써가 아니라 레지스터를 경유하여 자유로운 시프트가 지정할 수 있는 명령이 추가되었고, 따라서 C언어에 의해 생성되는 코드가 보다 빠르며, 또한 콤팩트하게 된다.

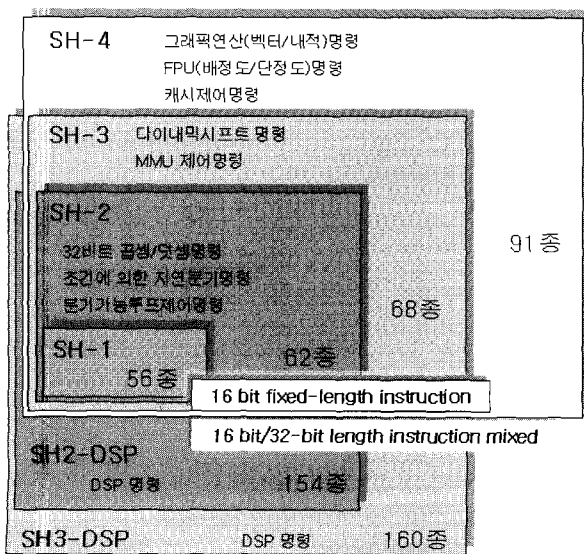


그림 3 SuperH 계열 명령세트의 상위호환성관계

제3세대의 SH-3에 있어서 클럭주파수의 상한이 133MHz 까지 되며 성능이 크게 개선되었다.

2.5 제3세대 파생품(SH3-DSP)

SH-3에 3개 버스로 구성된 DSP를 탑재한 것이며 DSP 기능은 SH2-DSP와 동일하다.

2.6 제4세대(SH-4)

SH-4는 SEGA의 드림캐스트(가정용 게임기)를 개발하기 위한 전용프로세서로써 개발한 것이다. 사탄에서 2개 프로세서를 사용한 CPU를 1개로 통합하여 코스트다운을 꾀하려고 하였으며 3D의 지오메트릭 연산을 고속화하기위해 행렬연산을 가속시킬 수 있는 기구가 탑재되어있다.

SH-4는 2개의 명령을 동시에 실행할 수 있는 32비트 RISC CPU Core이며, 중요한 확장포인트는 부동소수점(floating point) 연산기의 도입과 부동소수점 연산관련 명령 세트의 대량추가이다. 또한 성능향상의 주된 요인은 클럭주파수의 향상에 의해 얻어지게 되었으며, 임베디드 프로세서로써 높은 부류에 들어갈 수 있을 정도로 200MHz의 동작이 가능하다.

SH-4에서는 고정소수점 연산과 부동소수점 연산이 병렬로 실행할 수 있도록 되어있다. 그래픽용 명령에 있어서 SIMD(Single Instruction Multiple Data)형 처리를 도입함

으로써 through-put을 향상시킬 수 있다. SH-4 Core를 사용함으로써 멀티미디어 솔루션을 프로그래밍의 형태로써 실현할 수 있다.

2.7 제 5세대(SH-5)

SH-5는 SuperH계열 중에 처음으로 64비트아키텍처를 도입한 제품이다. 64비트아키텍처는 2/4/8-way (32bit×2, 16bit×4, 8bit×8)의 고성능 SIMD 명령, 32비트 어드레스를 실현하기 위해 사용되고, 코스트효율이 높은 임베디드시스템을 위해 솔루션을 제공할 수 있다. 추후에 있어서 보다 넓은 어드레스공간이 필요로 하는 시스템을 위해 64비트 어드레스를 갖춘 제품을 개발할 예정이다.

SH-5의 명령세트는 종래의 모든 SuperH 아키텍처와 호환성이 있는 16비트의 SHcompact와 새로운 32비트의 SHmedia의 양쪽 모두를 가진다. SHmedia에는 SIMD명령어가 포함되어 있고, DSP 타입의 알고리즘의 처리에 위력을 발휘한다.

3. SuperH 명령세트

SuperH 계열은 32비트 및 64비트 CPU Core이고, 주변 디바이스와 SuperHyway Bus를 탑재한다. 각각의 CPU Core는 이하에 기술하는 SuperH 명령세트를 가지며, 그림 3에서 보여주듯이 SuperH 계열 간에 명령세트의 상위호환관계를 유지하고 있다.

SuperH 아키텍처는 필요최소한 명령세트 아키텍처(ISA, Instruction Set Architecture)를 가진다. 명령세트가 커널, 오퍼레이팅시스템, 미들웨어, 애플리케이션 프로그램과 같은 소프트웨어의 개발에 대해서 일관성이 있는 플랫폼을 제공하여 SuperH Core의 라이선스에 대한 소프트웨어를 최대한 재이용함으로써 시장투입까지의 시간단축을 꾀할 수 있는 장점을 갖고 있다. SuperH의 명령세트에는 Hcompact와 SHmedia의 2가지가 있다.

- SHcompact : 16비트고정길이의 명령세트. 범용명령 및 부동소수점명령이 있고, 모든 SuperH CPU Core에 대해서 동작한다.

- SHmedia : 32비트의 명령과 64비트의 데이터패스를 가진 SH-5 CPU는 음성 및 영상처리 알고리즘에 적합한 SIMD 명령군을 명령세트에 포함시켰다. 분기의 모드전환을 통해 SHcompact와 SHmedia의 명령세트를 둘 다 사용할 수 있으며, 최적화가 가능하다.

4. 응용사례

4.1 AC 서보제어 시스템

표 1 SuperH 프로세서의 시리즈구성

CPU Core	MIPS	multiplier, multiply and accumulate	A-D	D-A	kinds
SH-1	26	16×16=32 16×16+42=42	10bit×8ch	-	10
SH-2	26, 37, 43, 52	32×32=64 32×32+64=64	10bit×(7,8, 16,32)ch	-	42
SH-2E	52, 104	32×32=64 32×32+64=64	10bit×32ch	-	2
SH2-DSP	78	32×32=64 32×32+64=64	10bit×8ch	-	4
SH-2A					
SH-3	59, 78, 104, 130, 173	32×32=64 32×32+64=64	10bit×8ch	-	5
SH3-DSP	173	32×32=64 32×32+64=64	10bit×(4,8) ch	2ch	5
SH4	360, 230	32×32=64 32×32+64=64	10bit×2ch	-	6
SH-5	1.5D				

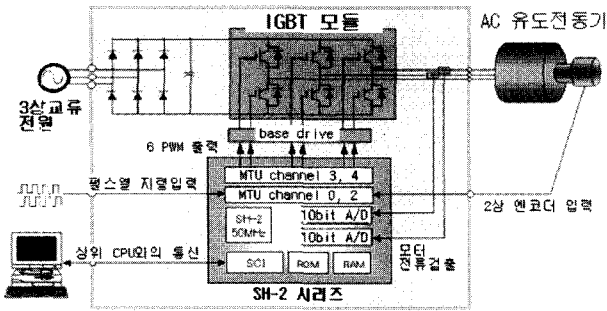


그림 4 SH7144를 적용한 AC 서보제어시스템

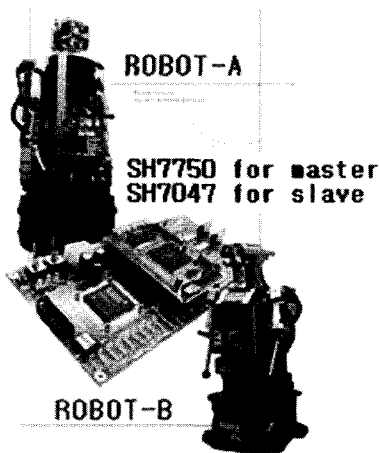


그림 5 SH7750/SH7047로 구성된 로봇시스템

표 2 SH-2(SH7144)의 사양

series No.	SH7144
CPU	SH-2(32bit RISC)
ROM	256k
RAM	8k
voltage / frequency	3.3V/50MHz
MIPS	65
multiplier, multiply and accumulate	32×32=64 32×32+64=64
MTU	16bit×5ch
DMAC	4ch
pipeline	5 stage
serial	4ch
A/D	10bit×8ch
PWM	15ch
DTC	yes

SuperH는 모터를 제어하는 데에 있어서 다양한 기능을 내장하고 있다. 그림 4는 SH-2(SH7144)를 이용하여 AC 서보 제어시스템에 적용하였을 때의 전체시스템의 구성을 보여주고, 사용된 SuperH CPU Core에 대한 사양은 표 2와 같다. SH7144는 에어컨, 세탁기, 냉장고 등의 인버터 가전제품, 인버터, AC서보, FA, UPS, FA 시컨스 등의 산업분야에 폭 넓게 이용되고 있다.

#### 4.2 로봇제어시스템

SuperH는 필요로 하는 용도에 따라 다양한 프로세서를 제공하고 있으며, 그림 5와 같은 다축로봇시스템을 구성하는 데에 있어서 SH7750과 SH7047을 사용하여 전체 제어시스템을 구성할 수 있다.

### 5. 마무리

SuperH 시리즈는 기존의 RISC 프로세서보다 기종이 매우 풍부하며 사용자가 필요로 하는 프로세서를 선택할 수 있는 폭이 넓다. 또한 르네사스 테크놀로지의 공식홈페이지<sup>[1]</sup>를 통해 사용자가 필요로 하는 응용프로그램을 제공하고 있기 때문에 처음으로 접하는 유저도 쉽게 접근하리라고 생각한다. 국내에서도 익숙한 프로세서에만 매달리지 않고 필요로 하는 분야에 필요최소의 기능을 제공하고 있는 SuperH에도 관심을 가지고 연구개발에 응용하였으며 한다.

그리고 SuperH 시리즈의 확충에 따라 2004년 4월 임베디드용 RISC 마이크로 프로세서 SuperH 계열의 새로운 CPU Core SH-2가 4월에 발표되었고, 제3사분기에 탑재된 재품을 투입할 예정이라고 한다. 본 모델은 종래모델 SH-2에 비해 기능과 성능이 한층 업그레이드된 제품이며, 약3.5배의 처리성능을 실현할 수 있다.

SH-2/2A는 자동차, 민생기기, 산업기기에 응용할 수 있는 RISC형 CPU Core이고, 엔진제어시스템이나 차체제어 시스템, 프린터나 DVD레코더, AC서보나 산업용인버터 등의 제어에 최적이라고 생각한다.

근년 이와 같은 분야에서의 시스템의 고도화, 복잡화가 진행되고 있으며 보다 빠른 CPU Core의 필요성이 높아져가고 있기 때문에, SH-2의 상위호환으로써 SH-2A를 개발하였다. SH-2A에서는 대피용으로써 전용레지스터를 내장하고 있으며, 하드웨어에 의해 고속으로 대피가능하다. 이렇게 하여 인터럽트 발생으로부터 애플리케이션의 실행시간까지 SH-2에서는 최소 37사이클이 필요하였지만, SH-2A에서는 약6사이클 정도로 단축되었다.

명령세트는 SH-2와 상위호환이 가능하고, 종래의 16비트 명령에 덧붙여져 32비트 명령도 추가되었다. 32비트 명령에 의해 어드레스정수 등도 명령코드에 격납할 수 있기 때문에

프로그램의 코드사이즈를 보다 작게 할 수 있는 효과도 있다. 개발 도구로서는 SH-2A용 C/C++ 컴파일러의 개발이나 에뮬레이터 E10A-USB, E200F에 대응 할 예정이라고 한다. ■

### 참고 문헌

- [1] "Renesas사의 공식HP" <http://www.renesas.com>
- [2] "SuperH사의 공식HP", <http://www.superh.com>
- [3] "SuperH 프로세서", CQ出版社, vol.1, 2003.
- [4] 백종철, "TMS320C24XX (CPU, 메모리, 인터럽트, MAC의 이해", 싱크웍스, 2004.

### < 저 자 소 개 >



#### 김태웅(金泰雄)

1964년 12월 29일생. 1990년 2월 충북대 전기 공학과 졸업(학사). 1993년 2월 동 대학원 전기 공학과 졸업(석사). 1996년 3월 일본 요코하마 국립대학 졸업(박사). 1996년 3월~2001년 9월 일본 야스가와電機(주) 서보개발담당, 2001년 9월~2002년 9월 울보대학, 2002년 10월~현재 경상대 제어계측공학과 조교수. IEEE, IEEJ, KIPE, RICIC 정회원.