

박막트랜지스터 응용을 위한 고온 결정화된 다결정실리콘의 특성평가

論 文

53C-5-1

The Characteristics of High Temperature Crystallized Poly-Si for Thin Film Transistor Application

金 度 榮* · 沈 洛 爽** · 徐 昌 基** · 李 準 信***

(Do-young Kim · Myung-Suk Shim · Chang-Ki Seo · Junsin Yi)

Abstract - Amorphous silicon (a-Si) films are used in a broad range of solar cell, flat panel display, and sensor. Because of the greater ease of deposition and lower processing temperature, thin films are widely used for thin film transistors (TFTs). However, they have lower stability under the exposure of visible light and because of their low field effect mobility (μ_{FE}), less than $1 \text{ cm}^2/\text{Vs}$, they require a driving IC in the external circuits. On the other hand, polycrystalline silicon (poly-Si) thin films have superiority in μ_{FE} and optical stability in comparison to a-Si film. Many researches have been done to obtain high performance poly-Si because conventional methods such as excimer laser annealing, solid phase crystallization and metal induced crystallization have several difficulties to crystallize. In this paper, a new crystallization process using a molybdenum substrate has been proposed. As we use a flexible substrate, high temperature treatment and roll-to-roll process are possible. We have used a high temperature process above $750 \text{ }^\circ\text{C}$ to obtain poly-Si films on molybdenum substrates by a rapid thermal annealing (RTA) of the amorphous silicon (a-Si) layers. The properties of high temperature crystallized poly-Si studied, and poly-Si has been used for the fabrication of TFT. By this method, we are able to achieve high crystal volume fraction as well as high field effect mobility.

Key Words : 박막트랜지스터, polycrystalline silicon, 고온 결정화, 몰리브덴 기판, 금속 열처리

1. 서 론

비정질 실리콘(amorphous silicon)은 외곽 전자가 모두 이웃 실리콘과 공유 결합을 하고 있는 단결정 실리콘과는 달리, 이웃 원자와 결합을 하지 못하고 남은 미결합 상태로 존재하는 실리콘 원자가 상당수 존재함에 따라 결합이 대다수 존재한다. 이러한 비정질 실리콘은 에너지 밴드 갭 내의 높은 극대 상태 밀도로 인하여 반도체로서의 큰 관심의 대상이 되지 못하였지만, 미결합 상태에 수소를 결합시킨 수소화 된 비정질 실리콘으로 개발되면서, 금지대 상태 밀도를 크게 줄일 수 있었다. 이로 인하여 비정질 실리콘에 도핑이 가능하게 되었고 p-n 접합이나 전계 효과 트랜지스터(field effect transistor, FET)로 응용될 수 있었다. 그러나 비정질 실리콘 박막 트랜지스터의 경우 이동도가 $1 \text{ cm}^2/\text{Vs}$ 미만이며, 구동회로를 내장하기 위해서는 현실적으로 이동도가 $20 \text{ cm}^2/\text{Vs}$ 이상이 요구되는데, 대부분은 $0.6 \text{ cm}^2/\text{Vs}$ 정도이므로 스위칭 소자에만 적용되고 화소를 구동하는 구동회로는 실리콘 IC 칩을 탭 본딩(tape automated bonding, TAB)으로 연결하여 사용하여야 하기 때문에 공정상 어려운 점이 있다. 이에 따라 구동 IC와 연결하는 배선의 폭에 한계가 있으므로 대면적

고밀도 설계가 어려워지고, 개구율(aperture ratio) 또한 낮아지는 단점이 있다. 이러한 문제점을 해결할 수 있는 방안으로 최근에 다결정 실리콘(polycrystalline silicon, poly-Si)[1] 박막을 활용한 트랜지스터가 다양하게 연구, 개발되고 있다. 다결정 실리콘 박막은 이동도가 $200 \text{ cm}^2/\text{Vs}$ 이상까지도 가능하므로, 구동회로를 기판 내에 내장하여 전체 TFT-LCD 원가를 낮출 수 있고, 고밀도 집적화가 가능하며, 높은 개구율과 함께 고해상도 디스플레이를 구현할 수 있다. 다결정 실리콘 박막을 얻는 방법은 크게 두 가지로 나눌 수 있는데, 직접 증착을 하는 방법(as-deposited)과 비정질 실리콘 증착 후 결정화 공정을 통해 다결정을 얻는 방법이다. 본 연구는 문에서는 기존 결정화 방법들이 가진 문제점을 해결할 수 있고, 산업에 충분히 응용이 가능한 새로운 공정을 제안한다. 그것은 고온에 견딜 수 있는 몰리브덴(Molybdenum, Mo) 기판을 이용하는 것이다. 이는 저가의 휘어짐이 가능한 금속 기판을 사용하여 roll-to-roll process[2]의 응용을 할 수 있으며 고온 열처리가 가능하며, 생산성이 높은 RTA(rapid thermal annealing)를 통해 결정화[3]를 통하여 양질의 다결정 실리콘을 얻을 수 있다는 장점이 있다.

2. 실험 방법

본 실험에서 기판으로 사용될 몰리브덴은 텅스텐과 더불어 녹는점이 $2610 \text{ }^\circ\text{C}$ 정도로 높아 고온처리에 문제가 없으며, 극저온에서 고온에 이르기까지 기계적으로 강한 특성을 가지고 있다. 사용될 몰리브덴 기판의 두께는 $150 \text{ }\mu\text{m}$ 의 압연된 Mo

* 正 會 員 : 成均館大學校 情報通信工學部 工博

** 學生會員 : 成均館大學校 情報通信工學部 碩士課程

*** 正 會 員 : 成均館大學校 情報通信工學部 副教授 · 工博

接受日字 : 2003年 6月 30日

最終完了 : 2004年 3月 4日

기판이 사용되었다. 활성영역으로 이용될 실리콘 박막성장을 위하여 열선 화학 기상 증착법(hot-wire chemical vapor deposition, HWCVD)을 이용하였다. 이때, HWCVD의 필라멘트의 온도는 광학 온도계를 사용하여 1450 °C에서 가열되었다. 성장을 위한 시스템 내부 압력은 10⁻⁷ Torr 이하 고진공 상태에 이르게 하였다. 본 연구에서 사용된 실리콘 박막의 성장조건은 표 1에 나타내었다.

표 1. 박막트랜지스터 제작을 위한 n⁺ a-Si:H, a-Si:H, SiNx 박막의 성장조건.

Table 1. Deposition condition of n⁺ a-Si:H, a-Si:H, and SiNx film for thin film transistor fabrication.

	n ⁺ a-Si:H	a-Si:H	SiNx
SiH ₄ (sccm)	5	25	30
NH ₃ (sccm)	-	-	60
H ₂ (sccm)	2	32	44
He (sccm)	100	-	-
PH ₃ (sccm)	50	-	-
RF power (W)	400	-	200
Pressure (mTorr)	140	57	160
상장방법	PECVD	HWCVD	PECVD
Thickness (nm)	20	600	150

결정화 열처리는 RTA(rapid thermal annealing) 장치를 이용하여 결정화 온도까지 상승속도를 증가시켜 온도에 따른 효과를 최소화하였다. 열처리 온도를 변화시켜 약 3분 동안 750 °C부터 1050 °C까지 100 °C씩 증가시키면서 각각 처리하였으며, 시간에 따른 결정화를 비교하기 위하여 동시에 850 °C에서 열처리 시간을 5분, 10분, 20분, 30분으로 증가시켜 특성변화를 관측하였다. 열처리에 따른 박막의 구조적 특성과 결정화 정도를 평가하기 위하여 Raman spectroscopy(John Yvon/T64000)를 이용하였으며, 박막의 결정화 방향을 조사하기 위하여 2θ가 20~80° 범위에서 12 kW beam intensity를 가진 Mac Science M18XHF-SRA의 XRD를 이용하였다. 결정화된 Si 박막을 TFT에 적용하기 위하여 결정화된 실리콘 위에 게이트 절연막으로서, SiNx를 플라즈마 화학 기상 증착법(Plasma Enhanced Chemical Vapor Deposition)으로 1500~2000 Å 정도 증착하였다. 절연막 위에 알루미늄(Al)을 열 기상 증착기를 이용하여 1500 Å 정도 증착한 후 patterning을 통하여 게이트 전극을 형성하였다. 다음으로 epoxy paste를 이용하여 게이트를 passivation 한 다음 위에 유리나 플라스틱을 붙인다. 그리고 밑면에 기판으로 활용된 몰리브덴을 에칭 하게 된다. 이 상태에서 상부와 하부의 구조를 뒤집은 다음 결정화된 실리콘층 위에 PECVD로써 n⁺ Si 박막을 200 Å 정도 증착한 후 소스와 드레인을 위한 전극으로 몰리브덴 patterning을 하게 되면 inverted staggered 구조의 TFT가 완성이 된다. 알루미늄 patterning을 위한 에칭은 H₃PO₄ : CH₃COOH : HNO₃ : H₂O를 4 : 4 : 1 : 1의 혼합 용액[4]을 이용하였다.

3. 결과 및 고찰

3.1 결정화된 실리콘의 특성

그림 1은 RTA의 열처리 온도 변화에 따른 Raman 분광곡선이다. 온도 상승에 따라 결정화된 silicon(c-Si)의 peak인 520 cm⁻¹에서 peak intensity가 증가하는 것으로 보아 각각의 온도에서 결정화가 증가함을 알 수 있었다. 이 때의 결정화도(crystalline volume fraction : X_c)는 a-Si peak인 480 cm⁻¹과 c-Si peak인 520 cm⁻¹, 중간단계의 미세결정상인 500 cm⁻¹에서의 각각의 intensity, I₄₈₀, I₅₀₀, I₅₂₀을 이용하여,

$$X_c = \frac{I_{520} + I_{500}}{I_{520} + I_{500} + \sigma I_{480}}$$
의 관계식으로 정의된다. 여기서 일반적으로 박막의 두께가 얇다고 가정할 경우 식 1에서 σ (cross section factor)는 1로 취할 수 있다[5]. 이러한 관계식을 그림 2에 적용하였을 때 열처리 온도가 증가함에 따라서, 결정화도가 750 °C에서 71 %로부터 1050 °C에서 92 %까지 계산되어진다. 특히 결정화 온도 1050 °C에서 결정화된 시료(그림 2(d))의 경우 비정질상이 나타나는 480 cm⁻¹ 부근에서의 shoulder가 극미하므로 poly-Si의 결정화가 박막의 전체 두께에서 완료되었음을 알 수 있다.

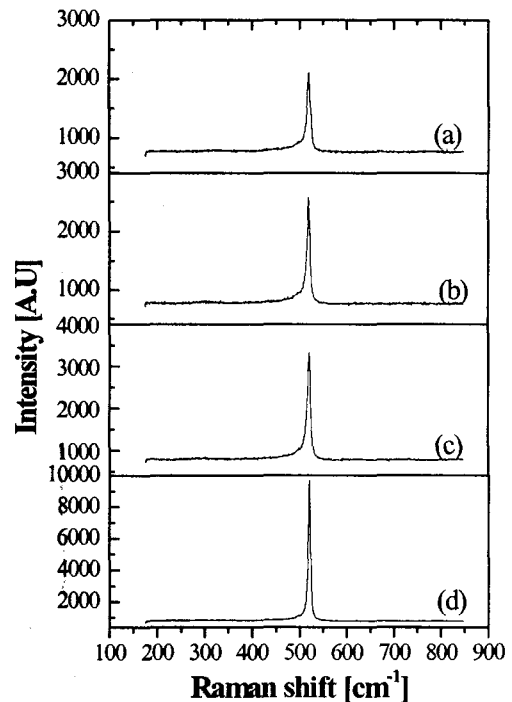


그림 1. 결정화온도에 따라 3분간 결정화한 시료의 Raman 분광곡선 (a) 750 °C, (b) 850 °C, (c) 950 °C, (d) 1050 °C.
Fig. 1. Raman spectroscopy as a function of temperature for 3 minute thermal annealing (a) 750 °C, (b) 850 °C, (c) 950 °C, (d) 1050 °C.

그림 2와 그림 3은 열처리 온도 변화에 따른 XRD 특성과 구조적인 분석결과이다. Bragg 각 28°와 47°는 실리콘의 (111) 방향과 (220) 방향을 나타낸다. 온도가 상승함에 따라

실리콘의 (111) 면과 (220) 면의 intensity가 증가하였으며 그림 3에서 (111)면과 (220)면의 비율 나타내는 $I_{(111)}/I_{(220)}$ 에 대한 그래프에서 낮은 결정화 온도에서는 (220)면에 비하여 (111)면의 결정성장이 지배적임을 나타내고 있다. 입사광에 대한 회절되는 광의 비율인 I/I_0 의 비율값은 결정화온도가 증가함에 따라 증가하고 있으며 이것은 곧 결정화온도가 증가함에 따라서 (111), (220) 면의 전체적인 동일한 박막두께에서 결정화 두께가 증가하는 것을 의미한다. Scherrer의 식[6]으로부터 계산되어진 각 면의 면간거리(d)는 결정화 온도에 따라서 변화가 없었다. 이것은 모든 결정화 방향에서 일정한 박막성장이 이루어졌음을 의미한다. 그림 4에서 XRD의 반치값(FWHM)[7]은 결정화 온도에 따라서 감소한다. 이것은 결정화 온도가 증가함에 따라서 (111), (220) 면의 결정화도가 박막내부의 원자간 응력이 감소하고 결함이 감소하는 것을 의미한다. 이러한 결과로부터 결정화 온도가 증가함에 따라서 박막의 구조적 치밀성이 증가하고 결정화가 증가함을 알 수 있었다.

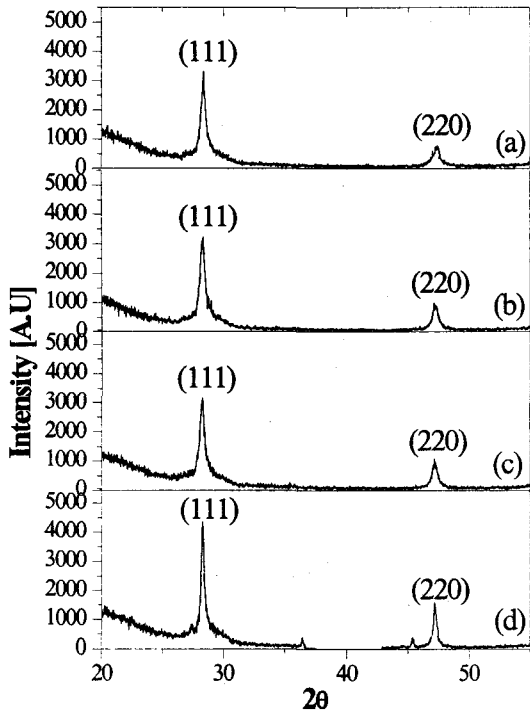


그림 2. 결정화온도에 따라 3 분간 결정화한 XRD 곡선 (a) 750 °C, (b) 850 °C, (c) 950 °C, (d) 1050 °C.

Fig. 2 Variation of XRD characteristic curve as a function of temperature for 3 minute thermal annealing (a) 750 °C, (b) 850 °C, (c) 950 °C, (d) 1050 °C.

그림 4는 결정화된 박막의 표면을 나타내는 SEM 사진이다. 결정화온도가 낮은 경우 결정화 된 표면은 많은 crack이 존재하며 거칠기가 매우 높다. 그러나 결정화 온도가 증가함에 따라서 거칠기는 낮아지며 crack line의 밀도가 낮아지게 된다. 이로부터 우리는 높은 결정화 온도는 crack의 밀도를 감소시키며 표면의 morphology 향상을 야기하는 원인으로 결론지을 수 있었다.

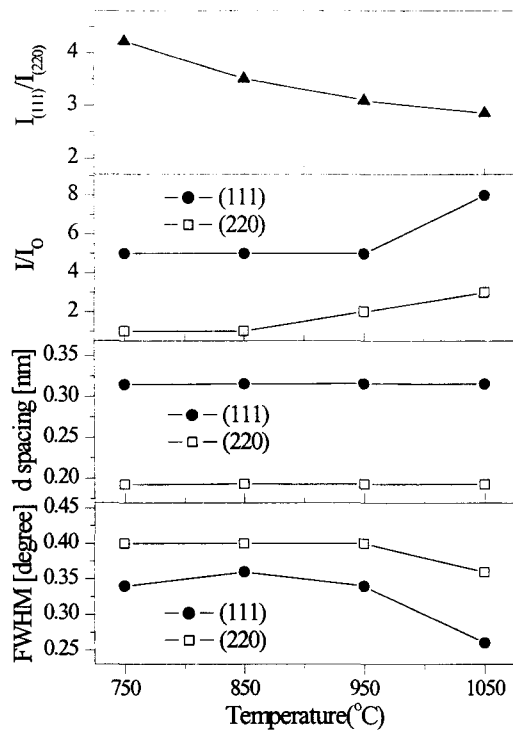


그림 3. 결정화 온도에 따라 3분간 결정화된 poly-Si 박막의 구조적 분석결과.

Fig. 3. Structural analysis results of crystallized poly-Si films as a function of annealing temperature.

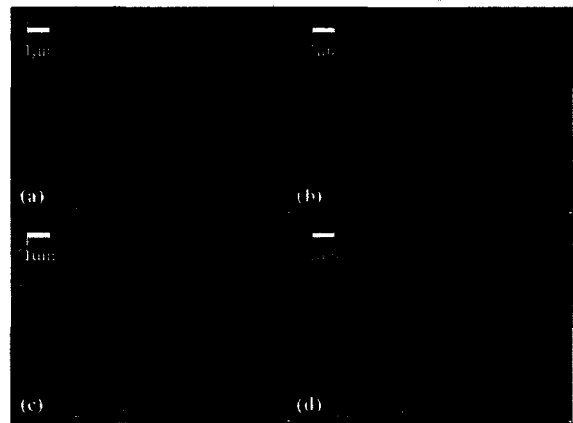


그림 4. 결정화 온도에 따른 박막의 표면사진 (a) 750 °C, (b) 850 °C, (c) 950 °C, (d) 1050 °C.

Fig. 4. Surface image as a function of crystallization temperature (a) 750 °C, (b) 850 °C, (c) 950 °C, (d) 1050 °C.

박막의 전기적 성질을 나타내는 활성화 에너지(E_a)는 전도대 에너지와 페르미(Fermi) 에너지의 차이($E_C - E_F$)로 나타낼 수 있으므로 진성 실리콘의 경우 이상적인 에너지 밴드갭이 1.1 eV이므로 이상적인 활성화 에너지는 0.55 eV의 값을 갖게 된다. 이러한 활성화 에너지는 아래의 Arrhenius equation $\sigma_d = \sigma_0 \exp(-\frac{E_a}{kT})$ 으로 표현된다.[8] 본 연구에서 온도를

실론에서 100 °C까지 가변하면서 암전도도를 조사하였으며, 활성화 에너지는 σ_d 와 $1/T$ 를 Arrhenius plot을 함으로써 얻어질 수 있었다. 결정화 온도에 따른 활성화 에너지 변화는 그림 5에서 나타내었다. 활성화 에너지는 결정화 온도가 상승함에 따라서, 750 °C에서는 0.37 eV에서 850 °C에서는 0.22 eV로 감소하다가 950 °C에서부터 1050 °C까지 각각 0.33, 0.55 eV까지 증가하는 특성을 보였다. 이러한 특성은 그림 3의 결정화온도와 FWHM의 관계로부터 알 수 있다. 850 °C에서 결정화된 시료의 (111)면 방향의 경우 FWHM의 값이 가장 큰 것으로 보아 결정립 내부에 결함이 다른 결정화 온도에서 성장된 시료에 비하여 큰 것을 알 수 있다. 따라서 이러한 결함들이 내부의 활성화 에너지를 낮추고 전도도를 증가시키는 원인으로 사료된다. 또한 불순물이 도핑되지 않은 진성 Si의 경우 이상적인 활성화 에너지 값은 에너지 밴드갭의 1/2인 0.55 eV이다. 활성화 에너지는 1050 °C에서 결정화된 시료의 0.55 eV로 단결정 Si의 경우와 일치하는 특성을 나타낸다. 이러한 결과는 Mo 기판 위에 성장된 poly-Si 박막의 결정화의 증가는 결정화온도의 증가와 함께 결함이 감소하고 활성화 에너지를 증가시킴을 알 수 있었다.

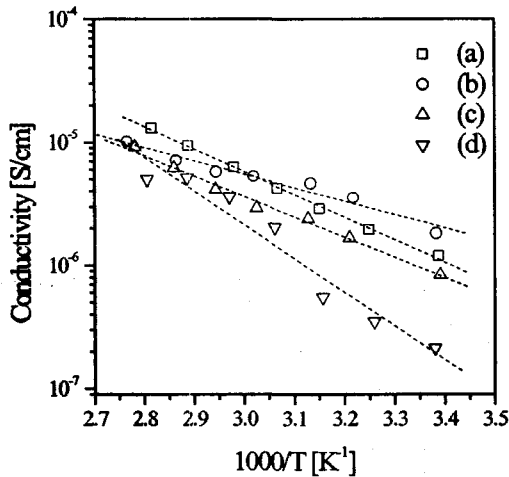


그림 5. 결정화 온도에 따른 실리콘 박막의 암전도도와 활성화 에너지 (a) 750 °C, (b) 850 °C, (c) 950 °C, (d) 1050 °C.

Fig. 5. Dark conductivity and activation energy of silicon thin film as a function of crystalline temperature (1) 750 °C, (2) 850 °C, (3) 950 °C, (4) 1050 °C.

3. 2. TFT 전기적 특성 곡선

그림 6의 (a), (b)는 제작된 소자의 전기적 특성을 나타내었다. 이 그림으로부터 전류 on/off ratio(I_{on}/I_{off})는 약 10^6 , threshold voltage(V_{th})는 약 0V, 전계효과 이동도(μ_{FE})는 $67 \text{ cm}^2/\text{Vs}$ 로 계산되었다.[9] 제작된 소자는 결정화도가 우수해 높은 on current 값을 보여주고 있다. 이것은 on current에 큰 영향을 미치는 ohmic contact이 잘 형성되어 영향을 준 것이라고 해석할 수 있다. 본 연구에서 ohmic contact은 도핑된 $n^+ a\text{-Si:H}$ 층을 증착 후, 열처리를 하여, 도핑 원자가 실리콘 층으로 잘 확산되어 나갈 수 있었다. 또한 고온 열처리를 함으로써, 결정화된 실리콘 박막의 저항(R_{DS})이 $10^6 \Omega$ 정도

로 작고, 소스/드레인 전극과의 접촉성분이 충분히 작아 제작된 소자의 On 전류가 높은 것이라 할 수 있다.

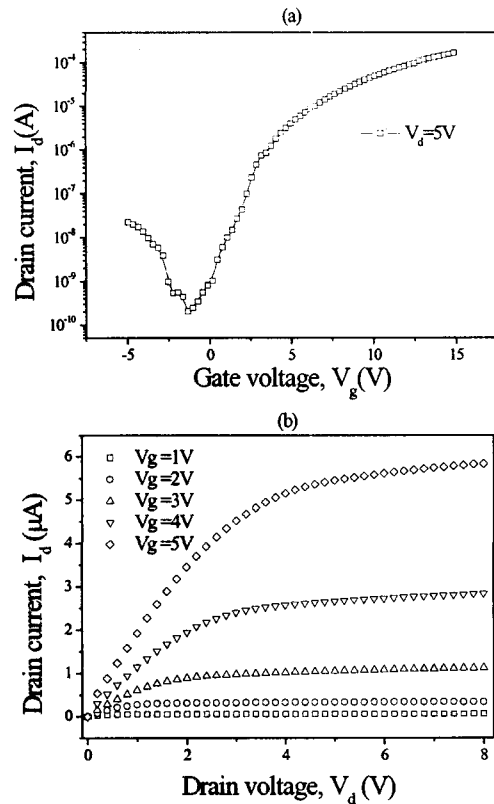


그림 6. 제작된 박막트랜지스터의 전이특성곡선(V_g - I_d)과 출력특성곡선(V_d - I_d) (a) 선폭비(W/L)가 150/50 μm 인 inverted staggered TFT 소자의 V_g - I_d 특성, (b) 선폭비(W/L)가 150/50 μm 인 inverted staggered TFT 소자의 V_d - I_d 특성.

Fig. 6. Transfer characteristic(V_g - I_d) and output characteristic (V_d - I_d) of thin film transistor (a) V_g - I_d characteristic of inverted staggered TFT the ratio of width to line is 150/50 μm , (b) V_d - I_d characteristic of inverted staggered TFT the ratio of width to line is 150/50 μm .

4. 결 론

비정질 실리콘 박막을 고온 열처리함으로써 양질의 다결정 실리콘 박막을 얻을 수 있다는데 착안하여, 고온에도 견딜 수 있는 Mo 금속 기판을 사용하였다. 몰리브덴 기판 자체의 스크래치를 충분히 보호할 수 있도록 증착률이 좋은 HWCVD를 이용하여, 실리콘 박막을 증착하였고, 짧은 시간 내에 결정화를 진행할 수 있는 RTA를 이용하여 결정화하였다. 고온 결정화된 박막의 구조적 특성을 Raman 분광법을 이용하여 분석하였다. Raman 분석을 통해 온도가 증가함에 따라 결정질 실리콘 peak인 520 cm^{-1} 에서 증가함을 알 수 있었고, 결정화도 또한 증가함을 알 수 있었다. 결정화 방향과 박막내부의 응력을 예측하기 위하여 XRD를 통하여 분석하였다. XRD 분석 결과 결정화된 실리콘 박막은 (111) 방향과 (220) 방향으로 주로 성장함은 물론, 감소하는 FWHM 값으로 보

아, 온도가 증가함에 따라서 결정화 정도가 증가하며 동시에 원자간 응력도 감소함을 알 수 있었다. 결정화된 다결정 실리콘 박막을 이용하여 단일 실리콘 박막 트랜지스터로 설계하고 전기적 특성을 분석하였다. 전계 효과 이동도(μ_{FE})는 $67 \text{ cm}^2/\text{Vs}$, 전류 on/off ratio(I_{on}/I_{off})는 약 10^6 , threshold voltage(V_{th})는 약 0V로 계산되었다.

감사의 글

이 연구(논문)는 과학기술부의 21세기 프론티어연구 개발사업인 차세대정보디스플레이기술개발사업과 BK21 (brain korea, 2003)의 지원으로 수행되었습니다.

참 고 문 헌

- [1] R. T. Fulks, J. Ho, J. B. Boyce, G. A. Davis, V. Aebi, "Low temperature amorphous silicon channel material for polysilicon thin film transistors", J. Non-Crystalline Solids, Vol. 266-269, No. 2, pp. 1270-1273, May 2000.
- [2] Ming Wu, and Sigurd Wagner, "Amorphous silicon crystallization and polysilicon thin film transistors on SiO₂ passivated steel foil substrates", Applied Surface Science Vol. 175-176, pp 753-758, 2001.
- [3] S. Girginoudi, D. Girginoudi, N. Georgoulas, and A. Thanailakis, "Deposition and crystallization of a-Si thin films by rapid thermal processing", Mat. Sci. in Semi. Processing 1, pp. 287-292, 1998.
- [4] J. J. Kelly and C. H. de Minijer, J. Electrochem. Soc., Vol. 122, pp. 931, 1975.
- [5] Yuliang He, Chenzhong Yin, Guangxu Cheng, Luchun Wang, Xiangna Liu, "The structure and properties of nanosize crystalline silicon films", J. Appl. Physics, Vol. 75, No. 2, pp. 797-803, September 1993.
- [6] B. D. Cullity and S. R. Stoch, "Elements of X-ray Diffraction", 3rd ed., Prentice Hall, 2001.
- [7] Song Jia, Huichun Ge, Xinhua Geng, Zongpan Wang, "Preparation of thin film polycrystalline silicon on glass by photo-thermal annealing", Solar Energy Materials & Solar Cells, Vol. 62, pp. 201-205, 2000.
- [8] Yu. L. Khait, R. Weil, "Arrhenius parameters and the compensation effect in crystallization and diffusion in amorphous Si:H(F) in the presence or absence of metal contacts", J. Applied Physics, Vol. 78, No. 11, pp. 6504-6513, December 1995.
- [9] Cherie R. Kagan, Paul Andry, "Thin-Film Transistors", Marcel Dekker, pp. 76, 2003.

저 자 소 개

김도영(金度榮)



1971년 4월 30일생. 1997년 성균관대학교 재료공학과 졸업(학사), 1999년 성균관대학교 전기전자컴퓨터공학과 졸업(석사), 2004년 성균관대학교 전기전자컴퓨터 공학과 졸업(공학박)
E-mail : amorp@skku.edu

심명석(沈洺奭)



1977년 3월 6일생. 2003년 경일대학교 전자정보공학과 졸업(학사), 현재 성균관대학교 전자전기공학과 석사과정 재학 중
E-mail : luty@skku.edu

서창기(徐昌基)



1974년 2월 21일생. 2001년 성균관대학교 재료공학과 졸업(학사), 현재 성균관대학교 전기전자컴퓨터공학과 석사과정 재학 중
E-mail : chkseo@joy.skku.ac.kr

이준신(李準信)



1962년 12월 7일생, 1989년 성균관대학교 전기공학과 졸업(학사), 1991년 뉴욕 주립대 전기공학과 졸업(석사), 1994년 동 대학원 졸업(공학박), 현재 성균관대학교 정보통신공학부 부교수
Tel : 031-290-7139
Fax : 031-290-7159
E-mail : yi@yurim.skku.ac.kr