

논문 2004-41TC-4-7

발룬을 이용한 푸쉬풀 구조의 도허티 증폭기 설계

(Design of Doherty Amplifier With Push-Pull Structure Using BALUN Transform)

정 형 태*, 김 성 욱*, 장 익 수**

(Hyeong-Tae Jeong, Sung-Wook Kim, and Ik-Soo Chang)

요 약

본 논문에서는 발룬(Balun) 임피던스 트랜스포머(transformer)를 이용한 새로운 구조의 도허티 증폭기를 설계하였다. 도허티 증폭기의 보조 증폭기는 부하변조를 위해 낮은 출력 영역에서 동작이 되지 않도록 설계되며, 일반적으로 보조 증폭기가 동작하지 않는 경우 증폭기의 출력 임피던스는 개방이 된다고 가정한다. 그러나 실제로 구현된 보조 증폭기의 출력 임피던스는 출력단 정합회로의 임피던스 변환 효과에 의해 개방이 아닌 낮은 임피던스 값을 갖게 된다. 본 논문에서는 상기와 같은 보조 증폭기의 특성을 이용하여 새로운 방식의 푸쉬풀 구조 도허티 증폭기를 설계하였다. 제작된 도허티 증폭기는 2개 반송파의 WCDMA 입력 신호에 대하여 출력전력 40dBm에서 5MHz 오프셋 주파수 인접채널 누설전력 비율 -37.3dBc와 23.7%의 효율 특성을 나타내었다.

Abstract

Push-pull structure with balun transformer is presented for load modulation technique which improves the overall efficiency of power amplifier. Under the assumption that output impedance of turned-off amplifier is high, conventional Doherty amplifier is composed of impedance inverter and peaking amplifier, of which operation is controlled by the input power level. In many case, however, impedance of 'off' amplifier is very low due to matching network or parasitic output capacitance. This paper introduces novel load modulation technique which uses low output impedance of 'off' amplifier. Experimental results show that good linearity and efficiency enhancement of the proposed push-pull structure

Keywords: Load modulation, Doherty amplifier, push-pull, balun transformer

I. 서 론

이동 통신 시스템이 널리 이용되는 디지털 변조된 신호는 높은 피크 대 평균 전력 비율(peak to average power ratio)의 특성을 갖는다. 이 때문에 IS-95 CDMA, CDMA2000, WCDMA 등과 같은 이동통신 시스템에 이용되는 전력 증폭기의 경우 높은 선형성이 요구된다.

백-오프(back-off) 방법은 증폭기의 선형성을 유지하기 위해 널리 사용되는 방법 중 하나이다. 이 방법은 최

대 출력 신호에 대한 여유분을 확보할 수 있도록 증폭기를 최대 출력 용량 이하에서 동작시키는 방법이다. 백-오프 방법을 통해 증폭기의 선형성은 유지되지만 이로 인해 증폭기의 효율이 매우 낮아진다. 낮아진 효율은 증폭기의 전력 소모를 증가시키게 된다. 뿐만 아니라 소모되는 전력은 열로 방출된다. 이는 증폭기의 방열구조를 복잡하게 만들고, 증폭기의 소형화를 어렵게 만드는 요인이 된다.

이러한 문제점을 해결하기 위해 증폭기의 효율 개선 방안에 대한 많은 연구가 진행되어 왔으며, 도허티 증폭기는 이러한 해결 방안 중 하나이다. 도허티 증폭기는 최대 출력으로부터 백-오프 되어도 높은 효율 특성을 나타내며, 효율 개선과 동시에 선형성이 유지된다는

* 학생회원, **정회원, 서강대학교 전자공학과
(Dept. of Electronic Engineering, Sogang University)
접수일자: 2004년1월9일, 수정완료일: 2004년3월31일

장점을 갖고 있다.

도허티 증폭기의 기본 구성은 임피던스 인버터와 입력전력에 따라 동작이 제어되는 보조 증폭기로 이루어진다. 도허티 증폭기의 효율 개선 효과는 능동적인 부하 변조(active load modulation)에 의해 설명이 가능하다. 이 때 기본 가정은 보조 증폭기가 낮은 전력 레벨에서 동작하지 않을 때 보조 증폭기의 출력 단 임피던스가 개방 또는 높은 임피던스 특성 갖는다는 것이다.

그러나 트랜지스터가 동작하지 않을 경우 출력 단 정합회로의 임피던스 변환 효과에 의해 증폭기의 출력 임피던스가 낮아지는 현상이 발생할 수 있다. 또는 트랜지스터 출력 단에 병렬로 존재하는 기생 커패시턴스의 영향에 트랜지스터의 출력 임피던스가 낮아질 가능성이 존재하게 된다.^[1] 본 논문에서는 상기와 같은 보조 증폭기의 특성을 이용하여 기존의 임피던스 인버터를 사용하는 구조와는 달리 발륜 트랜스포머를 이용한 푸쉬풀 구조의 도허티 증폭기^[2]를 설계하였다.

새로운 구조의 도허티 증폭기는 다음과 같은 장점을 가지고 있다. 첫째 보조 증폭기의 출력 단에 삽입되는 오프-셋 라인의 길이가 줄어들고, 기존 구조의 $\lambda/4$ 임피던스 인버터를 사용하지 않으므로 증폭기의 소형화가 가능하다. 둘째 직렬 결합되는 효과에 의해 발륜 트랜스포머의 밸런스 포트 부 임피던스가 작아지므로 증폭기의 정합회로 구현이 용이해진다.

푸쉬풀 구조의 도허티 증폭기의 구현 가능성은 이미 참고문헌^[2]에 의해 제안되었으나 실제 구현된 예는 아직까지 보고된 바 없다. 본 논문은 실제 구현에 관한 최초의 시도라 생각된다.

발륜 트랜스포머는 푸쉬풀 구조의 핵심 부품이다. RF 대역의 발륜에 관해 이미 많은 구현 예들이 있으며, 본 논문에서는 슬롯 라인과 유전체 공진기를 이용한 평면형 구조의 발륜을 구현하였다. 사용된 발륜은 구현이 용이하며, 대 전력 푸쉬풀 증폭기에 적합하다.

II. 본 론

1. 도허티 증폭기의 동작원리 및 보조 증폭기의 출력 임피던스

앞에서 언급한 바와 같이 도허티 증폭기의 동작원리는 능동적인 부하 변조(active load pull)로 설명할 수 있다. 그림 1은 기본적인 도허티 증폭기의 구조이다. 주 증폭기와 보조 증폭기 사이에 $\lambda/4$ 전송선로(transmission line)을 두어 보조 증폭기의 출력 전류에 따라

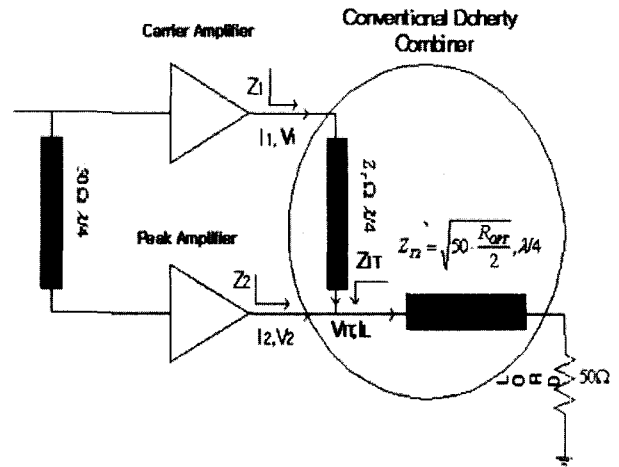


그림 1. 기존의 도허티 증폭기 구조
Fig. 1. Conventional structure of Doherty amplifier.

주 증폭기의 부하 변조가 이루어진다.^[1]

도허티 증폭기의 동작은 최대 파워 레벨영역과, 부하 변조가 일어나는 중간 파워 레벨영역 그리고 낮은 파워 레벨 영역의 세 가지 영역으로 나누어 설명할 수 있다.

최대 파워 레벨 영역에서의 부하 임피던스는 주 증폭기와 보조 증폭기 모두 R_{opt} (R_{opt} : 증폭기의 최적 부하 임피던스)으로 동작하며 각각의 증폭기는 출력 파워의 절반을 공급한다. 최대 파워 레벨영역에서 도허티 증폭기의 전체 효율은 이상적인 Class B 효율인 78.5% 이 된다.

중간 파워레벨의 보조 증폭기는 입력 레벨에 증가함에 따라 동작하게 된다. 그림1에서 보조 증폭기에서 공급된 전류 I_2 는 V_{1T} 에서 보여 지는 낮은 파워레벨의 임피던스인 $R_{opt}/2$ 를 R_{opt} 로 증가시켜 준다. 주 증폭기에서 보여 지는 부하 임피던스는 특성임피던스가 $Z_T=R_{opt}$ 인 $\lambda/4$ 트랜스포머를 통해 $2R_{opt}$ 에서 R_{opt} 로 부하변조가 일어난다. 중간 파워 레벨 영역에서는 출력 전력이 증가함에 따라 주 증폭기는 포화되고 최대 효율로 동작한다.

낮은 파워 레벨 영역에서는 보조 증폭기가 동작하지 않게 되는데 출력 단에 적절한 전기적 길이를 추가하여 출력 부하 임피던스가 개방 회로로 보여 지도록 설계하는 것이 중요하다. 이 때 주 증폭기의 출력 단 부하는 $2R_{opt}$ 동작하게 되며, 이때의 주 증폭기는 Class B 증폭기로 동작한다. 순간효율은 출력과 함께 선형적으로 증가되며 최대 출력으로부터 6dB 백 오프 된 지점에서 주 증폭기는 포화되어 이상적인 Class B 증폭기의 최대 효율에 도달하게 된다.

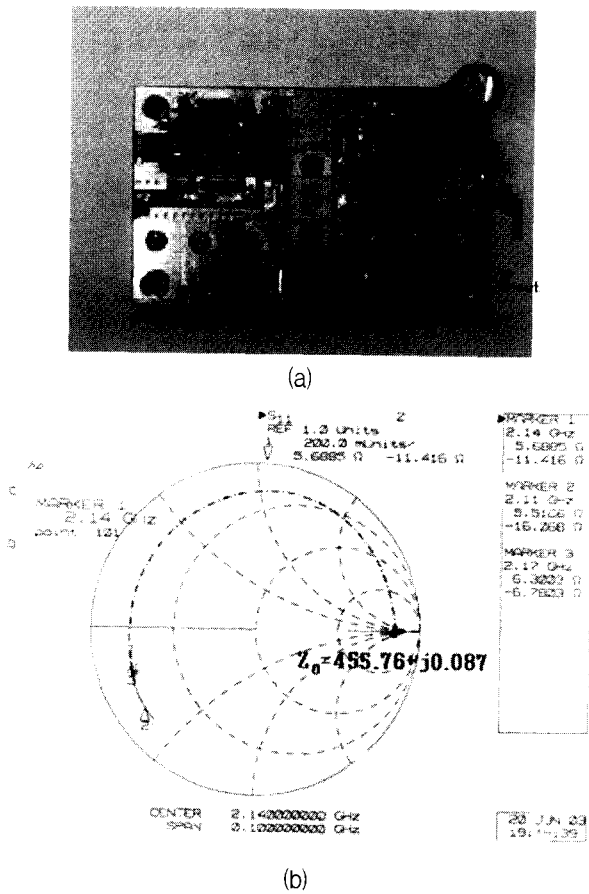


그림 2. 전력 증폭기의 출력 임피던스
 (a) 실제 제작된 C급 전력 증폭기 사진
 (b) C급 증폭기의 출력단 임피던스

Fig. 2. Output impedance of the peak amplifier
 (a) Photograph of fabricated amplifier
 (b) Measured result of Class C amplifier output impedance

서론에서 기술한 바와 같이 보조 증폭기가 동작하지 않을 경우 실제 증폭기의 출력 임피던스는 매우 낮아질 가능성이 존재하며, 그 원인은 다음과 같다.^[1] 첫째, 정합회로의 임피던스 변환 효과에 의한 영향이다. 일반적으로 대 전력 트랜지스터의 출력 단 부하 임피던스는 수 ohm으로 그 값이 매우 작다. 이러한 작은 임피던스 값을 시스템의 입출력 임피던스인 50ohm과 정합하기 위해 일종의 임피던스 변환기의 역할을 하는 정합회로가 트랜지스터의 출력 단에 추가된다. 이로 인해 트랜지스터가 동작하지 않을 경우 트랜지스터의 임피던스 값은 높아도 정합회로의 임피던스 변환특성에 의해 실제 증폭기의 출력 단 임피던스는 낮아지게 된다.

그림 2 (a)는 모토로라사의 45W급 LDMOS 트랜지스터 MRF21045를 사용하여 제작한 대 전력 증폭기의

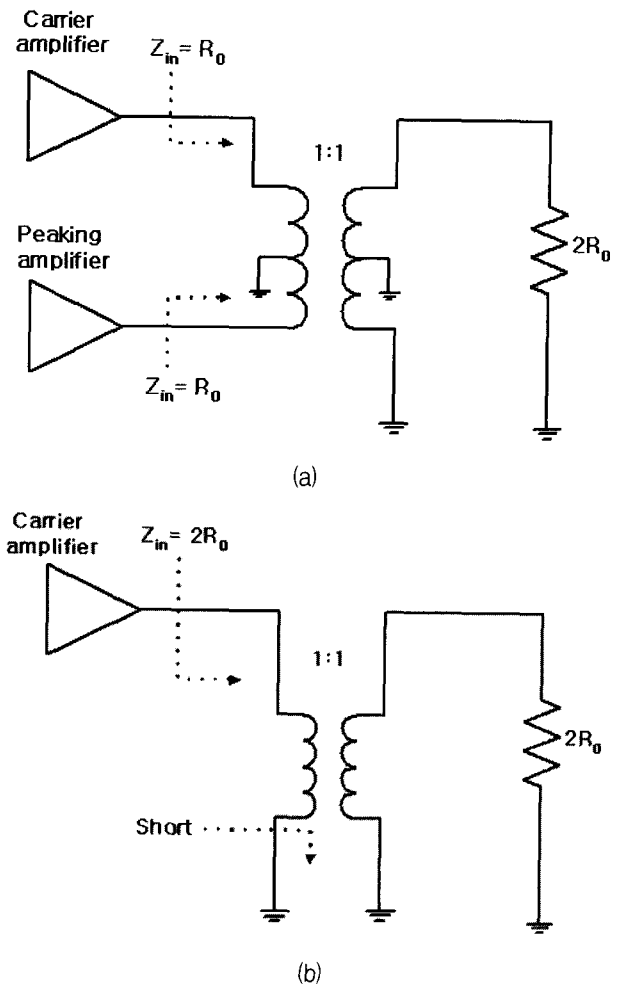


그림 3. 푸쉬풀 구조 도허티 증폭기의 동작원리
 (a) 최대 출력 영역
 (b) 임계점 이하의 낮은 전력 영역

Fig. 3. Condition for the Push-pull structure of Doherty amplifier
 (a) At maximum power
 (b) Below the transition level (at low power level)

구현 예이다. 그림 2(b)는 트랜지스터의 바이어스를 C급으로 인가하였을 때 측정된 증폭기의 출력 임피던스 (Z_{out})이다. 측정된 임피던스는 이미 기술한 바와 같이 출력단 정합회로에 의해 낮은 임피던스 값을 나타내며 이를 높은 임피던스로 변환하기 위해 그림 2(b)의 점선과 같이 오프-셋 라인을 추가해야 한다.^[4] 추가된 오프-셋 라인은 증폭기의 소형화를 어렵게 만드는 요인이 된다. 증폭기의 임피던스를 낮아지게 만드는 두 번째 원인으로 트랜지스터의 출력 커패시턴스에 의한 영향을 생각할 수 있다. 트랜지스터의 출력 단에는 소자의 공정 또는 패키지에 의해 기생 커패시턴스가 존재한다. 경우에 따라 동작 주파수가 높아지면 기생 커패시터에

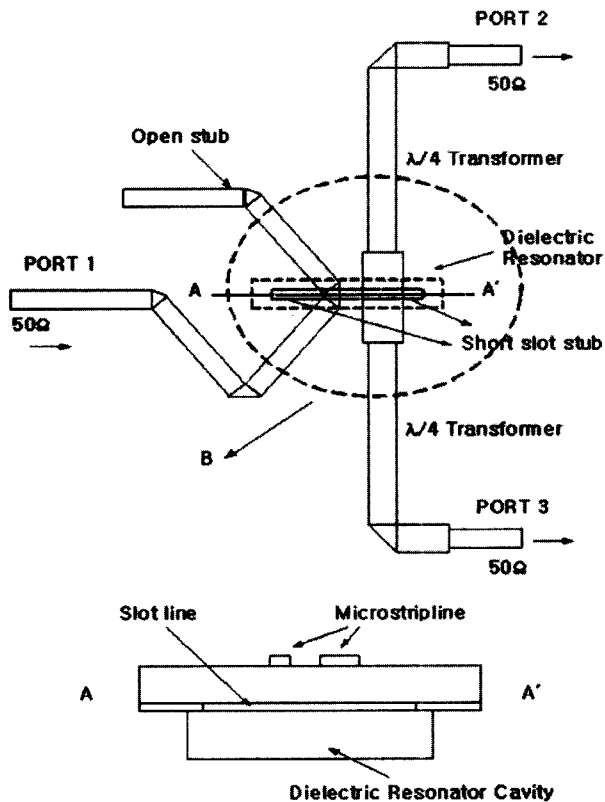


그림 4. 유전체 공진기를 이용한 슬롯라인 발룬
Fig. 4. A slot-line BALUN using a dielectric resonator

의해 트랜지스터의 출력 임피던스가 매우 낮아지게 될 가능성이 존재한다.

2. 푸쉬풀 구조의 도허티 증폭기

본 논문에서는 상기와 같은 보조 증폭기의 특성을 이용하여 푸쉬풀 구조의 도허티 증폭기를 설계하였다. 두 증폭기의 출력 전력은 그림 3의 트랜스포머에 의해 결합된다. 트랜스포머는 이상적인 경우를 가정하였고 변성비(transformation ration)는 1:1이다. 이 때 최대 출력 레벨에서 주 증폭기와 보조 증폭기의 최적 부하 저항은 각각 R_0 로 설계되었다. 동작원리는 다음과 같은 두 경우로 나누어 해석할 수 있다.

그림 3(a)는 도허티 증폭기의 최대 출력 전력 영역에서 주 증폭기와 보조 증폭기 모두 동작하는 경우를 나타낸 경우이다. 이 때 각각의 증폭기는 전체 출력 파워의 절반을 공급 한다 도허티 증폭기의 부하 임피던스 $2R_0$ 는 트랜스포머에 의해 분배되어 주 증폭기와 보조 증폭기의 부하 임피던스는 모두 R_0 로 보여 진다.

그림 3 (b)는 입력 전력이 낮은 상태에서 보조 증폭기가 동작하지 않는 경우를 나타낸 그림이다. 보조 증

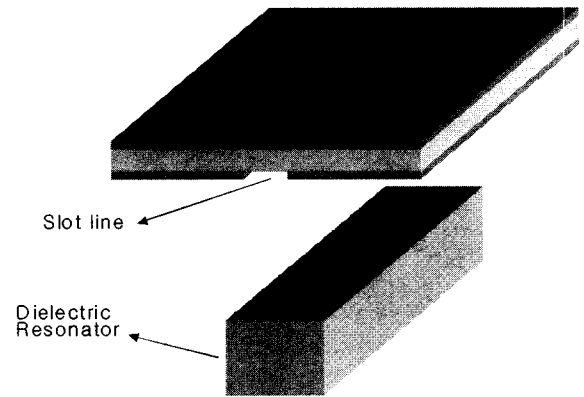


그림 5. 기판 아랫면의 슬롯라인과 유전체 공진기
Fig. 5. View of a junction between slot-line and dielectric resonator

폭기가 동작하지 않을 경우 앞서 기술한 바와 같이 증폭기의 출력 임피던스는 매우 낮은 임피던스를 갖게 되고, 이 경우 이상적인 상황을 가정하여 증폭기의 출력 임피던스가 단락이 되었다고 설정하였다. 보조 증폭기의 출력 임피던스가 단락 되어 있으므로 주 증폭기의 부하 임피던스는 1:1 트랜스포머를 통해 $2R_0$ 로 나타나게 된다. 이와 같은 부하 변조 특성에 의해 최대 출력으로부터 6dB 백 오프 된 지점에 도달하면 주 증폭기는 포화되어 증폭기의 최대효율을 갖게 되고, 그림 3(a)의 최대 출력 영역에 도달하게 될 때까지 최대 효율 특성을 유지하게 된다.

3. 유전체 공진기를 이용한 발룬 트랜스포머

발룬 트랜스포머는 푸쉬풀 증폭기의 주요 소자로 입력 전력 분배 부와 출력 전력 결합 부를 구성한다. 본 논문에서는 슬롯 라인과 유전체 공진기(dielectric resonator)를 이용한 평면형 구조의 발룬을 사용하였다.

그림 4는 제안된 발룬의 전체 구조와 슬롯라인을 구성하는 부분에 대한 단면도이다. 그림5는 그림4의 A-A'부분에서의 기판 뒷면의 슬롯라인과 유전체 공진기의 접합부분에 대한 3차원 확대도이다. 발룬 접합부는 슬롯라인과 유전체 공진기로 이루어진다. 그림5와 같이 기판 아래쪽에 슬롯 라인을 구성한다. 또한 슬롯 라인 위에는 높은 유전상수를 갖는 유전체 공진기를 부착한다. 유전체 공진기는 부착 면을 제외하고는 은도금 되어있다.

본 논문에서 사용한 발룬의 구조는 기존구조^[5]보다 구현이 용이하다는 장점이 있다. 제작에 사용한 유전체 공진기는 직육면체 구조로 유전율 38이고 10mm(넓이

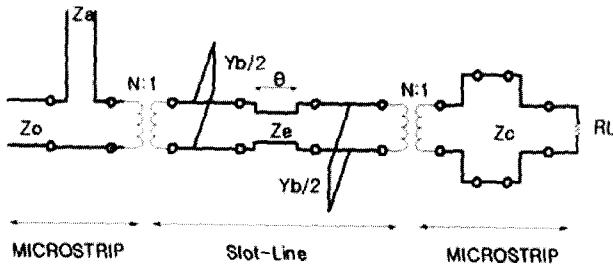


그림 6. 슬롯 라인의 길이를 고려한 발룬의 등가회로
Fig. 6. Equivalent circuit of Balun including electrical length of slot line

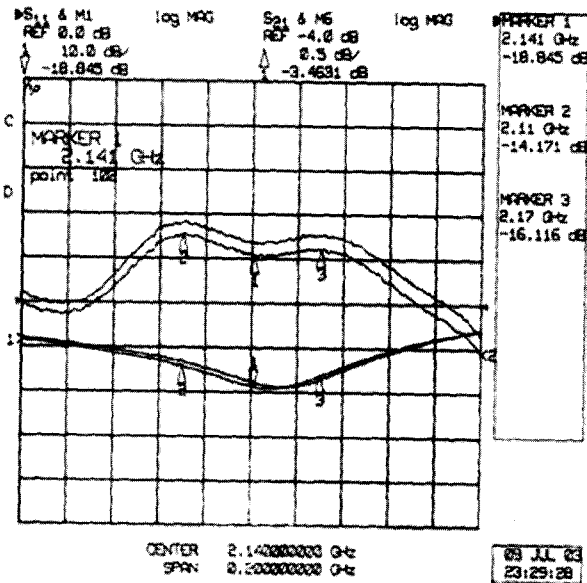


그림 7. 발룬의 S-파라미터 측정결과
Fig. 7. Measured result of S-paramete

)*6mm(길이)*26.4mm(높이) 크기를 가진다. 유전체 공진기는 그림5의 빗금 친 면을 제외하고 은도금을 하여 내부에 형성된 필드가 외부와 격리되도록 한다.

그림 6은 슬롯 라인의 길이를 고려한 발룬의 등가회로이다. 구성된 슬롯라인은 발룬 접합부를 구성하는 전기적 길이 θ 의 전송선로와 전기적 길이가 각각 $\lambda/4$ 인 두 개의 단락 스텐브로 구성된다. 슬롯 라인으로 구성된 $\lambda/4$ 단락 스텐브는 공진 점에서 개방으로 동작하므로, 최대 생성된 자계가 슬롯 라인에 마이크로 스트립 접합부에서만 서로 전이될 수 있도록 한다.

그림 7과 그림 8은 제작된 발룬의 크기와 위상 측정 결과이다. 입력 전력에 대한 출력 포트의 삽입 손실은 각각 0.28dB, 0.46dB이고 반사 손실은 중심 주파수 대역에서 18.8dB이다. 측정된 발룬 출력 포트 간 위상 차이는 이상적인 180도에 근접한 179.6도이다.

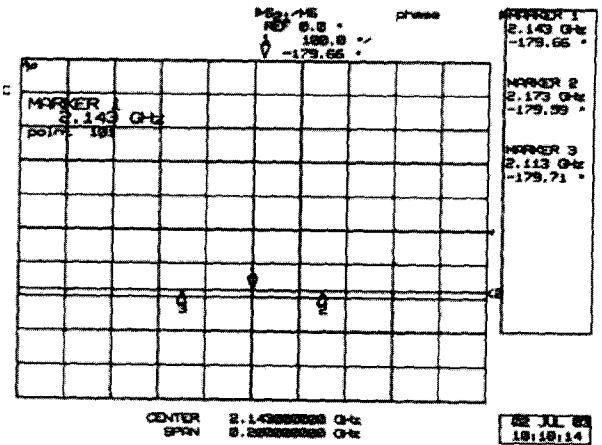


그림 8. 발룬의 위상 특성 측정결과
Fig. 8. Measured result of phase characteristic

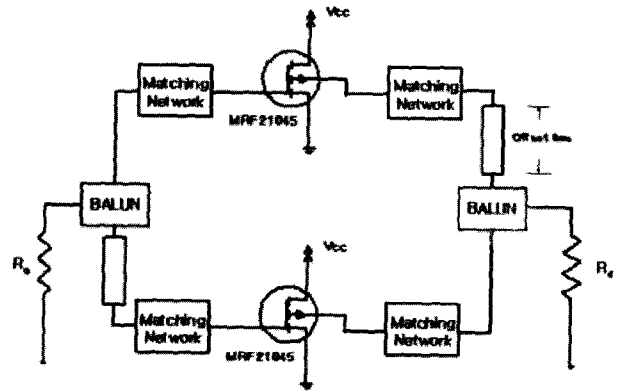
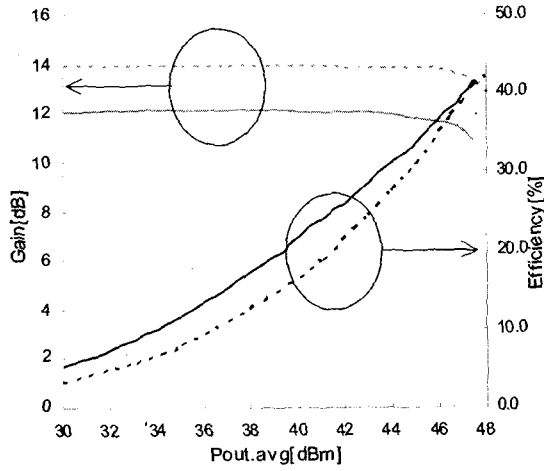


그림 9. 푸쉬풀 구조의 도허티 증폭기 블록도
Fig. 9. Block diagram of push-pull structure Doherty amplifier

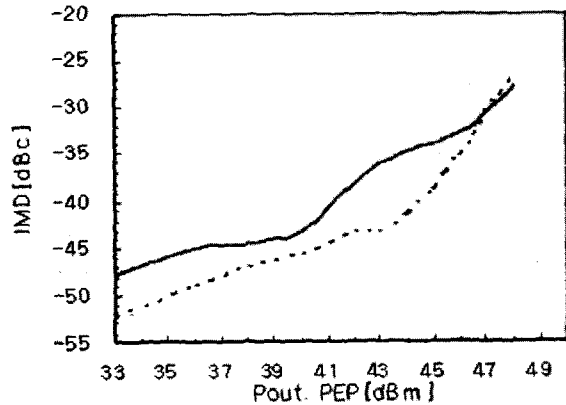
III. 실험

그림 9는 푸쉬풀 구조 도허티 증폭기의 전체 블록도이다. 트랜지스터는 모토로라사의 LDMOS MRF21045를 사용하였다. 주 증폭기의 트랜지스터는 게이트-소스 간 전압(V_{gs}) 3.92V, 드레인 바이어스 전류(I_d) 500mA 인 AB급 바이어스로 동작하고, 보조 증폭기의 트랜지스터는 $V_{gs}=2.8V$ 인 C급 바이어스를 인가하였다. 발룬의 임출력 임피던스가 25ohm이므로 각각의 트랜지스터 역시 25ohm으로 정합하여 설계하였다. 사용된 기판은 30mil 두께의 Taconic 사 RF35기판을 이용하였다. 본 논문에서는 구현된 도허티 증폭기의 성능을 비교하기 위해 AB급 푸쉬풀 증폭기를 제작하였다. 기준 증폭기는 도허티 증폭기 구조와 동일한 개수의 트랜지스터를 사용하였으며, 트랜지스터는 모두 AB급으로 바이어스



— Push-pull structure Doherty amplifier
 Reference Class AB amplifier

그림 10. CW 입력일 때 이득과 효율
 Fig. 10. Efficiency of amplifier at CW test



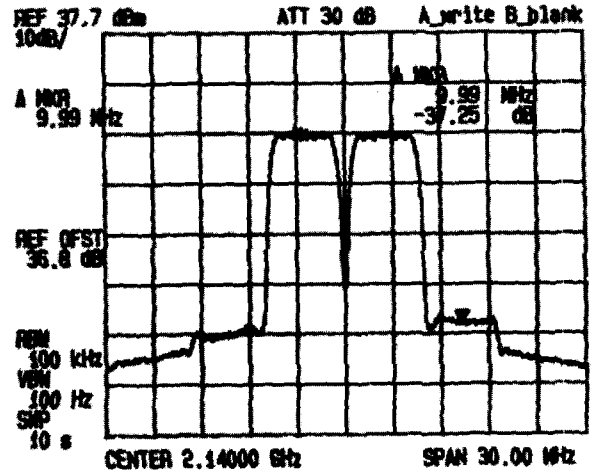
— Push-pull structure Doherty amplifier
 Reference Class AB amplifier

그림 11. 2톤 입력일 때 3rd IMD
 Fig. 11. 3rd IMD of amplifier at 2-tone test

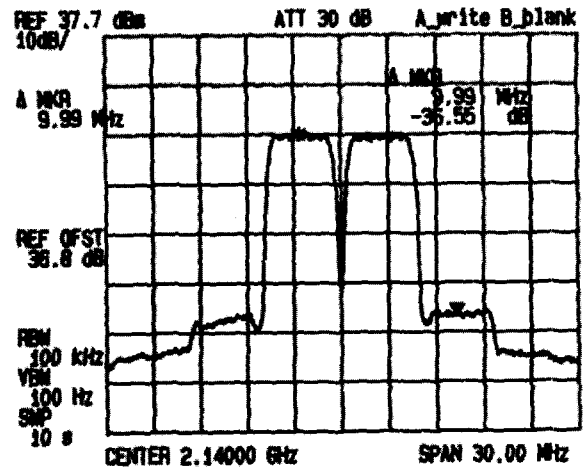
되었다.

그림 9의 오프셋 라인은 보조 증폭기의 출력 임피던스를 조절하기 위해 삽입하였다. 그림 2 (b)와 같이 실제 측정된 보조 증폭기의 출력 임피던스는 이상적인 단락이 아니므로 이를 보상하기 위해 오프셋 라인이 추가된다. 이로 인한 보조 증폭기 경로의 시간지연을 보상하기 위해 주 증폭기 입력 단에 동일한 오프셋 라인을 추가하였다.

그림 10은 주파수는 2.14 GHz CW 1-톤을 인가하였을 때 이득과 효율의 실험 결과이다. 점선 그래프는 AB급 푸쉬풀 증폭기의 특성이고, 직선 그래프는 본 논문에서 제안하는 푸쉬풀 구조의 도허티 증폭기 특성이



(a)



(b)

그림 12. WCDMA 실험 결과(Pout=40dBm)
 (a) Class AB의 스펙트럼 측정결과
 (b) 푸쉬풀 구조 도허티 증폭기의 스펙트럼 측정 결과

Fig. 12. Result of WCDMA test (Pout=40dBm)
 (a)WCDMA ACPR of reference amplifier
 (b) WCDMA ACPR of Doherty amplifier

다. AB급 기준 증폭기와 비교하였을 때 도허티 증폭기의 이득은 2dB정도 감소되었으나, 출력 레벨 전 영역에 걸쳐 효율 특성이 개선됨을 확인할 수 있다.

그림 11은 톤 간격 1MHz인 2-톤 입력 신호에 대한 3차 혼변조 특성이다. 전반적으로 AB급 기준 증폭기의 3차 혼변조 특성이 우수하였으나, 혼변조 왜곡이 -30dBc가 되는 PEP(Peak Envelope Power)는 기준 증폭기의 경우 47.2dBm이고, 도허티 증폭기의 경우는 47.3dBm으로 유사한 특성을 보였다.

그림12는 디지털 변조된 W-CDMA 신호에 대한 푸

쉬플 증폭기의 출력 스펙트럼 측정 결과이다. 중심 주파수는 2.14GHz이고, 2개의 반송파를 인가하여 증폭기의 광 대역 특성을 확인하였다. 이때 사용된 신호의 평균전력 대 피크전력의 비율 10.9dB이다. 또한 인가된 W-CDMA 신호는 순방향 링크 신호로서 64개의 DPCH로 구성된 Test Model 1이 사용되었다. 출력 전력 40dBm에서 reference 증폭기의 효율은 17.4%이고 도허티 증폭기의 효율은 23.7%이다. 인접채널 누설 전력 비율(ACLR: Adjacent Channel Leakage power Ratio)은 유사한 특성을 보이며, 도허티 증폭기의 경우 5MHz offset 지점에서 -37.25dBc, 10MHz 지점에서 -44.57dBc이다.

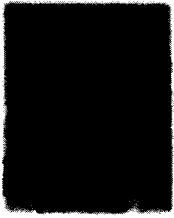
IV. 결 론

본 논문에서는 발룬 트랜스포머를 이용한 푸쉬풀 구조의 도허티 증폭기를 설계하였다. 도허티 증폭기의 보조 증폭기는 낮은 출력전력 영역에서 동작하지 않을 때 출력 임피던스가 작아지는 특성을 갖는다. 상기와 같은 특성을 이용하여 본 논문에서는 새로운 구조의 도허티 증폭기를 제작하였다. 새로운 구조의 도허티 증폭기는 출력 단에 삽입되는 오프-셋 라인의 길이가 줄어드는 장점을 가지며, 기존 전력 결합 구조에 사용되었던 $\lambda/4$ 전송선로 임피던스 인버터를 사용하지 않으므로 증폭기의 소형화에 적합하다. 제작된 도허티 증폭기는 2개 반송파의 WCDMA 입력 신호에 대하여 출력전력 40dBm에서 5MHz 오프셋 주파수 인접채널 누설전력 비율 -37.3dBc와 23.7%의 효율특성을 나타내었다.

참 고 문 헌

- [1] S. C. Cripps, "Advanced Techniques in RF Power Amplifier Design", Artech House Publishers, 2002.
- [2] C. Potter, S. Cummins, "Adaptive Digital Predistortion for 3G Systems", 2003 MTT-S workshop
- [3]. S. C. Cripps, "RF Power Amplifiers for wireless communications," Artech House Publishers, 1999.
- [4] B. M . Kim, Y. Yang, J. Yi, Nam, Y. Y .Woo, and J. Cha, "Efficiency Enhancement of Linear Power Amplifier Using Load Modulation Technique", ISMOT. Dig, June.2001, pp505-508
- [5] G. J. Laughlin, "A New Impedance-Matched Wide-Band Balun and Magic Tee," IEEE Trans. Microwave Theory Tech., Vol. MTT-24, No.3, pp. 135-141, 1976.

저 자 소 개



정 형 태(정회원)
 1995년 서강대학교
 전자공학과 학사 졸업
 1997년 동 대학원 석사 졸업
 1997년~2002년 삼성전자
 정보통신본부 책임연구원
 2002년 8월~현재 서강대학교
 전자공학과 박사 과정

<주관심분야 : 초고주파회로 해석 및 회로설계,
 고효율 전력 증폭기 및 선형화기 설계>



장 익 수(정회원)
 1967년 서울대학교
 전자공학과 학사 졸업
 1970년 동 대학원 마이크로파공학
 석사 졸업
 1979년 동 대학원 마이크로파공학
 전공 박사 졸업

1952년 Univ. of Wisconsin at Madison 방문교수
 1977년~현재 서강대학교 전자공학과 교수 재임
 <주관심분야 : 초고주파 부품설계 및 회로설계>



김 성 옥(정회원)
 1993년 서강대학교
 전자공학과 학사 졸업
 1995년 서강대학교
 전자공학과 석사 졸업
 1999년 2월~현재 서강대학교
 전자공학과 박사 과정

<주관심분야 : 초고주파 부품설계 및 회로설계>