

하모닉 발진을 이용한 5.8 GHz 대역 주파수 합성기

5.8 GHz Band Frequency Synthesizer using Harmonic Oscillation

최 종 원 · 신 금 식 · 이 문 규

Jong-Won Choi · Geum-Sik Shin · Moon-Que Lee

요 약

본 논문에서는 5.8 GHz 주파수 합성기에 대해 하모닉 발진을 적용하여 저가화 방안을 제안하였다. 제안한 주파수 합성기는 2.9 GHz 대역의 PLL 칩과 2.9 GHz 대역의 발진기, 그리고 5.8 GHz 대역의 버퍼 증폭기로 구성 되어있다. 측정 결과는 5.65 GHz에서 5.94 GHz까지의 290 MHz 주파수 가변범위와 약 0.5 dBm의 출력 전력, 그리고 100 kHz 오프셋 주파수에서 -107.67 dBc/Hz의 위상잡음을 보여준다. 기본 발진 전력(2.9 GHz)을 포함한 모든 불요성분은 제안한 2차 하모닉 신호보다 적어도 15 dBc 이상 억압된다.

Abstract

A low cost solution employing harmonic oscillation to the frequency synthesizer at 5.8 GHz is proposed. The proposed frequency synthesizer is composed of 2.9 GHz PLL chip, 2.9 GHz oscillator, and 5.8 GHz buffer amplifier. The measured data shows a frequency tuning range of 290 MHz, ranging from 5.65 to 5.94 GHz, about 0.5 dBm of output power, and a phase noise of -107.67 dBc/Hz at the 100 kHz offset frequency. All spurious signals including fundamental oscillation power(2.9 GHz) are suppressed at least 15 dBc than the desired second harmonic signal.

Key words : Frequency Synthesizer, Oscillator, Frequency Locking, Phase Noise, Harmonic Oscillator

I. 서 론

최근 들어 802.11a WLAN과 ITS의 단말기 등에 대한 관심이 고조되면서 5 GHz 대역의 안정적이고, 저가로 구현이 가능한 주파수 합성기를 필요로 하고 있다.

5 GHz 대역의 주파수 합성기를 구성하는 방식은 그림 1의 5 GHz PLL과 5 GHz 대역의 VCO를 이용하여 직접 구현하는 방식, 그림 2의 2 GHz PLL chip과 2 GHz 대역의 발진을 체배기를 이용하여 구성하는 방식, 그림 3의 2 GHz PLL와 2 GHz 대역의 부조과 주입동기로 5 GHz 대역의 발진을 구현하는 방식 등이 사용되고 있다.

그림 1의 구조로 최근 Analog Device사 등에서 5 GHz 대역의 위상동기루프(PLL) chip을 선보이고 있어, 이를 이용함으로써 5 GHz 대역에서 직접적인 주파수 동기화가 가능하나, 가격이 고가인 관계로 저가 구현에 걸림돌이 되고 있다.

그림 2의 2 GHz PLL chip과 2 GHz 대역의 발진을 체배기를 이용하여 구성하는 방식은 주파수 체배기의 변환손실이 크기 때문에 체배기의 입력과 출력에 증폭기를 필요로 하여 저가 구현과 소형 구현이 어려워진다. 능동 체배기를 이용하는 경우에 있어서도 기본주파수 성분의 불요파의 특성이 문제가 될 수 있다.

5 GHz 대역의 주파수 합성기를 저가로 구현하는

「이 논문은 2002년도 서울시립대학교 학술연구조성비(과제번호: 20020506-1-1-029, 과제명: 하모닉 발진을 이용한 5.8 GHz 대역 주파수 합성기)에 의하여 연구되었음.」

서울시립대학교 전자전기컴퓨터공학부(Department of Electrical & Computer Engineering., University of Seoul)

· 논문 번호 : 20040204-014

· 수정완료일자 : 2004년 3월 18일

방식으로써 그림 3의 부고조파 주입동기 방식에 대한 연구가 최근 진행되고 있다^{[1],[2]}. 부고조파 주입 방식에 의한 PLL 모듈은 일반적으로 회로 구성이 비교적 간단하고 출력전력이 크며, 위상 잡음 특성 또한 비교적 우수한 장점이 있지만, 주입동기 발전기(ITS의 경우 5.8 GHz VCO)의 자유발전(free running oscillation) 주파수 범위가 충분히 넓지 않을 경우 소자 특성의 변화, 주위 환경 변화 등에 의한 자체 발전 대역 변화로 인해서 부고조파에 대한 lock을 잃

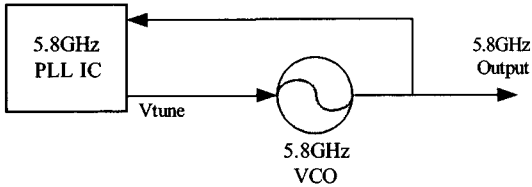


그림 1. 기본 발진기를 이용한 주파수 합성기
Fig. 1. Frequency synthesizer using a fundamental oscillator.

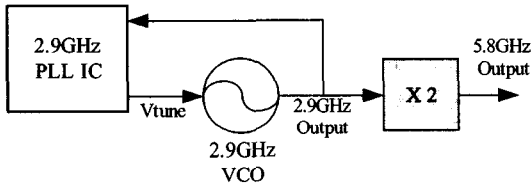


그림 2. 체배기를 이용한 주파수 합성기
Fig. 2. Frequency synthesizer using a frequency multiplier.

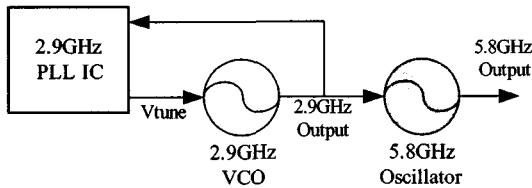


그림 3. 부고조파 주입동기를 이용한 주파수 합성기
Fig. 3. Frequency synthesizer using a sub-harmonic injection locked oscillator.

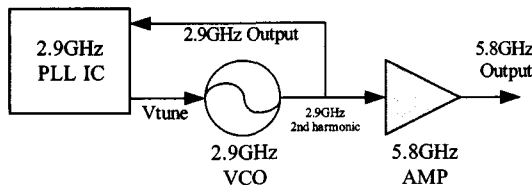


그림 4. 하모닉 발진을 이용한 주파수 합성기
Fig. 4. Frequency synthesizer using harmonic oscillation.

어버릴 수 있다는 문제점이 있다. 또한 외부의 요인에 의해 주파수 동기가 되지 않는 경우 이를 검출하는 회로가 복잡하여 상용적으로 이용하는데 어려움이 있다.

본 논문에서는 부고조파 동기에 문제가 없고, 회로의 구조를 간략화 할 수 있는 그림 4의 하모닉 발진을 이용한 5 GHz 대역의 주파수 합성 방식을 사용하였다. 본 논문에서 채택한 방식은 부고조파 주입 동기 발전기에 비해 출력전력은 작지만 주파수 동기해제의 문제가 없고 안정적으로 2차 하모닉 성분을 얻어낼 수 있는 구조이다.

5.8 GHz 대역에서는 저가로 사용하기에 충분한 상용화된 hybrid나 MMIC 형태의 VCO가 흔치 않고, 능동 소자나 바랙터의 패키지에 의한 기생성분의 영향이 상대적으로 크며, 칩 형태로 나오는 인덕터나 캐패시터의 자체 공진 문제로 인해 발전기 설계 및 구현을 위해서는 고려해야 할 사항들이 많으며 상당한 어려움이 있다. 이에 반해 부고조파 대역(2.9 GHz)의 VCO 및 PLL IC는 이미 상용화가 진척되었고, 소자 선정 및 회로 설계 면에서도 기술적 난이도가 비교적 낮아 하모닉을 증폭하는 방식은 소형화 저가화에 장점을 가지고 있다고 볼 수 있다.

II. 본 론

2-1 VCO 및 PLL 설계 구조

2-1-1 소자선정

설계 기판으로서는 테플론이나 알루미늄 기판에 비해 유전체 손실이 크고, 유전율이 균일하지 않지만 비교적 낮은 주파수 대역에서 널리 사용되고 저가로 회로를 구성할 수 있는 장점이 있는 FR4를 사용하였다. 능동소자는 위상잡음 특성이 우수하고 저가인 Si-BJT 소자를 이용하였다. PLL IC는 VCO의 주파수 대역을 포함할 수 있는 소자를 이용하여야 하므로, 3 GHz 미만에서 쉽게 구할 수 있는 PLL IC 소자를 사용하였다.

2-1-2 VCO 설계 구조

그림 5는 본 논문에서 채택한 바이어스 회로의 구조를 보여주고 있다. 트랜지스터를 캐스코드(Cas-

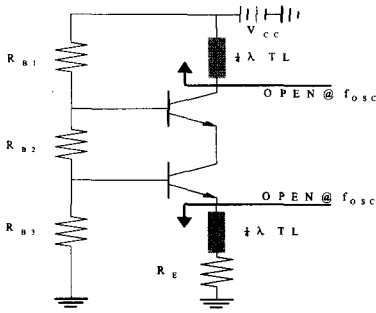


그림 5. 바이어스 회로
Fig. 5. Bias circuit.

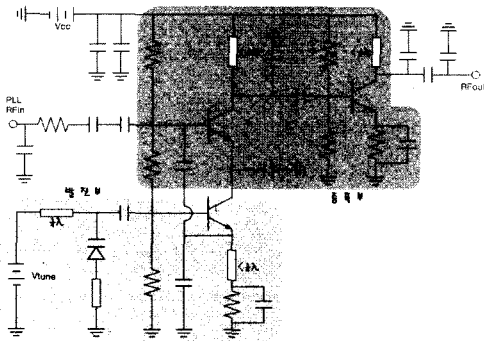


그림 6. 설계한 VCO 구조도
Fig. 6. Schematic of the designed VCO.

code) 형태로 결합한 VCO의 바이어스 회로는 R_E 에 의한 전압 되먹임으로 동작점이 안정화되는 구조이며, $1/4 \lambda$ 전송선이나 인덕터를 적절히 사용하여 동작 주파수에서 회로의 교류적인 동작에 영향을 미치지 않게 설계하였다. 또한 R_E 는 발진 주파수 이외의 주파수 대역에서 전력을 소모하는 소자로 작용하므로 의도한 발진 주파수 밖에서 일어날 수 있는 기생 발진을 억제하는 효과를 가진다.

그림 6의 전체적인 구조는 5.8 GHz 신호의 부조조파(sub-harmonic) 신호인 2.9 GHz 발진기와 하모닉 증폭기의 구조를 보이고 있다.

발진기 구조는 콜피츠 구조의 발진방식을 이용하였으며, 크게 발진부와 증폭부의 두 부분으로 구현하였다.

발진부는 공진부와 부성저항부로 이루어져 있으며 공진부에서는 바랙터 다이오드와 마이크로 스트립 전송선로와의 병렬 공진에 의해 2.9 GHz 대역 근처의 주파수에서 공진을 일으켜 발진시 발진주파수

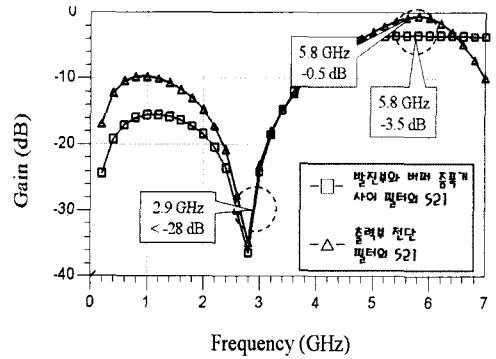


그림 7. 각 노드별 필터 특성
Fig. 7. The filter characteristics at each node.

를 안정화시키며, 부성저항부에서는 1차 트랜지스터의 베이스 부분에서 바라본 입력 임피던스의 값이 부성저항값을 갖도록 구성하여 발진조건을 만족하도록 설계하였다.

고조파 증폭부는 공통 에미터 증폭 회로이며 에미터단의 캐패시터는 RF 신호를 바이패스함으로써 입력 임피던스를 작게 하여 부하가 발진부에 주는 영향을 줄였다.

발진부 트랜지스터의 콜렉터와 버퍼 증폭기 트랜지스터의 베이스 사이 그리고 출력부(RFout) 전단에 캐패시터를 이용한 고대역 통과 필터를 각각 넣어줌으로써 그림 7에서처럼 기본주파수 성분을 억압하고 원하는 2차 하모닉 성분을 얻을 수 있었다.

주파수 조절은 바랙터 다이오드의 인가전압을 조절함으로써 공진부의 공진점의 변화를 가져옴으로써 가능해진다. 이는 주파수 합성기 설계시 루프필터의 출력전압으로 조절이 가능하게 된다^[1].

2-1-3 PLL 설계 구조

그림 8은 본 논문에서 설계한 주파수 합성기의 구조를 보여준다. 루프 대역폭은 최적의 위상잡음 특성을 갖도록 위상검출기 출력에서의 복합잡음레벨과 전압제어발진기의 위상잡음 특성곡선이 접하는 주파수로 정하고, 획득시간과 비교주파수 불요성분 등을 고려하여 제작 후 튜닝하였다.

2-2 시뮬레이션(Simulation)

2-2-1 VCO 시뮬레이션

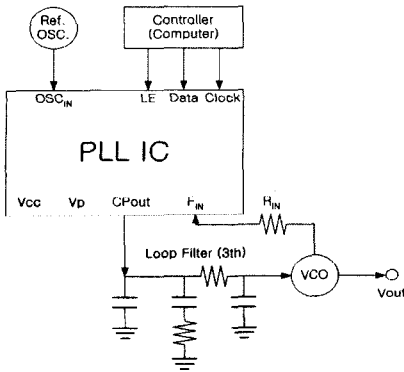


그림 8. 설계한 주파수 합성기의 구조도
Fig. 8. Block diagram of the designed frequency synthesizer.

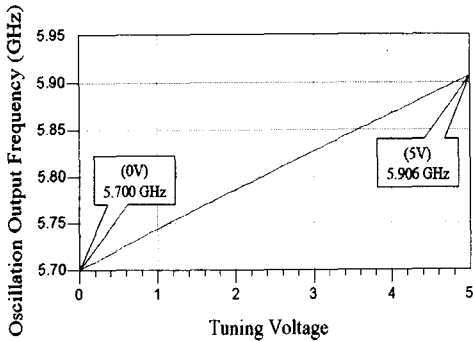


그림 9. 튜닝 전압에 대한 2차 하모닉 발진주파수
Fig. 9. The second harmonic oscillation frequency versus the tuning voltage.

그림 9는 Agilent사의 ADS를 이용하여 2.9 GHz 전압제어발진기를 해석한 결과를 보여주고 있다. 본 논문에서는 이용하고자 하는 2차 하모닉 주파수는 마이크로 스트립 전송 선로의 패턴 효과를 고려하여

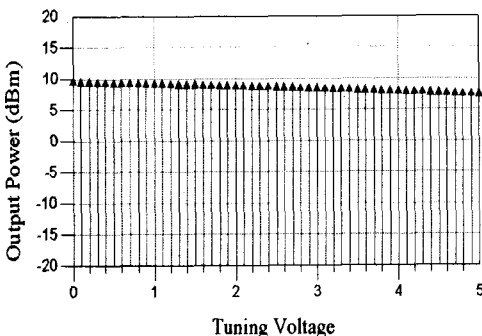


그림 10. 튜닝 전압에 대한 출력 전력
Fig. 10. Output power versus the tuning voltage.

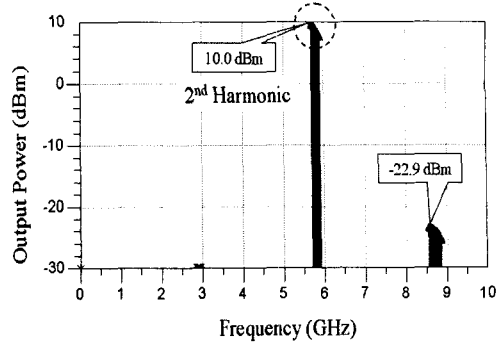


그림 11. VCO의 출력단에서의 전력 스펙트럼
Fig. 11. Power spectrum at the VCO output port.

시뮬레이션 시 5700~5906 MHz 대역에서 발진이 일어났음을 볼 수 있다.

그림 10에서의 출력 전력은 8.1~10.0 dBm 정도로 평탄도는 2 dB 이내로써 비교적 평탄하게 설계되었다.

그림 11은 VCO의 출력단에서의 전력스펙트럼을 보여주고 있다. 부조조파 및 고조파의 출력 억압은 22 dBc 이상으로 설계되었다.

그림 12는 설계한 발진기의 위상잡음 특성을 보여주고 있다. 0~5 V의 튜닝전압에 대해 10 kHz offset에서 -86.8 dBc/Hz, 100 kHz offset에서 -106.8 dBc/Hz 이하로 설계되었다.

그림 13에서 PLL IC 입력단에서의 발진기의 전력 스펙트럼을 보여주고 있다. 본 논문에서는 주파수 동기를 위해 3 GHz 이하의 PLL IC를 이용하므로 발진기의 기본 주파수 성분이 하모닉 성분보다 큰 특성이 요구된다. PLL IC로 인가되는 전력은 -2.3 dBm

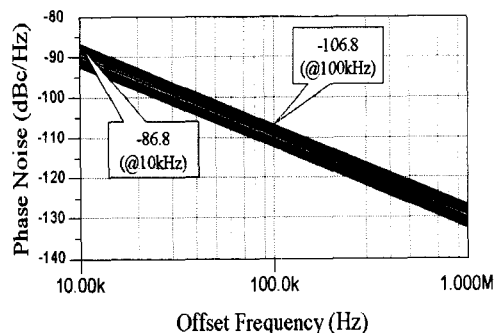


그림 12. 설계한 전압제어발진기의 위상 잡음특성
Fig. 12. Phase noise characteristics of the designed VCO.

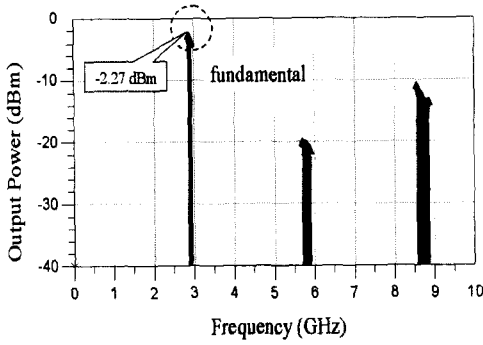


그림 13. PLL IC 입력단에서의 VCO의 전력 스펙트럼
Fig. 13. Power spectrum of the designed VCO at PLL IC input port.

정도로 PLL IC를 작동하기에 충분한 전력을 유지하고 있으며, PLL IC로의 입력 전력이 과도하거나 적은 경우를 대비하여 설계시 저항 패드를 만들어 저항값을 변경해줌으로써 전력의 변화를 줄 수 있도록 설계하였다.

2-2-2 PLL 시뮬레이션

PLL의 초기 설계값으로 위상마진은 46도, 루프 대역폭은 2.7 kHz, 채널간격은 500 kHz, 주파수 분주비 N은 5800으로 설계하여 3차 수동 루프 필터로 구현하였고, 이론적 계산은 다음의 식과 같다^[4].

$$\phi_P = 46^\circ$$

$$\omega_P = 2\pi \times 2.7 \text{ kHz} = 1.6965 \times 10^4 \text{ rad/sec}$$

$$f_{CH} = 500 \text{ kHz}$$

$$K_{VCO} = 22 \text{ MHz/Volt}$$

$$K_\phi = 1 \text{ mA}/(2\pi \text{ rad})$$

$$N = 5800$$

$$ATTEN = 62/2 \text{ dB}$$

$$T_1 = \frac{\sec \phi_P - \tan \phi_P}{\omega_P} = 2.3816 \times 10^{-5} \text{ sec}$$

$$T_3 = \sqrt{\frac{\frac{ATTEN}{10} - 1}{(2\pi \times f_{CH})^2}} = 1.1515 \times 10^{-5} \text{ sec}$$

$$\omega_C = \frac{\tan \phi_P (T_1 + T_3)}{(T_1 + T_3)^2 + T_1 T_3} \cdot \sqrt{1 + \frac{(T_1 + T_3)^2 + T_1 T_3}{[\tan \phi_P (T_1 + T_3)]^2} - 1}$$

$$= 1.1102 \times 10^4 \text{ rad/sec}$$

하모닉 발진을 이용한 5.8 GHz 대역 주파수 합성기

$$T_2 = \frac{1}{\omega_C^2 (T_1 + T_3)} = 2.2965 \times 10^{-4} \text{ sec}$$

$$C_1 = \frac{T_1}{T_2} \cdot \frac{K_\phi K_{VCO}}{\omega_C^2 N} \sqrt{\frac{1 + \omega_C^2 T_2^2}{(1 + \omega_C^2 T_1^2)(1 + \omega_C^2 T_3^2)}} = 8.38 \text{ nF}$$

$$C_2 = C_1 \cdot \left(\frac{T_2}{T_1} - 1\right) = 72.44 \text{ nF}$$

$$R_2 = \frac{T_2}{C_2} = 3.17 \text{ k}\Omega$$

$$C_3 = C_1/10 = 838 \text{ pF}$$

$$R_3 = \frac{T_3}{C_3} = 13.74 \text{ k}\Omega$$

실제 구현 위의 수식에서 계산된 값으로 정하고 이후 좋은 특성을 얻기 위해 루프필터 값을 조절하여 제작하였다.

2-3 측정(Measurement)

본 측정에서는 바이어스 전원을 5 V로 인가하여 사용했으며, 전체 전류는 제작한 주파수 합성기에서 36 mA가 소비되었다. 컴퓨터 프로그램(Codeloader: National Semiconductor 社)을 사용하여 PLL IC를 동작시켜 주파수 위상을 고정하고 5.8 GHz를 기준으로 측정이 이루어졌다.

제작 후 측정된 주파수 합성기의 사용가능 주파수 범위는 5650~5940 MHz로 대역폭은 290 MHz이며 원래 설계 목표인 5800~5880 MHz 전후로 약 60~150 MHz 이상의 여유를 갖고 있으며, 출력 전력은 -1.5~-0.83 dBm이다.

그림 14는 제작한 5 GHz 대역의 주파수 합성기의

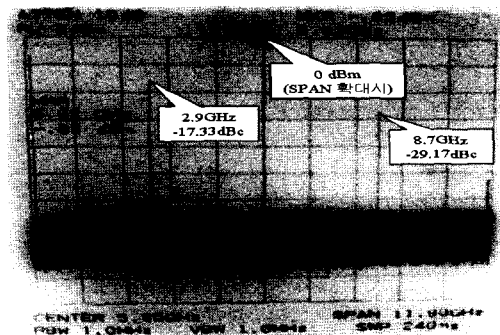


그림 14. 제작한 주파수 합성기의 출력 스펙트럼
Fig. 14. Power spectrum of the fabricated frequency synthesizer.

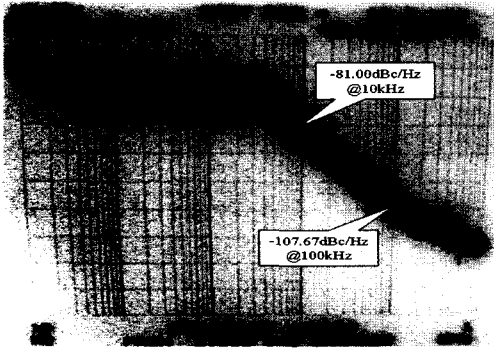


그림 15. 제작한 주파수 합성기의 위상잡음특성
Fig. 15. Phase noise characteristic of the fabricated frequency synthesizer.

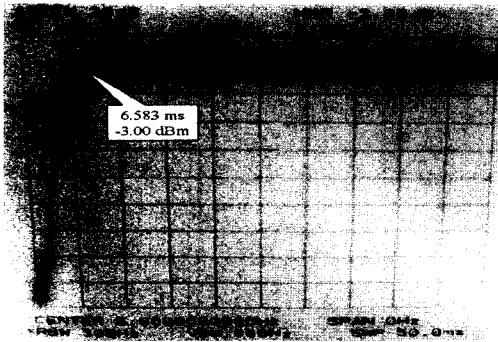


그림 16. 주파수 획득 시간 특성
Fig. 16. Lock time characteristic.

출력 스펙트럼을 보여주고 있다. 발진 출력은 0 dBm, 부고조파 성분 억제는 17 dBc, 3차 고조파 성분은 29 dBc 정도 억제되었다.

그림 15는 제작한 회로의 위상잡음특성을 보여주고 있다. 5.8 GHz 중심 주파수에서 -81 dBc/Hz @10 kHz와 -107 dBc/Hz @100 kHz의 특성을 얻었다.

그림 16은 주파수 획득시간을 스펙트럼 분석기를 이용하여 측정한 결과를 보여주고 있다.

III. 결 론

본 논문에서는 소형화 및 저가격화에 중점을 둔 5 GHz 대역의 전압제어 발진기 및 주파수 합성기를 설계, 제작하였다.

그림 17은 실제 제작된 주파수 합성기의 사진이며, 크기는 19.05 mm×19.05 mm이고, VCO 회로는 13 mm×13 mm 정도에서 구현이 가능하다. 또한

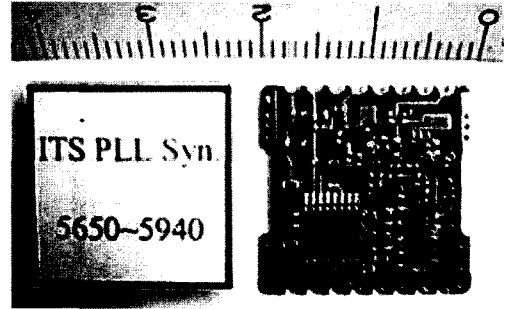


그림 17. 제작한 주파수 합성기의 사진(19.05×19.05 mm²)
Fig. 17. Photograph of the fabricated frequency synthesizer(19.05×19.05 mm²).

표 1. 측정 결과
Table 1. Measured data.

측정 항목	단위	측정치
Supply Voltage	[V]	5
Frequency Range (PLL)	[MHz]	5650~5940
Output Power Level (PLL)	[dBm]	-1.5~0.83
Current Consumption (VCO)	[mA]	36
(PLL)		
Sub-Harmonics (PLL)	[dBc]	-17.33
Super-Harmonics (PLL)	[dBc]	-29.17
5.8 GHz Phase Noise	@10 kHz	[dBc/Hz]
	@100 kHz	
Channel Spacing	[kHz]	500
Reference Frequency	[MHz]	10
Lock Time	[ms]	6.583

Meander line 형태로 전송선을 사용한다면 다층기판이나 칩 인덕터 등을 사용하게 되면 10 mm×10 mm 미만의 크기에도 구현 가능하리라 보며 또한 능동소자의 수를 줄임으로써 소모전류도 줄일 수 있을 것이라 판단된다. 측정 결과는 다음의 표 1과 같다. 본 논문에서 설계한 주파수 합성기는 저가의 구현 방식으로 WLAN, ITS 등 5 GHz 대역의 서비스에 성공적으로 적용이 가능할 것으로 사료된다.

참 고 문 헌

[1] Quan Xue, "A wideband subharmonically injection-locked frequency synthesizer for LMDS", *Micro-*

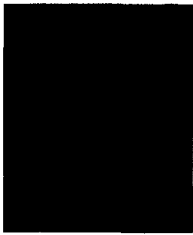
wave and Optical Technology Letters, vol. 30, no. 5, pp. 310-312, 2001.

- [2] 김지혜, 황인성, 윤상원, "Injection locking 방법을 이용한 5 GHz대역 주파수 합성기 설계", 2003년 춘계 마이크로파 및 전파통신학술대회 논문집, 26(1), pp. 335-338, 2003년 5월.
- [3] 나정응, "전압조정 발진기에 관한 연구", 한국과학기술원, 쌍신전기 위탁연구 보고서, pp. 40-54,

1992년 2월.

- [4] "An analysis and performance evaluation of a passive filter design technique for charge pump PLL's", *National Semiconductor Application Note 1001*, pp. 4, Jul. 2001.
- [5] 고윤수, "WLL용 PLL 모듈 설계 및 제작", 충남대학교 대학원 석사학위논문, pp. 47-55, 1999년 2월.

최 종 원



2000년 2월: 서울시립대학교 전자전기공학부 (공학사)
 2003년 3월~현재: 서울시립대학교 전자전기컴퓨터공학부 석사과정
 [주 관심분야] 마이크로파 능동 회로(MMIC, Hybrid), 발진기 및 주파수 합성기 설계

이 문 규



1992년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)
 1994년 2월: 서울대학교 전자공학과 (공학석사)
 1999년 2월: 서울대학교 전기공학부 (공학박사)
 1999년 2월~2002년 2월: 한국전자통신연구원 통신위성개발센터 선임연구원
 2002년 3월~현재: 서울시립대학교 전자전기컴퓨터공학부 조교수
 [주 관심분야] 마이크로파/밀리미터파 능동(MMIC, Hybrid) 및 수동 부품회로 설계

신 금 식



1997년 2월: 경희대학교 전자공학과 (공학사)
 1997년 3월~2004년 2월: (주)한국쌍신전자통신 연구원
 2004년 3월~현재: 서울시립대학교 전자전기컴퓨터공학부 석사과정
 [주 관심분야] 마이크로파 발진기

및 주파수 합성기 설계