

# 시간 제약 조건하에서의 모듈 선택 재사용을 위한 전력 감소 스케줄링

최 지 영\*, 김 회 석\*\*

## Reducing Power Consumption of a Scheduling for Reuse Module Selection under the Time Constraint

Ji-young Choi\*, Hi-seok Kim\*\*

### 요 약

본 논문은 시간 제약 조건하에서의 모듈 선택 재사용을 이용한 전력 감소 스케줄링을 제안한다.

일반적인 상위 수준 합성에서의 스케줄링은 실제적인 라이브러리의 복잡한 재사용을 허용하지 않는다. 반면 제안한 전력 감소 스케줄링에서는 주어진 사용자 정의 모듈을 실제적인 RT 라이브러리 모듈 재사용과 공유된 자원에서의 스위치 활동의 자원 공유함으로써 설계의 생산성 및 소비 전력을 줄이는데 효율적으로 접근할 수 있다.

또한 비교 실험에서 스케줄링 기법인 체이닝과 멀티사이클링을 이용해 다양한 상위 레벨 벤치마크의 환경에서 최적의 스케줄링의 결과를 얻는다.

키워드 : 시간 제약, 모듈선택, 재사용, 전력감소, 스케줄링

### ABSTRACT

In this paper, we present a reducing power consumption of a scheduling for reuse module selection under the time constraint.

Traditional high-level synthesis do not allow reuse of complex, realistic datapath component during the task of scheduling. On the other hand, the proposed scheduling of reducing power consumption is able to approach a productivity of the design the low power to reuse which given a library of user-defined datapath component and to share of resource sharing on the switching activity in a shared resource.

Also, we are obtainable the optimal the scheduling result in experimental results of our approach various HLS benchmark environment using chaining and multi-cycling in the scheduling techniques.

### 1. 서 론

최근 우리 주변에 휴대폰 전자수첩, 노트북 등과 같은 휴대용 기기가 사용이 많아졌다. 이러한 휴대

용 기기들은 휴대성을 높이기 위해서 크기가 작고 형태의 디지털 시스템의 휴대화에 대한 수요가 급증하게 되었다. 특히, 휴대용 장치에 있어서 크기나 중량과 더불어 중요한 요소를 차지하는 배터리 용량은 집적 회로가 소모하는 전력에 직접적으로 비

\* 제천기능대학 정보통신설비과 (cjy03@kopo.or.kr)

\*\* 충주대학교 전자공학과 (khs8391@chongju.ac.kr)

논문번호 : 030407-0917, 접수일자 : 2003년 9월 17일

※본 연구는 과학기술부·한국과학기술재단지정 충주대학교 정보통신 연구센터의 지원에 의한 것입니다.

레하게 되었다. 그리고 전력 손실이 큰 회로에 대한 packaging/cooling 비용의 상승으로 저 전력 소모를 위한 디지털 시스템 설계의 필요성이 요구되고 있다. 그러나 최근까지는 이러한 추세와는 달리 디지털 시스템의 설계에 있어서 주된 관심은 대상 회로의 속도의 증가와 성능 측면에 중점을 두어 왔으며, 상위 수준에서의 저 전력 소모를 지원하기 위한 연구가 최근 활발히 진행되고 있는 실정이다. 일반적으로 CMOS 회로에서의 전형적인 전력 소모의 요인으로 스위칭 활동(switching activity), 누설전류(leakage current), 폐회로 전류(short-circuit current) 등에 의하며, 이들 중 스위칭 동작에 의한 전력 소모가 약 90% 이상으로 가장 큰 비중을 차지한다.[1-4]. 이런 스위칭 전력은 CMOS 회로의 입력의 스위칭에 따라 공급 전압으로부터 충전되거나 접지로 방전될 때 발생하는 스위칭 전력 소모를 나타낸다. CMOS 게이트에서 소모되는 평균 전력[3]은 (1)의 식과 같다.

$$P = fCV_{dd}^2 \dots\dots\dots \text{식 (1)}$$

여기서 f은 샘플 주기마다 클럭 사이클의 수,  $V_{dd}$ 는 공급전압, C는 클럭 주기마다 평균 스위칭 캐패시터이다. 즉 스위칭 동작의 수를 의미한다. CMOS 회로에서는 데이터의 스위칭 동작이 발생하지 않을 경우 전력 손실이 없으므로, 저 전력 회로 설계에 있어서 최소의 스위칭 동작을 허용하는 것이 중요한 관점으로 적용된다. 현재 저 전력 설계를 위해 공급 전압의 감소, 스위칭 동작의 최소화 등을 통한 여러 가지 설계 방식을 제안하고 있다. 상위 수준 합성은 설계하고자하는 동작 기술로부터 주어진 제한조건과 목적함수를 만족하는 레지스터 전송(register-transfer) 레벨의 구조를 생성하는 단계를 의미한다. 저 전력 회로의 구현은 여러 설계 수준의 범위를 포함해야하며 회로 설계 시 초기 단계의 결정은 다음 단계에 큰 영향을 미치므로 상위 레벨에서의 조기 최적화는 매우 중요하다.[5-8] 이런 상위 수준 합성은 스케줄링, 할당, 바인딩으로 구성된다. 스케줄링은 동작 기술에서 연산(operation)들을 특정한 제어단계에 할당하는 과정이다. 할당은 구현되는 하드웨어 면적이 최소가 되도록 연산을 기능 연산자(functional unit)에 변수(variable)를 레지스터에 지정하고 레지스터와 연산자 사이의 연결구조(interconnection)로 버스(bus)나 멀티플렉서(multiplexer)를 할당하는 과정이다.

본 논문의 구성은 서론에 이어 2장에서는 시간 제약에 따른 모듈 선택을 고려한 전력 감소 스케줄링을 기술하고, 3장에서는 실험 결과로서 전력 감소 스케줄링 효율성을 입증하고 마지막으로 결론을 논한다.

## II. 시간 제약 조건하에서의 모듈 선택 재사용을 위한 전력 감소 스케줄링 알고리즘

시간 제약 조건하에서의 모듈 선택을 고려한 전력 감소 스케줄링은 RT 라이브러리로부터 가산(adder)연산을 리플 캐리 가산(ripple carry adder), 캐리 룩어 헤드 가산(carry-look ahead adder), 스큐 캐리 가산(skew carry adder) 등 여러 아키텍처 구조의 가산 모델링을 라이브러리로 선택하고 재사용한다. 또한 전력 감소를 위한 스케줄링에서는 자원 공유와 스위칭 활동의 공유로 인한 전력 감소를 추구한다. 모듈 선택이란 RT(Register-transfer) 라이브러리로부터 CDFG에서 컴포넌트 타입을 연산자에게 매핑(mapping)하는 과정이다. 그림1은 재사용 RT 라이브러리를 통한 상위 수준 합성 과정을 나타낸다.

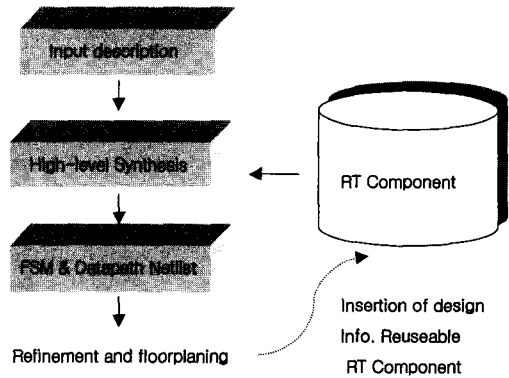


그림1. 재사용 설계를 위한 상위 수준 합성

### 2.1 모델 및 표현

#### 1) RT 라이브러리

우리는 라이브러리를 표1과 같이 표시된 것을 채택하였다. 각 아키텍처에 적합한 연산의 캐패시터,

지연, 영역, 및 비트를 포함한 정보를 표현한다. 라이브러리 고정 연산 집합을 고정하여 두고, 또한 클럭 사이클은 최적화 된 파라미터로서 적용할 수 있게 하였다. 일반적인 규칙으로는, 설계의 클럭 주기가 감소함에 따라 좀 더 많은 사이클의 연산의 컴포넌트들이 느리게 연산되는 원인이 된다. 그리고 재사용 가능한 RT 라이브러리의 예를 들면 그림 2에서와 같이 같은 가산 연산이라 하더라도 각 구조에 따라 모듈 선택을 달리 선택하여야 한다. 그림 2는 RT 라이브러리를 나타낸다.

표 1. 제약 조건에 따른 RT 라이브러리

|                  |            |      |       |      |   |
|------------------|------------|------|-------|------|---|
| ripple carry     | mod        | 3.82 | 16.4  | 188  | 4 |
|                  | max        | 3.82 | 17.8  | 196  | 4 |
|                  | min        | 3.82 | 17.8  | 196  | 4 |
|                  | adder      | 3.18 | 12.6  | 124  | 4 |
|                  | subtr      | 3.36 | 14.0  | 132  | 4 |
|                  | array mult | 59.2 | 117.4 | 2526 | 4 |
| carry look-ahead | mod        | 4.07 | 11.4  | 326  | 4 |
|                  | max        | 4.07 | 12.8  | 340  | 4 |
|                  | min        | 4.07 | 12.8  | 340  | 4 |
|                  | adder      | 3.43 | 9.0   | 196  | 4 |
|                  | subtr      | 3.54 | 10.4  | 208  | 4 |
| skew carry       | array mult | 71.6 | 61.6  | 3213 | 4 |
|                  | booth mult | 79.4 | 56.2  | 3562 | 4 |

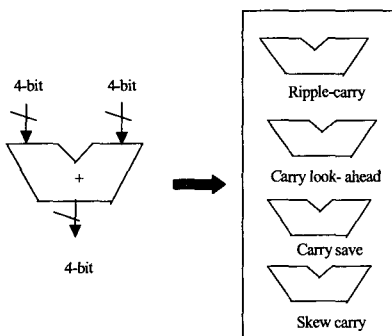


그림 2. RT 컴포넌트

## 2) RT 컨트롤 데이터 플로우 그래프 (RT Control Data Flow Graph)

전제 조건으로 RT 라이브러리를 기반으로 입력 기술 즉, 상위 수준 언어, VHDL, Verilog 등 여러 가지 동작 기술로 중간 표현인 CDFG를 생성한다. 입력 기술 가운데 VHDL의 표현 방법 중 자료 흐름 모델링을 토대로 하고 있다. 프로세서 문은 VHDL 기술 구조 내에서 동작적 기술로 표현할 수 있는 가장 일반적인 회로 표현 방법이다. 프로세서 문 자체는 병행문이므로 여러 개의 프로세서 문이 있으면 이들을 병행적으로 수행되며, 프로세서 문 내부는 하나씩 차례로 수행되는 순차문으로 표현된다. 이런 VHDL 기술을 입력으로 받아 중간 표현인 데이터 플로우 그래프(DFG)를 추출한다. 다음 그림 3은 입력 기술 및 데이터 플로우 예를 나타낸다.

```

ENTITY toy IS
  PORT (a, b : IN INTEGER;
        --%PRAGMA BIT_WIDTH 4
        c : OUT INTEGER);
        --%PRAGMA BIT_WIDTH 5
END toy;
ARCHITECTURE young OF toy IS
BEGIN
  P : PROCESS(a,b)
    VARIABLE u, v : INTEGER;
    --%PRAGMA BIT_WIDTH 5
  BEGIN
    u := a + b;
    v := a - b;
    IF( a > b)
      THEN
        c <= u;
      ELSE
        c <= v;
      END IF;
    END PROCESS;
  END young;
  
```

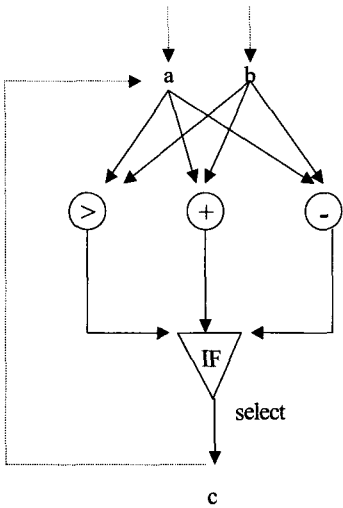


그림 3. VHDL 기술 및 데이터 플로우 그래프

## 2.2 전력 감소를 위한 스케줄링 알고리즘

전력 감소를 위한 스케줄링에서는 스케줄링 동안에 데이터 플로우 그래프에서의 절대적인 연산들이 RT 라이브러리를 통한 모듈 선택의 인스턴스가 결정되면 다양한 연산을 제어단계에 할당한다. 또한 전력 감소를 고려해서 자원 및 스위칭 활동 공유를 통해 전력 감소를 수행한다. 그림 4는 스케줄링의 예를 제시한다.

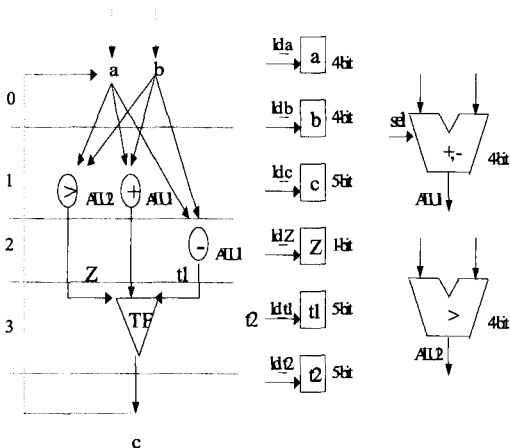


그림 4. 스케줄링의 예

Generate CDFG:

```

For each operation {
    Annotate nodes in fan_in and control inputs
    of operation;
    Compute new ASAP of each node in the
    fan_in of the control input;
    Compute new ALAP of each node in the
    of control input;
    If for any node ASAP > ALAP
        then power management not
        possible for operation;
        else assign new ASAP and ALAP
    }
    
```

Creat control edge between last node in the control fan\_in and top nodes operation for which power management is possible;

Execute Force-Directed scheduling;

Generate final Data path and Controller circuits;

그림 5. 전력 감소 스케줄링 알고리즘

그리고 스케줄링 알고리즘에서 CDFG를 일반화한 뒤 각 연산에 대해 ASAP와 ALAP를 수행한다. 여기서 ASAP 스케줄링은 사용되는 하드웨어 자원에 제한을 두지 않고 데이터의 흐름에 따라 각 연산이 동작할 수 있는 제일 빠른 시간을 할당하는 스케줄링 방법이고, ALAP 스케줄링은 각 연산이 동작할 수 있는 제일 늦은 시간을 할당하는 방법이다. 전력 감소 즉, 전력 관리 측면에서는 자원 공유 및 스위칭 활동에 대해서는 반복되는 구간에 한해서 멀티 사이클링과 체이닝 기법으로 이용해 전력 감소를 수행하였다. 전반적인 스케줄링을 시간제약을 둔 Force-directed 스케줄링을 기반으로 하였다. 그림 5는 전력 감소 스케줄링 알고리즘을 설명한다. 또한 그림 6은 자원 공유 상에서의 스위칭 활동과의 관계를 나타내는 것이다.

### III. 실험 결과

본 논문의 스케줄링 알고리즘은 C 언어로 SUN SPARC 워크스테이션에서 구현되었다. 입력 파일은 스케줄링의 옵션 즉, 체이닝과 멀티사이클링과 전과 지연을 제약으로 두고 사용하였다. 그리고 컴포넌트는 일반화된 합성된 시뮬시스를 이용한 모듈과 VHDL 모델로부터 합성된 것을 이용하였다. 출력은 데이터 경로와 상태 집합 스케줄러로 표현하였다.

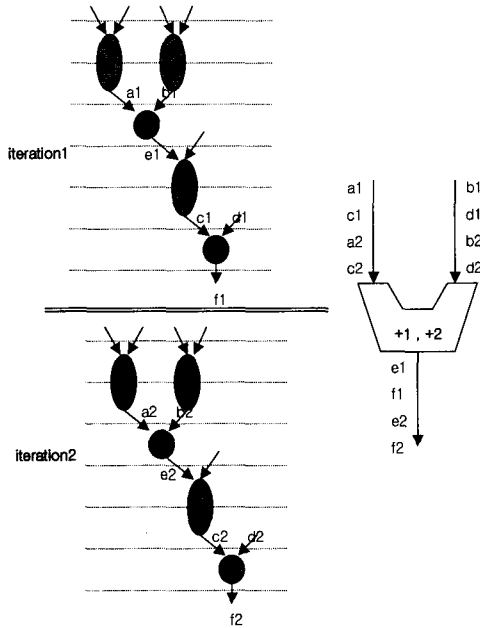


그림 6. 공유된 자원에서의 스위칭 활동과 자원공유 영향

표 1. Elliptic Filter의 스케줄링 결과  
(NA2 : 주어진 스케줄링을 가지고 스케줄링이 불가능)

| Scheduling options                | Max. delay | # states in schedule | Find best | Exhaustive search |
|-----------------------------------|------------|----------------------|-----------|-------------------|
| chaining multicycling             | 25ns       | 19                   | 97        | 100,000           |
| chaining multicycling             | 50ns       | 15                   | 139       | 100,000           |
| no chaining multicycling          | 25ns       | 19                   | 107       | 100,000           |
| no chaining multicycling          | 50ns       | 16                   | 112       | 100,000           |
| exclusive chaining & multicycling | 25ns       | 19                   | 97        | 100,000           |
| exclusive chaining & multicycling | 50ns       | 16                   | 99        | 100,000           |
| chaining no multicycling          | 50ns       | 16                   | 99        | 100,000           |

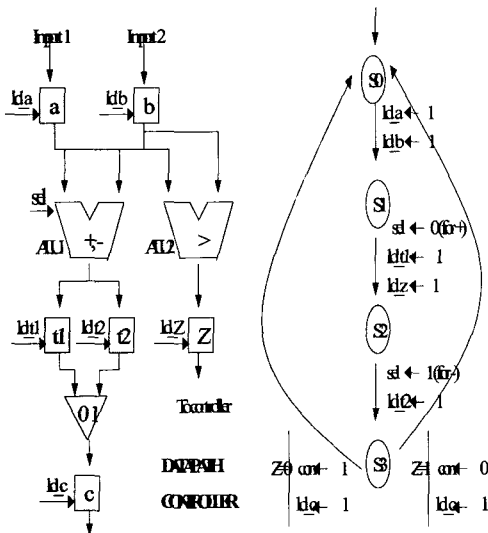


그림 7. 최종적인 데이터 경로와 컨트롤러

표 2. Differential Equation 의 스케줄링 결과

| Allocation (8bit component)   | Scheduling options                | Max. delay | # states in schedule | Find best | Exhaustive search |
|---|-----------------------------------|------------|----------------------|-----------|-------------------|
| 2 ALUs<br>2 Carry-Save Multiplier<br>1 1bit, or gate                    | chaining multicycling             | 55ns       | 12                   | 26        | 100,000           |
|   | exclusive chaining & multicycling | 55ns       | 9                    | 26        | 100,000           |
| 2 ALUs<br>2 Carry-Save Multiplier<br>1 8-bit Shifter<br>1 1bit, or gate | chaining multicycling             | 55ns       | 10                   | 28        | 100,000           |
|   | exclusive chaining & multicycling | 55ns       | 9                    | 27        | 100,000           |

#### IV. 결 론

본 논문은 시간 제약 조건하에서의 모듈 선택 재사용을 이용한 전력 감소 스케줄링을 제안하였다.

제안한 전력 감소 스케줄링에서는 주어진 사용자 정의 모듈을 실제적인 RT 라이브러리 경로 모듈 재사용과 자원 공유 및 스위치 활동을 공유함으로써 설계의 생산성 및 소비 전력을 줄이는데 효율적으로 접근함과 동시에 스케줄링 기법인 체이닝과 멀티사이클링을 이용해 비교 실험에서와 같이 각 아키텍처에 따른 다양한 상위 레벨 벤치마크를 통해 최적의 전력 감소 스케줄링의 결과를 얻었다.

향후 연구과제로는 전력 감소 스케줄링의 알고리즘을 토대로 다양한 단계의 벤치마크 수행이 선행되어야 하겠다.

#### 참 고 문 헌

- [1] R. Hartley, "Behavioral to Structural Translation in a Bit-Serial Silicon Compiler," IEEE Trans. CAD, vol. 7. no. 8, Aug. 1988, pp.877-886
- [2] A. Chandrakasan, R. Brodersen, "Minimizing Power Consumption in Digital CMOS Circuits," IEEE Proceedings, vol. 83, no. 4, April 1996, pp.498-523
- [3] A. Chandrakasan et al., "Low-Power CMOS Digital Design," J. Solid-State Circuits, vol.27, no.4, April 1992, pp.473-484
- [4] A. Ghosh, " Estimation of Average Switching Activity in Combination and Sequential Circuits", in Proc. 29th DAC, June 1992, pp.253-259
- [5] P. Landman, " Power Estimation of High-Level Synthesis", in Proc. European DAC, Feb. 1993, pp.361-366
- [6] A. Chandarksan et al., "HYPER-LP: A System fo Power Minimization Using Architecture Transformation," in Proc. ICCAD, Nov. 1992, pp.300-303
- [7] R. Martin, "Power-Profiler : Optimizing ASICs Power Consumption at the Behavioral Level," in Proc. 32nd DAC, June 1995, pp.42-47

- [8] J. Chang, "Register Allocation and Binding for Low Power", in Proc. 32nd DAC, June 1995, pp.29-35.

#### 최 지 영(Ji-young Choi)



1997년 2월 세명대학교 전자계산학과 졸업 (이학사)

1999년 2월 세명대학교 전산정보학과 졸업 (이학석사)

2000년 3월 ~ (현재) 청주대학교 전자공학과 박사과정

2002년 3월 ~ (현재) 제천기능

대학 정보통신과 전임강사

<관심분야> CAD, 알고리즘, 상위레벨합성, 저전력

#### 김 희 석(Hi-seok Kim)



1977년 2월 한양대학교 전자공학과 졸업 (공학사)

1980년 2월 한양대학교 전자공학과 졸업 (공학석사)

1985년 8월 한양대학교 전자공학과 졸업 (공학박사)

1987년 9월 ~ 88년 9월 미국 University of Colorado at

Boulder 객원 교수

1996년 8월 ~ 97년 7월 미국 University of Callifornia at Irvine 객원 교수

1981년 3월 ~ 현재 청주대학교 전자공학과 교수

<관심 분야> CAD, 컴퓨터 구조, 컴퓨터 알고리즘