

박막 게이트 산화막에 대한 Ru-Zr 금속 게이트의 신뢰성에 관한 연구

論 文

53C-4-4

A Study on the Reliability of Ru-Zr Metal Gate with Thin Gate Oxide

李 忠 根* · 徐 賢 尙** · 洪 信 男***

(Chung-Keun Lee · Hyun-Sang Seo · Shin-Nam Hong)

Abstract - In this paper, the characteristics of co-sputtered Ru-Zr metal alloy as gate electrode of MOS capacitors have been investigated. The atomic compositions of alloy were varied by using the combinations of relative sputtering power of Ru and Zr. C-V and I-V characteristics of MOS capacitors were measured to find the effective oxide thickness and work function. The alloy made of about 50% of Ru and 50% of Zr exhibited an adequate work function for *n*MOS. C-V and I-V measurements after 600 and 700°C rapid thermal annealing were performed to prove the thermal and chemical stability of the Ru-Zr alloy film. Negligible changes in the accumulated capacitance and work function before and after annealing were observed. Sheet resistance of Ru-Zr alloy was lower than that of poly-silicon. It can be concluded that the Ru-Zr alloy can be a possible substitute for the poly-silicon used as a gate of *n*MOS.

Key Words : Gate Metal, Co-sputtering, Work function, Ru, Zr

1. 서 론

100nm 이하의 실리콘 CMOS 소자에서는 단채널 효과를 억제하기 위해 10Å 이하의 유효 산화막 두께(effective oxide thickness: EOT)를 필요로 한다[1]. 그러나 실리콘 산화막(SiO₂)과 폴리실리콘 게이트로는 이 조건을 만족시키기 힘들기 때문에 high-k 절연체와 금속 게이트를 CMOS에 적용시키기 위한 많은 연구가 진행되고 있다[2]. 폴리실리콘 게이트는 붕소(boron) 침투, 높은 면저항 그리고 게이트 공핍(poly depletion) 등의 단점을 갖고 있다[3]. 특히 게이트 공핍은 유효 산화막 두께가 감소함에 따라 더욱 심각한 문제가 되고 있다. 또한 폴리실리콘 게이트는 high-k 절연체와 열적으로 불안정하기 때문에 high-k 물질을 사용할 경우에는 금속이 폴리실리콘보다 유리하다.

금속 게이트가 CMOS 소자에 적용되기 위해서는 적합한 일함수, 공정의 적합성, 게이트 산화막과의 열적 안정성 등을 가져야만 한다[4]. TiN, W과 같은 mid-gap 일함수 금속을 게이트 전극으로 사용한 MOS의 경우에는 문턱전압이 너무 높고 단채널 효과가 심하기 때문에 mid-gap 일함수의 금속은 CMOS 소자에는 적합하지 않다[5]. 따라서 n⁺와 p⁺ 폴리실리콘을 대체하면서 적절한 단채널 성능과 문턱전압을 유지하기 위해서 *n*MOS와 *p*MOS에 사용되기 위한 금속 게

이트 전극의 일함수는 n⁺와 p⁺로 도핑(doping)된 폴리실리콘의 일함수인 4eV와 5eV에 가까운 값을 각각 가져야 한다[6]. *p*MOS의 경우에는 Mo와 RuO₂처럼 적절한 후보들이 나타난 반면에 *n*MOS에 적합한 일함수를 갖는 금속들은 게이트 산화막과 반응하여 금속 산화층이나 실리사이드(silicide)층을 형성하는 열적 불안정성을 가지고 있다 [6-7]. 이런 계면층은 유효 산화막 두께를 감소시키고 금속의 일함수를 변화시켜 소자의 성능에 좋지 않은 영향을 준다. 따라서 금속 게이트가 CMOS의 게이트 전극으로 사용되기 위해서는 적합한 일함수와 열적 안정성을 가져야 한다.

본 논문에서는 *n*MOS의 게이트 전극으로 Ru-Zr 합금을 연구하였다. 적합한 일함수를 갖는 합금 조성을 찾기 위하여 Ru과 Zr을 6개의 조건으로 co-sputtering 하였다. Co-sputtering 방법을 사용하여 증착된 게이트 전극은 앞에서 언급한 금속 게이트 전극의 조건을 만족하며 재료·공정적으로 경제적이다. 또한 금속 증착된 합금이 후속 열처리 공정에 대하여 열적으로 안정한지 검증하기 위해서 600°C와 700°C에서 급속 열처리(rapid thermal annealing: RTA)를 수행하였다. 합금의 열적 안정성은 열처리 이후의 유효산화막 두께와 일함수 변화를 통해 확인하였다.

2. 본 론

2.1 실험 방법

본 논문에서는 *n*MOS에 적합한 게이트 전극의 특성을 연구하기 위해서 비교적 시편의 제작이 간단한 MOS 커패시터를 제작하여 그 특성을 연구하였다. MOS 커패시터(capacitor)를 제작하기 위하여 붕소로 8×10¹⁷cm⁻³만큼 도핑된 (100) *p*형 실리콘 기판 위에 3500Å의 필드 산화막(field

* 正 會 員 : 韓 國 航 空 大 學 校 航 空 電 子 工 學 科 博 士 課 程

** 正 會 員 : 韓 國 航 空 大 學 校 航 空 電 子 工 學 科 碩 士 課 程

*** 正 會 員 : 韓 國 航 空 大 學 校 電 子 · 情 報 通 信 · 컴퓨터
工 學 部 · 教 授

接受日字 : 2003年 12月 17日

最終完了 : 2004年 1月 19日

oxide layer)을 성장시켰고 35Å의 게이트 산화막을 열산화 방법으로 성장시켰다. 현재 SiO₂의 경우 재료적·물리적인 한계로 인하여 안정적으로 10Å의 두께로 만들기 어렵다. 또한 10Å의 두께로 산화막을 형성할 경우 높은 누설전류 특성 등으로 인하여 게이트 전극의 특성을 파악하기 어렵기 때문에 안정적으로 동작할 수 있는 35Å의 산화막을 갖는 시편을 제작하여 실험하였다. 순도 99.95%의 Ru 타겟(target)과 순도 99.95%의 Zr 타겟을 3×10⁻⁹torr의 압력에서 스퍼터링(sputtering)을 수행하여 500Å의 합금 게이트 전극을 증착시켰다. 다양한 조성비를 갖는 합금막을 구성하기 위해 Ru과 Zr의 스퍼터링 전력을 조절하여 여섯 조합으로 스퍼터링을 수행하였다. 대기 중의 산소와 Zr이 반응할 경우 high-k 산화막이 합금막의 윗부분에 생성될 수 있다. 이를 방지하기 위해 합금을 증착한 후에 Ru 타겟만을 사용하여 보호막(capping layer)으로 스퍼터링 하였다. MOS 커패시터는 lift-off 공정으로 패턴(pattern) 되었다.

합금의 조성비는 field emission-scanning electron microscopy(FE-SEM)를 이용하여 측정하였다. C-V 특성과 I-V 특성은 각각 HP 4280 LCR meter(1MHz)와 HP 4155 반도체 분석기를 사용하여 10⁻⁴cm² 면적의 MOS 커패시터에서 측정하였다. 시편의 평탄 전압(V_{FB})과 유효 산화막 두께는 양자 모델(quantum model)[8]을 이용하여 구하였다. 금속막의 면저항은 4점 탐침기를 사용하여 측정하였다. 합금의 열적 안정성을 검증하기 위해 시편을 아르곤(Ar) 분위기로 600°C와 700°C에서 10초간 급속 열처리 하였다. 열처리 이후의 유효 산화막 두께와 일함수를 비열처리 결과와 비교하였다.

2.2 결과 및 고찰

그림 1은 제작된 MOS 커패시터의 열처리 이전의 C-V 특성이다. Zr에 대한 Ru의 전력 비율이 증가함에 따라 MOS 커패시터의 C-V 곡선은 오른쪽으로 이동하였다. 여기서 전력비율은 Zr과 Ru의 타겟에 가해지는 각각의 전력을 Ru의 비율로 환산한 것이다. 즉 Zr과 Ru의 타겟에 가해지는 전력이 각각 100W라면 Ru의 전력 비율은 50%가 된다. 그림에서 Ru의 전력비율이 증가함에 따라 C-V 곡선이 오른쪽으로 이동하는 것은 합금에서 Ru의 원자 조성 비율이 증가함에 따라 합금의 일함수가 커지는 것을 나타낸다.

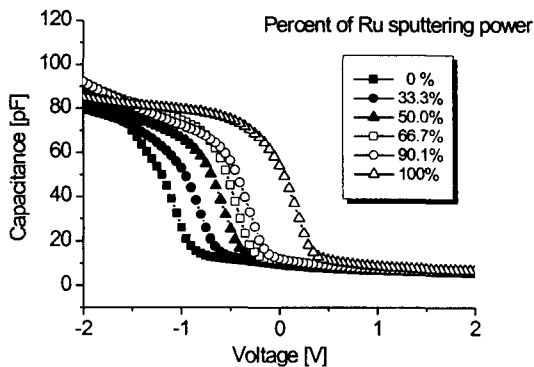


그림 1 Ru-Zr 합금의 C-V 특성 곡선
Fig. 1 C-V curves of Ru-Zr alloy gates

C-V 곡선으로부터 양자 모델을 사용하여 평탄전압을 얻어내고, 이 값을 다음 식에 대입하여 합금의 일함수를 구하였다.

$$V_{FB} = \phi_{MS} \pm Q_f / C_{acc} \quad (1)$$

$$\phi_{MS} = \phi_M - \left(\chi + \frac{E_g}{2q} + \psi_B \right) = 0 \quad (2)$$

식 1에서 V_{FB}는 평탄 전압, C_{acc}는 축적 상태의 정전용량, Q_f는 고정 전하(fixed charges)를 나타낸다. 그리고 수식에서 고정 전하가 음전하인 경우 (+)부호 수식을 만족하고 양전하인 경우 (-)부호 수식을 만족한다. 그리고 식 2에서 φ_{MS}는 금속과 반도체의 일함수 차이, χ는 반도체의 전자 친화도 (χ=4.05eV), E_g는 반도체의 가전자 대역과 전도대역의 에너지 차이(E_g=1.12eV), ψ_B는 진성 Fermi 준위 E_i와 Fermi 준위 E_F 간의 차이를 나타낸다.

표 1에는 Ru의 전력 비율에 따른 시편의 일함수를 나타내었다. Ru의 전력 비율에 따라 일함수는 3.89eV에서 5.19eV까지 다양한 값을 갖고 있다. Ru의 전력 비율이 33.3% 이하일 때 일함수는 3.89eV와 4.06eV로 nMOS에 적합한 값을 나타낸다. 그러나 Ru의 전력 비율이 0%인 순수 Zr은 600°C 급속 열처리 이후 측정된 시편의 축적 정전용량이 크게 증가하는 특성을 나타내었다. 이것은 이미 보고된 바와 같이 400°C 정도의 낮은 온도 열처리에서도 Zr이 SiO₂와 쉽게 반응하는 특성을 갖고 있기 때문에 일어난 현상이다[9]. 결과적으로 순수 Zr은 게이트 산화막과 열적으로 불안정하므로 게이트 전극으로 사용하기에 적합하지 않다는 것을 의미한다. 그러므로 본 연구에서 고려한 합금 중에 nMOS의 게이트 전극으로 적합한 것은 Ru의 전력 비율이 33.3%로 co-sputtering 된 합금이다. 이 합금을 FE-SEM으로 측정된 Ru과 Zr의 원자 조성비율은 각각 49.6%와 50.4%이다.

표 1 다양한 Ru 전력 비율에 따른 합금의 일함수
Table 1 Work function extracted from C-V curve for various percent of Ru power

Ru의 전력 비율 [%]	일함수 [eV]
0	3.89
33.3	4.06
50.0	4.43
66.7	4.51
90.1	4.79
100	5.19

표 2는 이원 Ru-Zr 합금 상태에서 Zr의 원자 조성 비율에 따른 평형상을 나타내고 있다[10]. Zr의 원자 조성 비율이 49% 미만일 경우에는 혼합상(Ru+Ru₁Zr₁), 즉 Ru이 많이 포함된 평형상을 나타내고, Zr의 원자 비율이 51%를 초과할 경우에는 혼합상 (Ru₁Zr₁+Zr)과 단일상(Zr)으로 Zr이 많이 포함된 평형상을 나타냈다. 합금의 일함수와 열적 안정성은 합금의 평형상에 따라 영향을 받는다. 일반적으로 Zr은 열적으로 매우 불안정한 물질이고 Ru은 열적으로 안

정한 물질인 것으로 알려져 있다[10]. 따라서 Zr이 많이 포함된 평형상은 열적으로 불안정하고 Ru이 많이 포함된 평형상은 열적으로 안정하다는 것을 예측할 수 있다. nMOS에 적합한 일함수를 나타내는 합금은 Ru-Zr 상태도에서 Zr의 조성비율이 49%~51%인 부분에 포함되므로 Ru₁Zr₁의 단일상을 나타낸다.

표 2 Ru-Zr 시스템에 대한 평형상
Table 2 Equilibrium phases for Ru-Zr system

Zr의 조성비율 [%]	평형상
0~49	혼합상 (Ru+Ru ₁ Zr ₁)
49~51	단일상 (Ru ₁ Zr ₁)
51~99	혼합상 (Ru ₁ Zr ₁ +αZr)
99~100	단일상 (αZr)

그림 2는 열처리 전과 후의 유효 산화막 두께 변화를 나타내고 있다. 비열처리 시편의 유효 산화막 두께는 36.7Å이었다. 이것은 성장된 게이트 산화막 두께(35Å)와 추출된 유효 산화막 두께가 크게 다르지 않음을 나타낸다. 비열처리 시편의 유효 산화막 두께와 700°C 급속 열처리로 열처리된 시편의 유효 산화막 두께 차이는 약 2.9Å으로 매우 작다. 이것은 Ru₁Zr₁ 합금은 SiO₂ 산화막과 700°C까지의 열처리에 열적으로 안정한 합금이라는 것을 나타낸다.

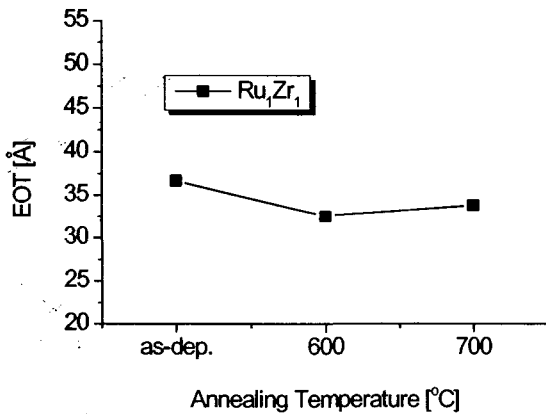


그림 2 열처리 온도에 따른 Ru₁Zr₁ 합금에 대한 SiO₂의 유효 산화막 두께 변화
Fig. 2 Effective oxide thickness change of SiO₂ with Ru₁Zr₁ alloy as a function of annealing temperature

게이트 물질이 열적으로 안정하다는 조건을 만족하려면 계면층이 형성되지 않아야 하며 일함수도 일정해야 한다. 열처리에 의해 합금 게이트의 일함수가 크게 변한다면 소자의 문턱전압도 변하게 되므로 소자가 일정한 성능을 유지하기 위해서 금속 게이트는 열처리 이후에도 일정한 일함수를 가져야 한다. 그림 3은 Ru₁Zr₁ 합금의 열처리 온도에 따른 일함수의 변화를 나타내고 있다. 스퍼터링 결함의 제거에 기인하여 열처리 이후 시편의 일함수는 4.15eV로 열처리 이전 시편의 일함수(4.06eV)보다 높다. 600°C와 700°C 급속 열

처리 후 일함수의 차이는 약 0.04eV로 매우 작다. 이것은 Ru₁Zr₁ 합금이 열적으로 안정하다는 것을 의미하며 금속 증착 공정 이후에 열처리 공정이 포함되어도 소자의 성능이 변화되지 않음을 나타낸다.

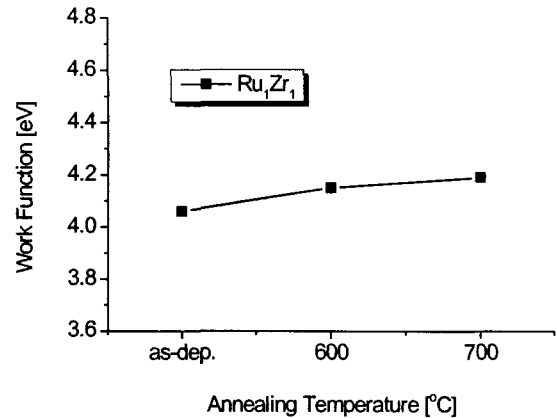


그림 3 열처리 온도에 따른 일함수의 변화
Fig. 3 Change of work function with annealing temperature

스퍼터링에 의한 금속막의 증착은 게이트 산화막에 손상을 줄 수 있다. 게이트 산화막의 손상은 일반적으로 게이트 누설전류를 증가시키는 결과를 낳기 때문에 누설전류 특성은 게이트 산화막의 무결성을 검증하기 위해 고찰되어야 한다. 그림 4는 700°C 급속 열처리 이후 측정된 MOS 커패시터의 게이트 누설전류를 나타내고 있다. 누설전류의 크기는 empirical 모델로 모의실험 된 SiO₂ 누설전류[11]와 비교하였을 때 적절한 값을 나타내고 있다. 이것은 스퍼터링으로 인한 금속막의 증착이 게이트 산화막 손상에 영향이 크지 않다는 것을 나타내는 것이다.

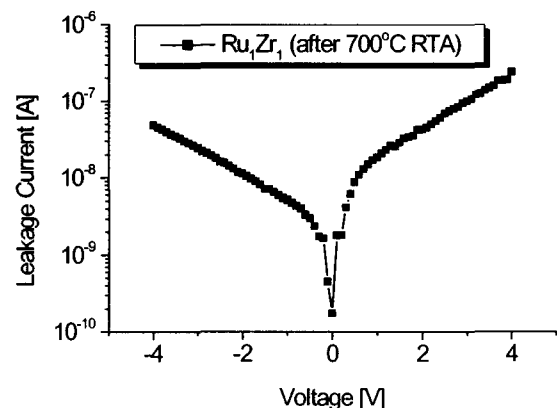


그림 4 700°C 급속 열처리 이후 MOS 커패시터의 게이트 누설 전류
Fig. 4 Leakage current of MOS capacitor after 700°C rapid thermal annealing

참 고 문 헌

폴리실리콘의 단점 중 하나인 높은 면저항은 최근에 더욱 중요한 문제가 되고 있다. 게이트 전극의 면저항이 크면 불필요한 전력이 소비되므로 저전력 소자에 적합하지 않다. 일반적으로 폴리실리콘의 면저항은 80~300[Ω/□]이고, 이것은 폴리실리콘 게이트의 도핑에 의해 많은 영향을 받는다 [12]. 금속은 10²²cm⁻³ 이상의 높은 반송자 농도를 갖고 있기 때문에 면저항이 폴리실리콘에 비하여 현저히 낮다[4]. 그림 5는 Ru₁Zr₁ 합금의 열처리 온도에 따른 면저항의 변화를 나타내고 있다. Ru₁Zr₁ 합금의 면저항은 600℃ 급속 열처리 이후 약 24[Ω/□]로 폴리실리콘과 비교하여 낮은 값을 나타내었다. 열처리 온도에 따라 면저항이 약간 증가하는데 이것은 표면 산화와 수소 축적(hydrogen accumulation)에 의한 것이다[13]. 비록 열처리에 의해 면저항이 증가하지만 증가된 면저항도 폴리실리콘에 비해 매우 작은 값이며 소자의 성능에 큰 영향을 주지 않을 만큼 작은 증가이다.

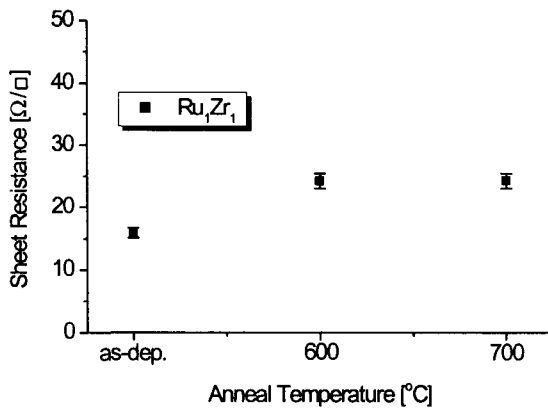


그림 5 급속 열처리 이후 면저항의 변화

Fig. 5 The change of sheet resistance after rapid thermal annealing

3. 결 론

Co-sputtering 방법은 스퍼터링 전력을 변화시켜 손쉽게 합금의 조성비를 조절할 수 있는 장점이 있다. Ru-Zr 합금을 co-sputtering 방법으로 증착하여 MOS 게이트 전극으로 사용 가능함을 검토하였다. Ru-Zr 합금의 원자 조성비율이 Ru 49.6%이고 Zr 50.4%일 때 nMOS에 가장 적합한 일함수인 4.15eV를 나타내었다. 열처리하지 않은 시편과 700℃에서 10초 동안 급속 열처리한 시편 사이의 유효 산화막 두께와 일함수의 차이는 약 2.9Å과 0.04eV로 열처리에 의한 유효 산화막 두께와 일함수의 변화는 거의 없었다. 이것은 합금이 열적으로 안정함을 나타낸다. 이상과 같은 여러 실험을 통하여 Ru₁Zr₁ 합금이 nMOS 게이트 전극으로 적합함을 확인하였다.

감사의 글

본 연구는 2003년도 한국항공대학교 교비 특별연구 과제 연구비에 의하여 지원된 연구결과입니다.

[1] Y. Taur, D. A. Buchanan, W. Chen, D. J. Frank, K. E. Ismail, S. H. Lo, G. A. Sai-Halasz, R. G. Viswanathan, H. J. Wann, S. J. Wind, and H. S. Wong, "CMOS Scaling into the Nanometer Regime," Proceedings of the IEEE, Vol. 85, No. 4, pp. 486-504, April 1997.

[2] Y. C. Yeo, Q. Lu, P. Ranade, H. Takeuchi, K. J. Yang, I. Polishchuk, T. J. King, C. Hu, S. C. Song, H. F. Luan, and D. L. Kwong, "Dual-Metal Gate CMOS Technology with Ultrathin Silicon Nitride Gate Dielectric," IEEE Electron Device Letters, Vol. 22, No. 5, pp. 227-229, May 2001.

[3] Semiconductor Industry Association, "International technology roadmap for semiconductors," 2000 update.

[4] V. Misra, H. Zhong, and H. Lazar, "Electrical Properties of Ru-Based Alloy Gate Electrodes for Dual Metal Gate Si-CMOS," IEEE Electron Device Letters, Vol. 23, No. 6, pp. 354-356, June 2002.

[5] I. De, D. Johri, A. Srivastava, and C. M. Osburn, "Impact of gate workfunction on device performance at the 50nm technology node," Solid-State Electronics, 44, pp. 1077-1080, 2000.

[6] R. Lin, Q. Lu, P. Ranade, T. J. King, and C. Hu, "An Adjustable Work Function Technology Using Mo Gate for CMOS Devices," IEEE Electron Device Letters, Vol. 23, No. 1, pp. 49-51, January 2002.

[7] H. Zhong, G. Heuss, and V. Misra, "Electrical Properties of RuO₂ Gate Electrodes for Dual Metal Gate Si-CMOS," IEEE Electron Device Letters, Vol. 21, No. 12, pp. 593-595, December 2000.

[8] J. R. Hauser and K. Ahmed, "Characterization of Ultrathin Oxides Using Electrical C-V and I-V measurements," Gaithersburg, MD: Nat. Inst. Stand. Technol., 1998.

[9] V. Misra, G. Heuss, and H. Zhong, "Use of metal-oxide-semiconductor capacitors to detect interactions of Hf and Zr gate electrodes with SiO₂ and ZrO₂," Applied Physics Letters, Vol. 78, No. 26, pp. 4166-4168, June 2001.

[10] K. Mahdoui, K. Elaiassaoui, J. Charles, L. Bourden, and J. C. Gachon, "Calorimetric study and optimization of the ruthenium zirconium phase diagram," Intermetallics, Vol. 5, No. 2, pp. 111-116, 1997.

[11] W. C. Lee and C. Hu, "Modeling Gate and Substrate Currents due to Conduction and Valence-Band Electron and Hole Tunneling," Symposium on VLSI Technology Digest of Technical papers, pp. 198-199, 2000.

[12] J. E. Suarez, B. E. Johnson, and B. El-Kareh, "Thermal Stability of Polysilicon Resistors," Elec-

tronic Components and Technology Conference Proceedings, 41st, pp. 537-543, 1991.

- [13] K. Ino, T. Ushiki, K. Kawai, I. Ohshima, T. Shinohara, and T. Ohmi, "Highly-Reliable Low-Resistivity bcc-Ta Gate MOS Technology Using Low-Damage Xe-Plasma Sputtering and Si-Encapsulated Silicidation Process," Symposium on VLSI Technology Digest of Technical Papers, pp. 186-187, 1998.

저 자 소 개

이 충 근 (李 忠 根)



1973년 4월 30일생. 1996년 한국항공대학교 항공전자공학과 졸업(학사). 1998년 한국항공대학교 대학원 항공전자공학과 졸업(석사). 현재 동 대학원 항공전자공학과 박사과정

Tel : 02-3158-5895

E-mail : cklee@eeabyss.hankong.ac.kr

서 현 상 (徐 賢 尙)



1977년 9월 7일생. 2003년 한국항공대학교 항공전자공학과 졸업(학사). 현재 한국항공대학교 대학원 항공전자공학과 석사과정.

Tel : 02-3158-5895

E-mail : mirseo@mail.hankong.ac.kr

홍 신 남 (洪 信 男)



1953년 12월 17일생. 1979년 한양대학교 전자공학과 졸업(학사). 1984년 North Carolina State University(석사). 1989년 North Carolina State University(박사). 현재 한국항공대학교 전자·정보통신·컴퓨터공학부 교수

Tel : 02-300-0135

E-mail : hong@mail.hankong.ac.kr