

# 램프 입력에 대한 RC-class 연결선의 지연시간 예측을 위한 해석적 연구

論 文

53C-4-3

## An Analytic Study on Estimating Delay Time in RC-class Interconnects Under Saturated Ramp Inputs

金基英\* · 金昇勇\*\* · 金錫潤\*\*\*

(Ki-Young Kim · Seung-Yong Kim · Seok-Yoon Kim)

**Abstract** - This paper presents a simple and fast delay metric RC-class interconnects under saturated ramp inputs. The RC delay metric under saturated ramp inputs, called FDM(Fast Delay Metric), can estimate delay times at an arbitrary node using a simple closed-form expression and is extended from delay metric under step input easily. As compared with similar techniques proposed in previous researches, it is shown that the FDM technique involves much lower computational complexity for a similar accuracy. As the number of circuit nodes increases, there will be a significant difference in estimation times of RC delay between the previous techniques based on two circuit moments and the FDM which do not depend on circuit moments.

**Key Words** : Interconnects, delay metric, timing, ramp, fast analysis

### 1. 서 론

반도체 공정기술이 UDSM(ultra deep submicron) 시대로 접어들면서, 시스템 전체 지연시간에서의 연결선 지연시간의 비중이 게이트 지연시간의 비중을 압도하고 있다. 회로의 집적도를 높이기 위해서 S(<1)배로 스케일링(scaling)을 하면 게이트의 채널 길이 역시 S배 만큼 짧아지므로 게이트 지연시간은 감소하지만, 반대로 연결선의 저항 성분은 S배 만큼 증가하고 프린징 커패시턴스(fringing capacitance)와 결합 커패시턴스(coupling capacitance)의 증가로 인해 전체 커패시턴스 성분 역시 증가함에 따라, 연결선 지연시간은 증가하는 양상을 보이게 된다[1]. 위와 같은 이유로 회로 연결선 지연시간의 정확한 계산은 고속으로 동작하고 높은 집적도를 가지는 시스템의 설계에서 매우 중요하다. 따라서, 플로어 플래닝(floorplanning), 배치 및 배선(place and routing), 버퍼 삽입, 연결선 사이징(sizing)과 같은 설계 단계의 최적화 과정에서 타이밍 검증에 많은 주의를 기울여야 한다. 설계 최적화 과정 동안 타이밍 검증을 위한 지연시간 계산이 수백만 번 이상 수행되어야 하기 때문에, 연결선 지연시간을 효율적으로 계산하는 방법론이 필수적이라 할 수 있다.

연결선의 저항 성분이 커짐에 따라 현재 사용되는 거의 모든 설계 보조 도구들은 RC 분포 회로 모형 즉, URC(uni-form RC) 조각(segment)을 내부에서 집중소자를 이용한 근

사적 사다리 모형으로 변환하여 연결선을 해석한다. 근사적 사다리 모형의 segment 개수가 많을수록 더 정확한 모형이라고 할 수 있다. 이와 같은 URC 조각의 근사 모형을 본 논문에서는 앞으로 RC-class 연결선이라 명명하기로 한다.

스텝 입력에 대한 RC-class 연결선의 지연시간 해석에 대한 연구 결과는 지금까지 많은 논문들을 통해 발표되었다. SPICE[2]와 AS/X[3]와 같은 회로 시뮬레이터들을 이용하여 시뮬레이션을 수행하면 지연시간을 매우 정확하게 계산해낼 수 있지만, 시뮬레이션 시간이 많이 걸리기 때문에 비효율적이고, 노드 수가 많은 선형 회로를 해석하는 데는 더욱 부적합하다. 또, 시뮬레이션 방법과 유사한 정확도를 가지면서도 효율적으로 지연시간을 계산하기 위해서 Asymptotic Waveform Evaluation(AWE)[4]과 같은 모형 차수 축소 기법을 적용할 수 있다. 이와 같은 방법은 필수적으로 주파수 영역(Laplace domain)에서 회로의 임펄스 응답에 대한 모멘트(moment)를 구하고, 모멘트 매칭을 통해 폴(pole)과 레지듀(residue)를 구하는 과정이 필요하다. AWE와 같이 모멘트 매칭 기법에 기반을 두고 있는 방법들은 시뮬레이션 방법보다는 빠르지만 수많은 반복적인 계산이 필요한 설계 최적화 작업에 이용하기에는 여전히 높은 시간 복잡도를 가진다. 임펄스 응답의 1차 모멘트인 Elmore Delay[5]는 매우 낮은 시간 복잡도로 인해 연결선 지연시간 계산에 가장 널리 이용되어 왔으나, 저항 차폐 효과(resistor shielding effect)를 무시하기 때문에 때때로 매우 부정확한 해석을 한다. 실제로 DSM(deep submicron) 공정 이상이 되면 Elmore Delay는 몇 백%의 오차를 보일 수도 있기에 신뢰할만한 방법이 되지 못한다.

최근까지 Elmore Delay보다 높은 정확도를 제공하기 위해 몇 가지의 연결선 지연시간 계산법이 제안되었다. Kahng과

\* 正 會 員 : 崇實大學 컴퓨터學科 博士課程

\*\* 正 會 員 : 崇實大學 컴퓨터學科 博士課程

\*\*\* 正 會 員 : 崇實大學 컴퓨터學科 教授

接受日字 : 2003年 12月 8日

最終完了 : 2004年 2월 22日

Muddu가 제안한 방법[6][7], Tutuianu와 Dartu가 제안한 방법[8], Kay와 Pileggi가 제안한 PRIMO[9], Lin과 Acar가 제안한 h-gamma[10], Alpert와 Devgan이 제안한 D2M과 ECM[11] 등이 거기에 속한다. 하지만, 위 방법들은 모두 모멘트를 계산해야 하는 부담을 안고 있기에 최선의 방법론이라고 볼 수 없다. 결국, 허용 가능한 수준의 오차를 갖고 신뢰도를 보장할 수만 있다면, 효율적이고 구현하기 쉬우며 직관적인 대수식(closed-form) 형태의 지연시간 계산식(delay metric)이 보다 바람직한 방향이라고 할 수 있다. 이런 관점에서, 본 논문에서는 스텝 입력에 대한 RC-class 연결선에 대해 모멘트 계산이 필요 없는 간단한 대수식으로 이루어진 새로운 지연시간 계산식을 소개한다.

또한 연결선을 구동하는 소스로부터의 신호는 램프 입력으로써 모형화 하는 것이 가장 합리적이라 할 수 있고 연결선을 지나서 다음 소스의 입력으로 사용되는 신호는 당연히 기울기를 갖는 형태이지만, 앞서 수행한 연구들은 램프 입력에 대한 RC-class 연결선의 지연시간에 대해서는 크게 고려하지 않았다. Kaupp[12]는 램프 입력을 갖는 RC-class 연결선을 무한히 긴 전송선으로 가정하여 해석하였고 [13]에서는 이 방법을 확장하였으나, SPICE 시뮬레이션을 필요로 하는 등 현재의 실정과는 거리가 멀다. 이후의 연구에는 Menezes와 Pullala가 제안한 방법[14], Kahng이 제안한 방법[15] 등이 있고, 가장 최근의 연구인 [16]에서는 PDF(probability distribution function)의 센트럴 모멘트(central moment)를 이용하여 램프 입력에 대한 지연시간 계산식을 제공하고 있다. 하지만, 이와 같은 방법들 역시 모멘트 계산을 요구하는 단점을 가지고 있다. 모멘트 계산이 필요 없는 해석적 방법으로는 Elmore Delay를 응용한 방법들이 있지만, 결국 지연시간의 상한선만을 제공해 줄 수 있을 뿐 입력 신호의 상승 시간(rise time)의 변화에 따른 탄력적인 해석을 하지 못한다. 본 논문에서는 램프 입력에 대한 RC-class 연결선의 지연시간을 계산하기 위해서, 앞서 언급한 스텝 입력일 때의 대수적 지연시간 계산법을 이용하여 램프 입력일 때의 지연시간 또한 대수식으로 유도하여, Elmore Delay와 유사한 시간 복잡도를 가지면서도 허용 가능한 수준의 정확도를 제공하는 새로운 방법론을 제안한다.

본 논문은 다음과 같이 구성되어 있다. 서론에 이어 2장에서는 회로 모멘트의 계산이 필요 없는 새로운 스텝 입력에 대한 지연시간 계산법을 소개한다. 3장에서는 스텝 입력에 대한 지연시간 계산법을 확장하여 램프 입력에 대한 지연시간을 예측할 수 있게 해주는 새로운 기법을 제안한다. 4장에서는 실험 결과를 제시하고, 5장에서 결론을 맺는다.

**2. 스텝 입력에 대한 RC-class 연결선의 대수적 지연시간 계산법**

스텝 입력을 갖는 일반적인 구조의 회로 연결선을 RC-class로 모형화 했을 때, 관심 있는 임의의 노드에서의 지연시간을  $t_{step}$ 이라고 하자. 여기서  $t_{step}$ 을 구하기 위해 소개하는 방법은, Devgan이 제안한 ECM[11]을 그 기반으로 하고 있다. ECM은 지연시간 계산을 위해  $\pi$  모형을 사용하는 데, 이  $\pi$  모형을 구하기 위해 O'Brien과 Savarino가 제안한

램프 입력에 대한 RC-class 연결선의 지연시간 예측을 위한 해석적 연구

방법[17]을 이용하게 되고 이 과정에서 모멘트 계산을 요구한다. 본 논문에서는, 모멘트 계산을 요구하지 않고 비교적 높은 정확도를 유지하는 방법인 MX\_ECM과 MM\_ECM[18]을  $t_{step}$ 의 계산에 사용한다. MX\_ECM은 [19]에서 제안된  $\pi$  모형을, MM\_ECM은 [20]에서 제안된  $\pi$  모형을 개선된 ECM인 MD\_ECM[18]에 적용시켜 얻은 새로운 지연시간 계산법이다.

**2.1 간편한  $\pi$  모형을 이용한 지연시간 계산법**

MD\_ECM은 ECM에 비해 정확도는 향상 되었으나, 여전히  $\pi$  모형으로 변환할 때 모멘트 값을 필요로 한다는 단점을 가지고 있다. 본 절에서는, 모멘트 값을 필요로 하지 않는 간편한  $\pi$  모형을 이용하기로 한다.

현재 관심 있는 노드 이후에 연결되어 있는 부하단의 전체 저항값( $R_{tot}$ )과 전체 커패시턴스값( $C_{tot}$ )만을 알고 있으면 그림 1, 그림 2와 같은  $\pi$  모형으로 간단히 모형화 할 수 있다. 즉, 별도의 축소모형 변환 과정이 필요 없이 특성화 단계에서 얻은 데이터로  $\pi$  모형을 만들 수 있게 된다. 그림 1과 그림 2의  $i$  노드가 부하단의 입력부분이 되고,  $o$  노드가 부하단의 출력부분이 된다.

그림 1과 같은 Xu  $\pi$  모형과, 그림 2와 같은 Muddu  $\pi$  모형을 MD\_ECM에서 부하단을  $\pi$  모형으로 변환하는 데 이용하였다. 그것이 바로 각각 MX\_ECM(Modified Xu ECM)과 MM\_ECM(Modified Muddu ECM)이다. 이 두 가지 방법으로 구한 지연시간을, 램프 입력일 때의 지연시간을 구하는 초기값( $t_{step}$ )으로 사용한다.

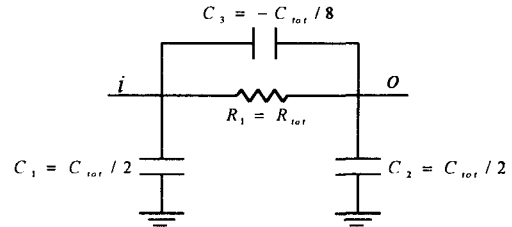


그림 1. Xu  $\pi$  모형  
Fig 1. Xu  $\pi$  model

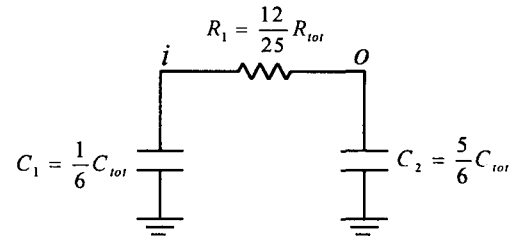


그림 2. Muddu  $\pi$  모형  
Fig 2. Muddu  $\pi$  model

**2.2 MX\_ECM**

관심있는 노드의 뒷부분에 그림 1의  $\pi$  모형을 삽입하고 MD\_ECM과 같은 방법으로 지연시간을 계산하면,  $i$  노드에서의 지연시간 MX\_ECM, 를 얻을 수 있다. MX\_ECM, 를 부하

단의  $R_{tot}$ 과  $C_{tot}$ 에 대해 전개하면 식 (1)과 같다. 유효 커패시턴스(effective capacitance)의 개념[21]을 사용하여  $\pi$  모형을 단일 커패시턴스로 대체한 것이 식 (1)의  $C_{eff}$ 이다.

$$\begin{aligned} MX\_ECM_i &= MX\_ECM_{p(i)} + R_i C_{eff} \\ &= MX\_ECM_{p(i)} + \frac{R_i C_{tot}}{2} \left( 2 - e^{-\frac{2T_{ED}}{R_i C_{tot}}} \right) \end{aligned}$$

단,  $T_{ED}$ 는  $i$  노드에서의 Elmore Delay이다.

**2.3 MM\_ECM**

관심있는 노드의 뒷부분에 그림 2의  $\pi$  모형을 삽입하고 MD\_ECM과 같은 방법으로 지연시간을 계산하면,  $i$  노드에서의 지연시간 MM\_ECM<sub>i</sub>를 얻을 수 있다. MM\_ECM<sub>i</sub>를 부하단의  $R_{tot}$ 과  $C_{tot}$ 에 대해 전개하면 식 (2)과 같다.

$$\begin{aligned} MM\_ECM_i &= MM\_ECM_{p(i)} + R_i C_{eff} \\ &= MM\_ECM_{p(i)} + \frac{R_i C_{tot}}{6} \left( 6 - 5e^{-\frac{5T_{ED}}{2R_i C_{tot}}} \right) \end{aligned} \quad (2)$$

단,  $T_{ED}$ 는  $i$  노드에서의 Elmore Delay이다.

**3. 램프 입력에 대한 RC-class 연결선의 대수적 지연시간 계산법**

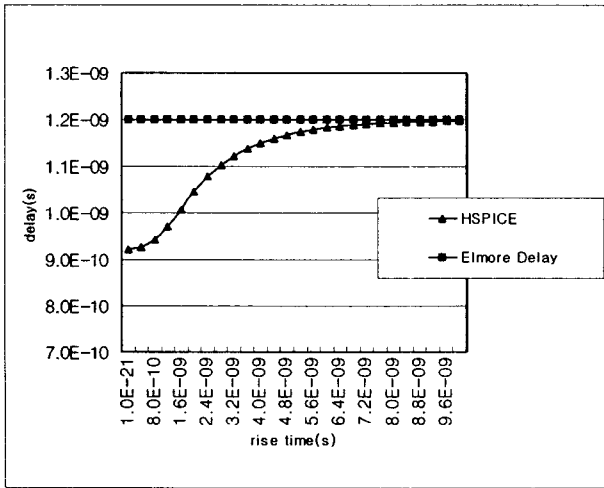


그림 3. 일반적인  $t_d = f(t_r)$ 의 그래프 특징

Fig 3. General feature of graph for  $t_d = f(t_r)$

그림 3은, 실험에 사용한 그림 7 회로의 7번 노드에 대해 rise time( $t_r$ )을 변화시키면서 50% 지연시간( $t_d$ )을 측정하여 그들의 관계를 그래프로 나타낸 것이다. 기존의 연구 결과 [22]를 통해 이미 알고 있는 바와 같이,  $t_d$ 는  $t_r$ 이 증가함에 따라 Elmore Delay로 수렴함을 볼 수 있다.

다양한 회로를 실험해 본 결과, 초기값( $t_r$ 이 0일 때의  $t_d$ )과 수렴값(Elmore Delay), 수렴하는  $t_r$ 의 시점만 다를 뿐 그 그래프들의 형태는 그림 3의 "HSPICE"의 그래프와 유사한 특

징을 나타내었다. rise time이 0일 때의 지연시간을  $t_{step}$ , 임의의 rise time에 대한 지연시간을  $t_{ramp}$ 라 했을 때, 간단한 수식으로 이루어진  $t_{ramp} = f(t_r, t_{step}, T_{ED})$ 을 유도하여 램프 입력의 경우에 대한 지연시간을 별도의 계산 없이 해석적 방법으로 구하는 것이 본 장의 핵심이다.

$t_{step}$ 을 계산하기 위한 지연시간 계산법은 정확도와 해석 시간사이의 trade-off를 통해 결정할 수 있다. 정확도가 중요한 타이밍 예측에는 계산 복잡도는 높지만 매우 정확한 h-gamma와 같은 지연시간 계산법을 사용할 수 있겠고, 빠른 해석 시간이 중요한 타이밍 예측에는 2장에서 소개한 MX\_ECM이나 MM\_ECM 같은 지연시간 계산법을 사용할 수 있을 것이다. 본 장에서는 임의의 지연시간 계산법을 통해  $t_{step}$ 은 계산되었다고 가정하기로 한다. 또, 관심 있는 노드의 Elmore Delay( $T_{ED}$ ) 역시 R값과 C값만을 이용해서 간단한 식으로 계산할 수 있다[23]. 이렇게 얻은  $t_{step}$ 과  $T_{ED}$ 를 이용해서, 본 장에서는 그림 3의 "HSPICE"의 그래프를 근사하는 식을 유도하기로 한다.

가장 먼저 식 유도의 용이함을 위해 그림 3의 "HSPICE"를 초기값이 0, 수렴값이 1인 그래프로 정규화 하였다 ( $t_{actual}(t_r)$ ). 또한, 초기값이 0이고 수렴값이 1인 가장 간단한 형태의 지수함수 식을,  $t_r$ 에 대한  $t_d$ 의 함수로서 식 (3)과 같이 나타낼 수 있다.

$$t_d = 1 - e^{-\frac{t_r}{\tau}} \quad (3)$$

식 (3)을  $t_{exp}(t_r)$ 로 정의하고, 지수함수의 시간상수  $\tau$ 를 해당 노드의 Elmore Delay로 정의하면 식 (4)를 얻을 수 있다.

$$t_{exp}(t_r) = 1 - e^{-\frac{t_r}{T_{ED}}} \quad (4)$$

그림 7 회로의 7번 노드에 대해  $t_{actual}(t_r)$ 과  $t_{exp}(t_r)$ ,  $t_{exp}(t_r) - t_{actual}(t_r)$ 의 그래프를 그려보면 그림 4와 같다.

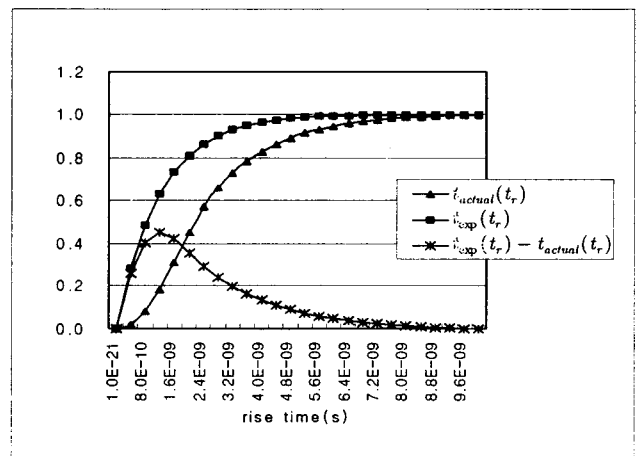


그림 4.  $t_{actual}(t_r)$ ,  $t_{exp}(t_r)$ ,  $t_{exp}(t_r) - t_{actual}(t_r)$ 의 그래프

Fig 4.  $t_{actual}(t_r)$ ,  $t_{exp}(t_r)$  and  $t_{exp}(t_r) - t_{actual}(t_r)$

$t_{exp}(t_r) - t_{actual}(t_r)$ 을  $t_{diff}(t_r)$ 이라 정의하면, 위 그래프들의 관계를 식 (5)과 같이 표현할 수 있다.

$$t_{actual}(t_r) = t_{exp}(t_r) - t_{diff}(t_r) \quad (5)$$

본 장의 목표인  $t_{actual}(t_r)$ 의 근사식을  $t_{ramp}(t_r)$ 이라 정의하고,  $t_{diff}(t_r)$ 의 근사식을  $\hat{t}_{diff}(t_r)$ 이라 정의하면 식 (5)를 식 (6)과 같은 근사식으로 바꿔 쓸 수 있다.

$$t_{ramp}(t_r) = t_{exp}(t_r) - \hat{t}_{diff}(t_r) \quad (6)$$

결국,  $\hat{t}_{diff}(t_r)$ 을 유도하면  $t_{ramp}(t_r)$ 을 유도할 수 있게 된다. 본 논문에서는  $\hat{t}_{diff}(t_r)$ 을 유도하기 위해  $t_{exp}(t_r)$ 의 1계 도함수를 이용하였다. 일반적으로 임의의 함수를  $f(x)$ 라 할 때 이 함수의 1계 도함수  $f'(x)$ 의 정규화 표현을  $xf'(x)$ 로 나타낼 수 있고, 이것을 이용하여  $t_{exp}(t_r)$ 의 1계 도함수를 정규화하여 표현하였다.

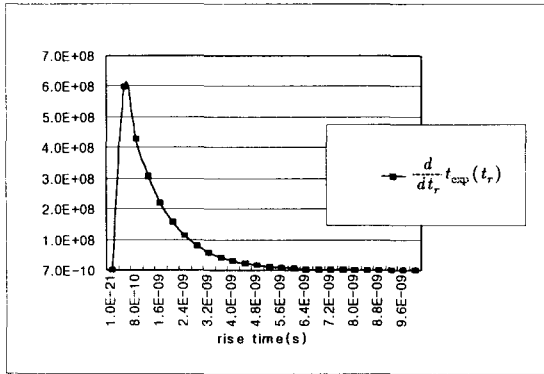


그림 5.  $\frac{d}{dt_r} t_{exp}(t_r)$ 의 그래프

Fig 5.  $\frac{d}{dt_r} t_{exp}(t_r)$

$t_{exp}(t_r)$ 의 1계 도함수  $\frac{d}{dt_r} t_{exp}(t_r)$ 은 그림 5와 같은 형태로 표현되고, 이 그래프를  $xf'(x)$ 를 이용해 정규화 시키면 그림 6의 " $\hat{t}_{diff}(t_r)$ "과 같이 나타낼 수 있다.

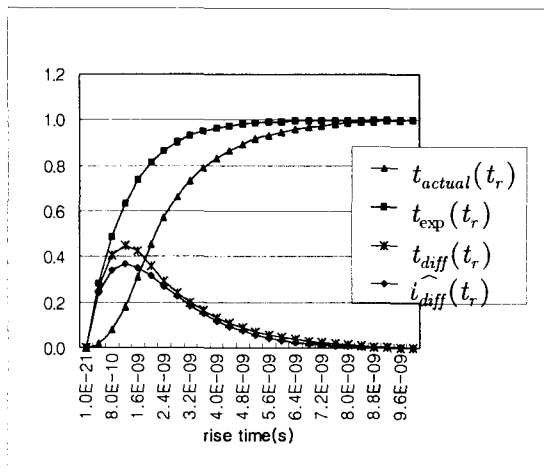


그림 6.  $t_{actual}(t_r)$ ,  $t_{exp}(t_r)$ ,  $t_{diff}(t_r)$ ,  $\hat{t}_{diff}(t_r)$ 의 그래프

Fig 6.  $t_{actual}(t_r)$ ,  $t_{exp}(t_r)$ ,  $t_{diff}(t_r)$  and  $\hat{t}_{diff}(t_r)$

얻어진  $\hat{t}_{diff}(t_r)$ 를 이용해서 식 (6)을 정리하면 다음과 같다.

$$\begin{aligned} t_{ramp}(t_r) &= t_{exp}(t_r) - \hat{t}_{diff}(t_r) \\ &= t_{exp}(t_r) - t_r \square \frac{d}{dt_r} t_{exp}(t_r) \\ &= (1 - e^{-\frac{t_r}{T_{ED}}}) - \left( \frac{t_r}{T_{ED}} e^{-\frac{t_r}{T_{ED}}} \right) \\ &= 1 - \left( 1 + \frac{t_r}{T_{ED}} \right) e^{-\frac{t_r}{T_{ED}}} \end{aligned} \quad (7)$$

식 (7)은 정규화된 형태이기 때문에, 초기값이 0이고 수렴값이 1인 그래프를 나타낸다. 그러나, 우리가 궁극적으로 얻고자 하는 그래프는 초기값이  $t_{step}$ 이고 수렴값이  $T_{ED}$ 여야 하므로, 그래프의 y축 상의 폭을  $(T_{ED} - t_{step})$ 로 scaling한 후, y축으로  $t_{step}$ 만큼 대칭이동 시켜야 한다. 그 결과,  $t_{ramp}$ 에 대한 간단한 수식을 얻어낼 수 있다.

$$\begin{aligned} t_{ramp}(t_r) &= (1 - (1 + \frac{t_r}{T_{ED}}) e^{-\frac{t_r}{T_{ED}}}) (T_{ED} - t_{step}) + t_{step} \\ &= T_{ED} - ((1 + \frac{t_r}{T_{ED}}) e^{-\frac{t_r}{T_{ED}}}) (T_{ED} - t_{step}) \end{aligned} \quad (8)$$

식 (8)이 바로 FDM(Fast Delay Metric)이다.

#### 4. 실험결과

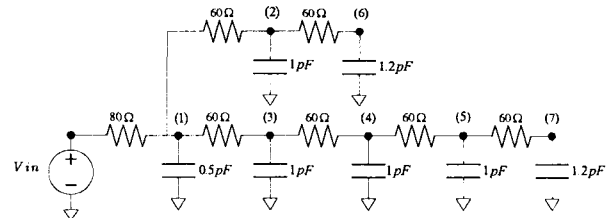


그림 7. RC-class 연결선 모형의 예

Fig 7. An example 7-node RC circuit

연결선의 지연시간은 실험하는 회로의 토폴로지(topology)나 R과 C의 소자값에 따라 크게 달라진다. 그러므로, 실험 회로의 신뢰도를 보장하기 위해 [9], [11], [16] 등 최근의 지연시간에 관한 연구에서 실험 시 사용한 그림 7을 가지고 실험을 수행하였다. 실험 회로의 소스는 하나의 저항과 전압원으로 구성된 Driver 모형을 사용하였다.

표 1은 그림 7의 각 노드에서의 스텝 입력에 대한 지연시간의 상대오차를 보여주고 있다. 상대오차는 HSPICE 시뮬레이션 결과를 기준으로 하였다. 표에서 (-)는 underestimate하는 경향을 의미한다. 더 정확한 MX\_ECM의 결과를 얻기 위해, 계산식을 통해 얻은 지연시간을  $T_{ED}$ 의 값으로 다시 계산식에 대입하여 수렴할 때까지 반복하였다. MX\_ECM의 상대오차에서 괄호안의 숫자가 의미하는 것은 수렴할 때까지 반

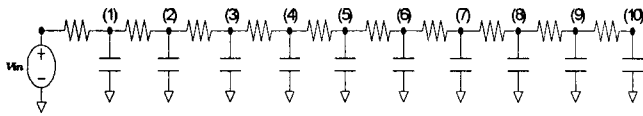


그림 8. 10개의 노드를 갖는 ladder구조의 RC-class 연결선

Fig 8. Ten-segment RC ladder

복한 횟수이다.

표 1에서 보는 바와 같이, iteration 과정을 거친 MX\_ECM 보다는 MM\_ECM이 더욱 정확한 스텝 입력에 대한 지연시간을 제공한다. MM\_ECM은 모멘트의 계산 없이 간단한 대수식만으로 지연시간을 계산했음에도 불구하고, 모멘트를 사용하는 기존의 방법 중 가장 간단하면서도 비교적 높은 정확도를 보여주는 D2M에 근접하는 것을 확인하였다. 앞으로의 실

험에서는 MM\_ECM을 이용하여 스텝 입력에 대한 지연시간을 계산하기로 한다.

또한, 저항 차폐 효과가 심한 회로의 경우에 MM\_ECM의 정확도를 검증하기 위한 실험을 수행해보았다. 실험 회로는 그림 8과 같은 ladder구조의 RC-class 연결선 모형을 사용하였고, R과 C의 소자 값은 각각  $1k\Omega \sim 20k\Omega$ 과  $1fF \sim 20fF$ 의 범위 내에서 난수 생성(Random)을 통해 결정하였다. 이와 같은 방식으로 100개의 서로 다른 회로를 생성하여 상대오차의 평균값을 산출하고, 다른 지연시간 계산법들의 상대오차와 비교하여 표 2에 나타내었다. 다른 지연시간 계산법들에 대한 데이터는 [11]에서 인용하였다. 실험 결과, 그림 7 회로에 대한 실험에서와 마찬가지로 MM\_ECM의 정확도가 D2M의 정확도에 근접하는 것을 확인하였다.

표 1. 스텝 입력에 대한 각 지연시간 계산법의 노드별 지연시간 상대오차(%):HSPICE 기준(그림 7 회로)

Table 1. Relative errors of each delay metric compared to HSPICE for the RC tree in Figure 7

Node \ Method	Elmore	h-gamma	DM1	DM2	ECM	D2M	MX_ECM	MM_ECM
1	180.4	-1.4	72.2	193.1	69.1	51.9	90.5(5)	46.3
2	82.7	-5.1	17.5	57.2	17.3	12.4	26.8(2)	12.2
3	68.7	1.9	10.5	36	-1.7	7.7	21.6(4)	10.2
4	42.1	0	-0.6	-3.2	-12.2	-0.6	8.14(3)	2.3
5	33.4	3.4	-0.7	-18.5	-12.7	-1.7	5.13(2)	0.4
6	67	-4.7	10.5	30.4	12.8	8.9	20.7(2)	8.7
7	30.5	-0.8	1.8	-24.9	-3.1	-1.5	4.4(2)	0.1
절대치 평균오차	72.1	2.5	16.3	51.9	18.4	12.1	25.3	11.5

표 2. 저항 차폐 효과가 심한 회로에서, 스텝 입력일 때의 지연시간 상대오차의 절대치(%): HSPICE 기준(그림 8 회로)

Table 2. Relative errors of each delay metric compared to HSPICE, averaged for 100 random ten-segment RC circuits

Node \ Method	Elmore	DM1	DM2	ECM	D2M	MM_ECM
1	1212.8	625	3385.3	314.7	273.4	292.6
2	377.1	180.9	553.8	132	115.2	117.9
3	183.9	74.9	198.1	64.3	54.3	53.1
4	104.9	31.5	80.4	32.9	24.6	30.1
5	68.4	12.4	30.3	17.6	10.3	14.1
6	49.5	3.7	4.3	9.9	3.3	8
7	39.8	1.1	10.4	6.4	0.6	5.6
8	35.4	1.4	18	5	0.1	4.7
9	33.2	2.9	22.2	4.5	0.1	4.3
10	32.3	4.1	24.3	4.3	0	4.1
평균오차	213.7	85.4	393.6	59.2	44	53.5

### 4.2 FDM에 대한 실험

#### 4.2.1 $t_{step}$ 을 계산하기 위해 MM\_ECM을 사용한 경우

표 3은 그림 7 회로의 각 노드에서 FDM을 이용하여 계산한 지연시간의 상대오차를 나타낸다. FDM에 대입할 스텝 입력에 대한 지연시간은 MM\_ECM을 통해 얻었으며, 입력 신호의 rise time을 0ns부터 5ns까지 변화시키면서 실험하여 오차를 계산하였다.

표 3. rise time에 대한 노드별 지연시간의 상대오차 절대치(%): HSPICE 기준(그림 7 회로)

Table 3. Relative errors of FDM using MM\_ECM compared to HSPICE for each node in Figure 7

Node $t_r$	1	2	3	4	5	6	7
0ns	46.3	12.2	10.2	2.3	0.4	8.7	0.1
200ps	49.3	13.6	11.2	2.8	0.7	9.5	0.4
400ps	49.9	16	13.4	3.8	1.4	10.9	0.9
600ps	37.2	17.5	15.5	5.1	2.1	11.9	1.4
800ps	30.6	17.1	16.7	6.2	2.9	11.7	2
1ns	27.2	14.8	16	7	3.4	10.6	2.4
1.5ns	22.5	12.1	11.1	6.4	3.5	8.4	2.3
2ns	18.6	10.7	8.9	4.4	2.2	7.6	1.3
3ns	11.7	7.8	6.4	3.1	1.3	5.9	0.5
4ns	7	5.1	4.4	2.4	1.1	4.1	0.5
5ns	4.1	3.1	2.9	1.7	0.9	2.7	0.5

FDM의 정확도는 far-end 노드 쪽으로 갈수록, rise time 이 길어질수록 증가하였다. near-end 노드 쪽에서의 FDM의 오차는 MM\_ECM의 오차로 인한 것이다. MM\_ECM과 FDM의 조합으로 지연시간을 예측하는 방법은, near-end 노드 쪽보다는 far-end 노드 쪽에서의 정확한 지연시간 예측이 필요하면서 빠른 해석 시간이 요구되는 타이밍 예측에서 최상의 성능을 발휘할 것이다. 그림 9는 그림 7 회로의 출력 노드인

7번 노드에서의 HSPICE 결과와 제안한 계산식을 통해 예측한 지연시간을 비교한 그래프이다.

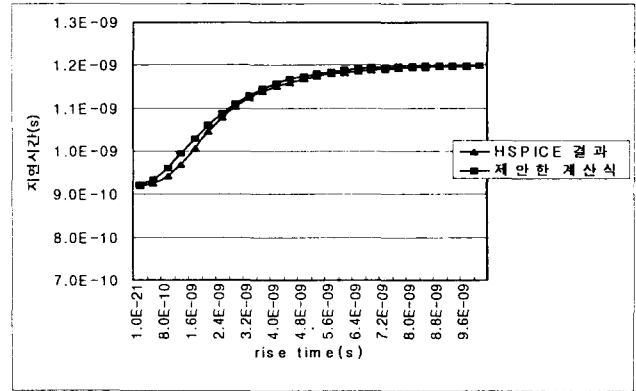


그림 9. 램프 입력에 대한 7번 노드에서의 지연시간(그림 7 회로)

Fig 9. Delay time for node 7 using saturated ramp inputs in Figure 7.

#### 4.2.2 FDM과 PERI의 비교

표 4는 램프 입력에 대한 지연시간의 예측에 대한 최근의 연구인 [16]에서의 실험 데이터를 인용하여 본 논문에서 제안한 지연시간 계산법인 FDM과 비교한 것이다. 표에서의 PERI는 [16]에서 제안한 방법이고, 스텝 입력에 대한 지연시간을 RICE(4-pole)[24]를 통해 계산하였다. PERI와 성능을 비교하기 위해 FDM의 스텝 입력에 대한 지연시간 역시 마찬가지로 방법으로 계산하였다.

실험한 rise time의 전 구간과 모든 노드에서 FDM의 정확도가 PERI의 정확도에 전혀 뒤쳐지지 않음을 확인할 수 있다. 이로써, 회로 모멘트를 사용하지 않고도 기존의 연구 중 효율적인 방법인 PERI의 정확도에 근접하는 FDM의 성능을 검증하였다.

표 4. 이상적인 스텝 입력에 대한 지연시간을 이용한, 그림 7 회로의 각 노드에서의 램프 입력에 대한 지연시간(ps)

Table 4. Delay comparison for each node in Figure 7 using RICE as the ideal delay metric(in ps)

rise time	250			500			1000			2000			4000		
	FDM	PERI	RICE	FDM	PERI	RICE	FDM	PERI	RICE	FDM	PERI	RICE	FDM	PERI	RICE
1	224	207	210	279	235	272	389	321	371	508	465	466	550	541	530
2	390	383	383	426	407	409	507	479	499	619	604	597	678	674	662
3	489	484	482	518	505	498	592	572	578	709	702	699	790	788	777
4	708	707	705	727	724	716	779	781	761	876	896	884	969	980	968
5	851	851	849	866	867	859	908	921	900	995	1030	1014	1091	1111	1099
6	465	461	461	495	484	487	568	555	570	677	678	668	746	746	733
7	924	925	923	938	941	933	976	994	974	1058	1102	1086	1157	1183	1171

### 5. 결 론

본 논문에서는 램프 입력에 대한 지연시간을 간단한 대수식으로 계산할 수 있는 해석적 기법인 FDM을 제안하였다. FDM은 PERI와 마찬가지로 스텝 입력에 대한 지연시간 계산법을 램프 입력에 대한 지연시간 계산법으로 확장시켜 주는 기법이다. PERI가 2개의 회로 모멘트를 이용하는 반면, FDM은 회로 모멘트의 사용 없이 간단한 수식만으로 램프 입력에 대한 지연시간을 예측할 수 있게 해준다. FDM의 검증은 위해 PERI와 같은 조건에서 실험을 하였고, 그 결과 PERI에 비해 FDM의 계산 복잡도가 상당히 낮음에도 불구하고 높은 정확도를 유지한다는 것을 확인하였다.

덧붙여, 모멘트를 사용하지 않고 스텝 입력에 대한 지연시간을 계산할 수 있는 간편하고 정확한 지연시간 계산법을 소개하였으며, 기존의 검증된 지연시간 계산법의 정확도에 근접함을 확인하였다. 따라서, MM\_ECM과 FDM을 조합하여 램프 입력에 대한 지연시간을 예측할 수 있겠고, 이렇게 함으로써 해석 시간을 크게 단축시킬 수 있을 것이다. 또, FDM을 다른 지연시간 계산법들과 조합하여 사용한다면 타이밍 해석의 요구 조건(정확도 또는 해석 시간)이 다양하게 변하는 경우에 좀 더 탄력적으로 대처할 수 있을 것이며, 수많은 반복적 계산을 통한 타이밍 검증을 해야 하는 설계 도구의 속도 향상에 크게 기여할 것으로 기대한다.

#### 감사의 글

본 연구는 숭실대학교 교내 연구비 지원으로 이루어졌습니다.

#### 참 고 문 헌

[1] 김석윤, VLSI 시스템 회로 연결선의 모형화 및 해석, IDEC 교재개발시리즈 10, 시그마 프레스, 1999.  
 [2] L. Nagel, "SPICE2, A computer program to simulate semiconductor circuits," Univ. California, Berkeley, CA, TR ERL-M520, May 1995.  
 [3] The AS/X User's Guide, IBM Corp., 1996.  
 [4] L. T. Pillage and R. A. Rohrer, "Asymptotic Waveform Evaluation for Timing Analysis", IEEE Trans. on CAD 9, Apr. 1990, pp.352-366.  
 [5] W. C. Elmore, "The Transient Response of Damped Linear Networks with Particular Regard to Wideband Amplifiers", Journal of Applied Physics 19, Jan. 1948, pp.55-63.  
 [6] A. B. Kahng and S. Muddu, "Accurate analytical delay models for VLSI interconnects," Univ. California, Los Angeles, CA, UCLA CS Dept. TR-950034, Sept. 1995.  
 [7] A. B. Kahng and S. Muddu, "An analytical delay model for RLC interconnects," IEEE Trans. Computer-Aided Design, vol. 16, pp.1507-1514, Dec. 1997.  
 [8] B. Tutuianu, F. Dartu, and L. T. Pileggi, "Explicit

RC-circuit delay approximation based on the first three moments of the impulse response," in Proc. IEEE/ACM Design Automation Conf., June 1996, pp.611-616.  
 [9] R. Kay and L. T. Pileggi, "PRIMO: Probability interpretation of moments for delay calculation," in Proc. IEEE/ACM Design Automation Conference, June 1998, pp.463-468.  
 [10] T. Lin, E. Acar, and L. T. Pileggi, "h-gamma: An RC delay metric based on a gamma distribution approximation to the homogeneous response," in Proc. IEEE/ACM Int. Conf. Computer-Aided Design, Nov. 1998, pp.19-25.  
 [11] C. J. Alpert, A. Devgan, and C. Kashyap, "RC Delay Metrics for Performance Optimization", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol 20, pp.571-582, May 2001.  
 [12] H. R. Kaupp, "Waveform Degradation in VLSI Interconnections", IEEE J. Solid-State Circuits 24, Aug. 1989, pp. 1150-1153.  
 [13] M. T. Abuelma'atti, "The Waveform Degradation in VLSI Interconnections", IEEE J. Solid-State Circuits 25, Aug. 1990, pp. 1014-1016.  
 [14] N. Menezes, S. Pullela, F. Dartu, and L. T. Pillage, "RC Interconnect Synthesis - A Moment Fitting Approach", Proc. IEEE/ACM Intl. Conf. Computer-Aided Design, Nov. 1994, pp. 418-425.  
 [15] A. B. Kahng and S. Muddu, "Analysis of RC Interconnections Under Ramp Input", UCLA CS Dept. TR-960013, April 1996.  
 [16] C. V. Kashyap, C. J. Alpert, Frank Liu, and A. Devgan, "Closed Form Expressions for Extending Step Delay and Slew Metrics to Ramp Inputs", ACM/SIGDA 2003 International Symposium on Physical Design(ISPD'03), April. 2003.  
 [17] P. R. O'Brien and T. L. Savarino, "Modeling the driving-point characteristic of resistive interconnect for accurate delay estimation," in Proc. IEEE/ACM Int. Conf. Computer-Aided Design, Nov. 1989, pp. 512-515.  
 [18] 김승용, 김기영, 김석윤, "RC-class 연결선의 축소모형을 이용한 대수적 지연시간 계산법," KIEE Trans. Vol. 52C, No. 5, May. 2003.  
 [19] Qinwei Xu and Pinaki Mazumder, "Efficient Macro-modeling for On-chip Interconnects," Proceedings of ASP-DAC, 2002.  
 [20] A. B. Kahng and S. Muddu, "Efficient Gate Delay Modeling for Large Interconnect Loads," IEEE Multi-Chip Module Conf., Feb. 1996.  
 [21] Jessica Qian, Satyamurthy Pullela, and Lawrence T. Pillage, "Modeling the "Effective Capacitance" for the RC Interconnect of CMOS Gates", IEEE Trans. on Computer-Aided Design of Integrated Circuits and

System, vol. 13, no. 12, Dec. 1994.

- [22] R. Gupta, Bogdan Tutuianu and Lawrence T. Pileggi, "The Elmore Delay as a Bound for RC Trees with Generalized Input Signals", ACM/IEEE Design Automation Conference, June 1995, pp.364-369.
- [23] J. Rubinstein, P. Penfield, Jr., and M. A. Horowitz, "Signal delay in RC tree networks," IEEE Trans. on Computer Aided Design, vol. 2, pp.202-211, 1983.
- [24] C. L. Ratzlaff, N. Gopal, and L. T. Pillage, "RICE: Rapid interconnect circuit evaluator," in Proc. IEEE/ACM Design Automation Conf., June 1991, pp. 555-560.

## 저 자 소 개

### 김 기 영 (金基英)



kky@ic.ssu.ac.kr  
 2002년 2월 숭실대학교 컴퓨터학부 학사  
 2004년 2월 숭실대학교 컴퓨터학과 석사  
 2004년 3월 ~ 현재 숭실대학교 컴퓨터학과 박사과정. 주관심 분야는 설계 자동화, VLSI 회로해석 및 설계.

### 김 승 용 (金昇勇)



seon@ic.ssu.ac.kr  
 1994년 2월 부산대학교 전자공학과 학사.  
 1999년 8월 숭실대학교 정보과학대학원 전자계산기공학과 석사.  
 1994년 1월~2000년 8월 LG이노텍 연구소 근무. 2000년 8월~현재 숭실대학교 컴퓨터학과 박사과정. 주관심분야는 설계 자동화, VLSI 회로해석 및 설계.

### 김 석 운 (金錫潤)



ksy@comp.ssu.ac.kr  
 1980년 서울대 공대 전기공학과 학사,  
 1990년 University of Texas at Austin 전기, 컴퓨터학과 석사. 1993년 University of Texas at Austin 전기, 컴퓨터학과 박사.  
 1982년~1987년 한국전자통신연구소 연구원. 1993년~1995년 Motorola Inc., Senior Staff Engineer.  
 1995년~현재 숭실대 컴퓨터학부 부교수. 주관심분야는 설계자동화, VLSI 회로해석 및 설계, 통신시스템