Journal of the Korean Vacuum Society
Vol.13, No.1, 2004, pp.9~13

초고진공환경에서 제작된 perylene 박막 트랜지스터의 특성

박대식† · 강성준 · 김희중 · 노명근 · 황정남

연세대학교 물리 및 응용물리 사업단

(2003년 8월 22일 접수)

Characteristics of perylene OTFT fabricated in UHV

D. S. Park†, S. J. Kang, H. J. Kim, M. Noh and C. N. Whang

Institute of physics and applied physics, Yonsei University

(Received August 22, 2003)

요 약

본 연구에서는 P 형과 N 형의 특성을 모두 갖추 것으로 알려진 perylene의 특성을 연구하였다. 특히 구조적 특성과 전기적 특성 향상을 위하여 초고진공 상태에서 SiO_2 기판 위에 perylene 박막을 제작하였는데 증착 속도에 따른 박막의 특성 향상 여부를 살펴보기 위하여 0.1 Å/s 와 1 Å/s로 변화시켜가며 박막을 제작하였다. 박막의 결정성과 표면 특성은 X-선 회절과 원자 간력 현미경을 이용하여 살펴보았는데, 1 Å/s로 증착된 perylene박막이 더 우수한 결정성과 표면 분포를 보였다. 박막의 전기적 특성 확인을 위하여 heavily doped 실리콘 기판 위에 SiO_2와 gold를 이용한 perylene 박막 트랜지스터를 제작하였다. 얻어진 perylene 박막 트랜지스터는 P 형의 반도체적 성질을 나타내었으며, 전류-전압 특성 곡선을 이용하여 2.23×10^{-5} cm^2/Vs 의 전하 이동도를 얻었다.

주제어 : perylene, 유기 박막 트랜지스터, 증착 속도, 결정성, 표면 분포

Abstract

Perylene is an interesting material known to have P-type and N-type characteristics at the same time. We prepared perylene thin-films in ultrahigh vacuum with two different deposition rates of 0.1 Å/s and 1.0 Å/s in order to study the dependence of film characteristics on the growth condition. The smaller average grain size with larger surface coverage as well as the better crystallinity were observed on the perylene film prepared under 1.0 Å/s deposition rate in x-ray diffraction (XRD) and atomic force microscopy (AFM) study. For studying electrical property of the film, perylene organic thin-film transistor (OTFT) with gold contacts was fabricated on SiO2/Si surface in UHV condition. The prepared perylene OTFT device shows P-type characteristic. The obtained hole mobility in the current-voltage characteristic curve was 2.23×10^{-5} cm^2/Vs.

Key Words : perylene, Organic Thin-Film Transistor (OTFT), deposition rate, crystallinity, surface coverage

1. 서 론

유기물 반도체는 기존의 실리콘 기반 반도체에 비하여 전하 이동도 등의 특성이 떨어지고 공정의 측면에서도 많은 제약이 따르기 때문에 그 연구가 활발히 이루어지지 않았다. 그러나 1980년대 후반

† *E-mail* : denyme@phya.yonsei.ac.kr

에 들어 혁신적인 특성을 지닌 유기물 발광 물질인 Alq_3에 대한 연구 결과가 발표되면서 유기 발광 소자에 대한 연구는 급진전하게 된다 [1]. 최근에 이르러서는 유기물을 이용한 차세대 평면 발광 소자 연구가 활발히 이루어지고 있으며, 또한 이를 이용한 유기 발광 장치들이 상품화되어서 현재 많은 기업의 휴대용 전화기 제품 등에 평면 발광 장치로 사용되고 있다.

그러나 유기 반도체의 궁극적인 연구 목표이자 최대 장점은 유기물의 유연성 구현이라 할 수 있다. 유기물 반도체는 특성상 저온공정 [2, 3]을 가능하게 하기 때문에 유연한 플라스틱 기판 위의 증착을 가능하게 하며 이는 유연하게 구부려질 수 있는 평면 발광 장치를 가능하게 한다. 하지만 이렇게 만들어진 평면 발광 장치를 실현시키기에는 아직 해결되어야 할 점들이 많이 남아 있다.

대표적으로, 유연성을 지닌 발광 장치를 만들기 위해서는 발광층을 구동 시키는 구동 장치 역시 유기물로 만들어야 한다. 즉 유기물 트랜지스터의 실현을 위하여 반도체 층과 절연체, 전극 물질이 모두 유연한 유기물이어야 한다 [4]. 현재 각 부분에 대한 연구가 활발히 진행되고 있으며, 특히 반도체 물질에서는 pentacene ($C_{14}H_{22}$)의 경우 전하 이동도가 비정질 실리콘에 달한다는 연구 결과가 보고되고 있다[5]. 그러나 평면 발광 장치를 구동시키기 위해서는 논리 소자를 구성하는 P형과 N형의 트랜지스터가 모두 필요한데[6], pentacene을 이용한 유기 박막 트랜지스터는 P형의 특성 [2,5,7] 만을 보이고 있으며 N형의 특성을 보이는 유기 박막 트랜지스터에 대한 연구는 상대적으로 미비한 실정이다. 따라서 N형의 특성을 갖춘 유기 반도체 물질의 개발이 시급하고, 더 나아가 공정을 간략하게 하기 위해 P형과 N형의 두 특성을 모두 지닌 유기 반도체 물질의 발견이 필요하다.

이 논문에서는 최근 들어 P형과 N형의 두 특성을 모두 갖추었다고 알려진 perylene (그림 1)의 특성을 연구하였다 [8]. 그러나 아직 perylene을 이용한 유기 박막 트랜지스터 중 N형의 특성을 보이는 연구결과는 보고 되어있지 않으며 전하 이동도 또한 P형의 특성을 보이는 pentacene 유기 박막 트랜지스터에 비하여 현저히 낮은 수치를 보이고 있다.

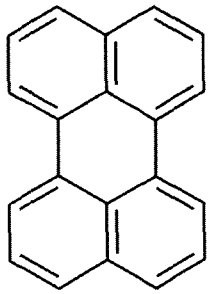

그림 1. perylene($C_{20}H_{12}$)의 분자구조

따라서 perylene 유기 박막 트랜지스터의 N형 특성에 대한 연구가 필요하고 전하 이동도를 비롯한 유기 박막 트랜지스터 특성의 향상이 절실하다.

이 연구에서는 우수한 구조적 특성과 전기적 특성을 갖춘 perylene 박막을 만들기 위해서 초고진공 증착 장비를 이용하였고, 박막의 구조적 특성을 향상 시키기 위해 perylene의 증착 속도를 변화시키며 박막들을 제작하여 그 막 특성을 서로 비교하였다. 또한 박막의 물리적 특성 향상에 따른 유기 박막 트랜지스터의 전기적 특성 변화를 조사하였다.

2. 실험방법

Perylene 박막들은 SiO_2/P^+-Si 기판위에 1.0×10^{-9} Torr의 초고진공 상태에서 텅스텐 선을 이용한 열증착기로 증착 되었으며 증착 조건은 120 ℃에서 0.1 Å/s와 140 ℃에서 1 Å/s이 각각 채택되었다. 다른 증착 속도로 증착된 각 박막들은 원자 간력 현미경(Atomic Force Microscopy)과 X선 회절(X-Ray Diffraction)을 통하여 난알의 크기와 표면 분포 그리고 결정성이 조사되었다.

소자의 전기적 특성 연구를 위하여 perylene유기 박막 트랜지스터가 마찬가지로 초고진공 상태에서 만들어졌다. 유기 박막 트랜지스터의 구조는 그림 2에서와 같이 gate로 사용된 heavily doped P^+-Si 기판, O_2 가스와 열을 사용해 gate 절연체로 성장시킨 SiO_2, perylene 박막 그리고 금으로 증착된 전극으로 이루어져 있다. 제작과정은 SiO_2/P^+-Si 기판 위에 perylene을 위에서 언급된 바와 같이 0.1 Å/s와 1 Å/s 두 조건에서 증착하였고, 초고진공을 유지한 상태에서 전극 증착용 챔버로 옮겨 마스크를 사용해

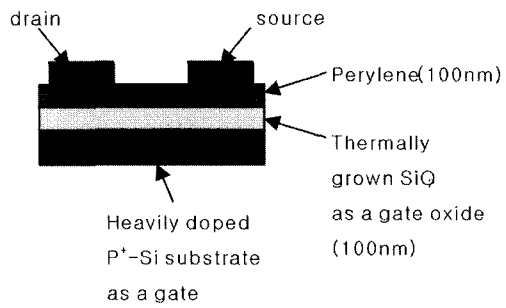

그림 2. perylene 유기 박막 트랜지스터의 구조

금 전극을 형성하였다. 금을 증착할 당시의 조건은 몰리브덴 보트와 80 A의 교류전류를 사용하여 0.3 Å/s 의 증착속도로 증착되었으며 마스크를 통하여 생성된 전극 (source, drain)은 채널 비가 20 (100 m/5 m)인 채널을 형성하였다.

위의 구조와 제작과정으로 만들어진 perylene 유기 박막 트랜지스터는 keithley S-4200을 통해 각각의 전류-전압 특성 곡선이 측정되었다. 0 V부터 -10 V 간격으로 -30V 까지의 각각의 gate전압에서 drain 전압을 0 V에서 -40 V까지 -0.2 V 간격으로 변화시킬 때의 drain전류를 측정하여 얻은 전류-전압 곡선을 통해 트랜지스터의 gate전압 의존도와 전류의 포화여부를 조사하였으며, drain 전류가 포화되는 영역인 -30 V의 drain 전압에서 gate 전류를 40 V에서 -40 V까지 0.05 V간격으로 변화시킬 때의 drain 전류 측정을 통해 얻은 전류-전압 곡선과 다음의 식 1을 이용하여 전하 이동도를 계산하였다 [9].

$$I_D = \frac{WC_i}{2L}\mu(V_G - V_T)^2 \quad (1)$$

(I_D와 V_G는 drain 전압이 -30 V일 때 측정하여 얻은 drain 전류와 gate 전압을 나타내며 V_T는 문턱전압, W와 L은 채널의 width와 length, C_i는 SiO_2의 전기용량, μ는 전하 이동도를 나타낸다.)

3. 결과 및 고찰

증착 속도를 0.1 Å/s와 1 Å/s로 다르게 하여 증착한 perylene 박막의 난알 크기와 표면 분포 그리고 결정성을 조사하기 위해 각 박막에 대해 원자 간력 현미경 (Atomic Force Microscopy)과 X선 회절 (X-Ray Diffraction)을 측정하였다.

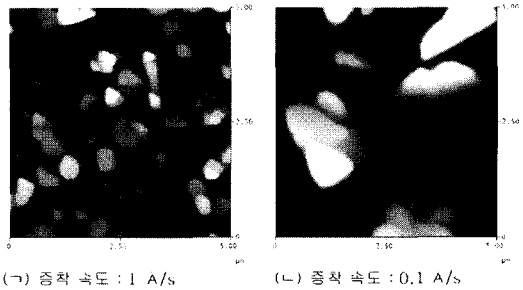

그림 3. 증착 속도를 다르게 하여 증착된 perylene 박막의 원자 간력 현미경 이미지

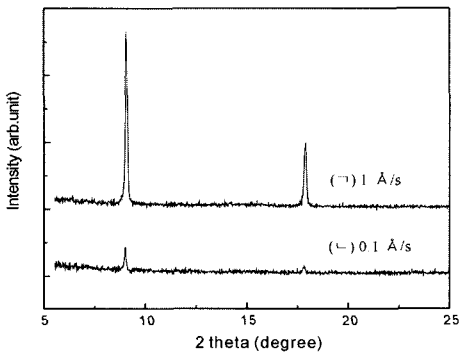

그림 4. 증착 속도를 다르게 하여 증착된 perylene 박막의 X선 회절

그림 3과 그림 4는 각각 (ㄱ) 1 Å/s와 (ㄴ) 0.1 Å/s의 증착 속도로 증착된 perylene 박막의 원자 간력 현미경과 X선 회절의 결과를 보여준다. 그림 3에서 (ㄱ)과 (ㄴ)을 비교하면 증착 속도가 낮은 박막의 난알 크기가 현저히 크지만 [10] 표면의 perylene 난알의 분포가 매우 듬성듬성함을 볼 수 있다. 그림 4는 각각의 증착 속도에서 증착된 perylene 박막의 결정성을 보여주며 높은 증착 속도로 증착된 perylene 박막의 결정성이 현저히 증가하였음을 알 수 있다.

이러한 원자 간력 현미경과 X선 회절의 결과를 바탕으로 perylene의 증착 속도를 달리하여 유기 박막 트랜지스터를 제작하였다. 1 Å/s-perylene 층을 사용한 유기 박막 트랜지스터의 전류 전압 특성 곡

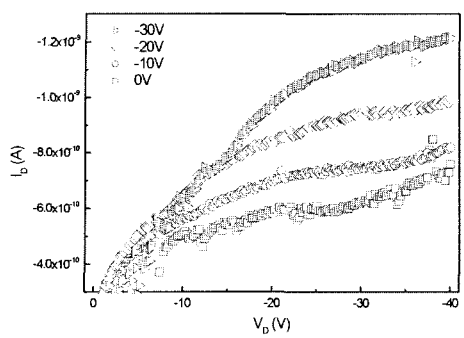

그림 5. 1 Å/s-perylene 층을 사용한 유기 박막 트랜지스터의 전류－전압(I_D-V_D) 특성곡선

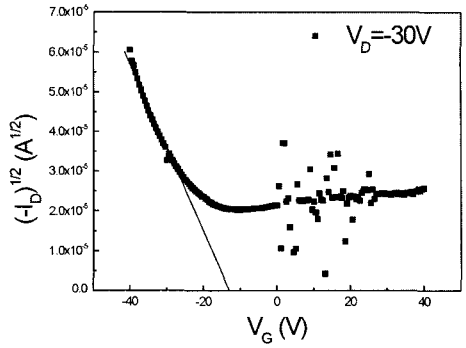

그림 6. 1 Å/s-perylene 층을 사용한 유기 박막 트랜지스터의 전류－전압($(-I_D)^{1/2}$-V_D) 특성곡선

선은 그림 5와 그림 6에 나타나 있다. 그러나 0.1 Å/s-perylene층을 사용한 유기 박막 트랜지스터에서는 그 전류 전압 특성 곡선을 얻을 수 없었다. 일반적으로 난알의 크기가 클수록 유기 박막 트랜지스터의 전하 이동도와 포화전류가 높은 수치를 나타낸다[11]. 0.1 Å/s 조건에서 증착된 perylene 박막의 난알 크기가 현저히 큼에도 불구하고 0.1 Å/s-perylene층을 사용한 유기 박막 트랜지스터의 전류-전압 특성 곡선이 측정되지 않은 이유는 0.1 Å/s-perylene 박막의 원자 간력 현미경의 결과와 X선 회절 분석에서 알 수 있듯이 표면 분포의 결함과 낮은 결정성이 주요 원인으로 작용하였음을 보여준다. 즉 perylene 층의 표면 분포 결함과 낮은 결정성에 의해 source와 drain사이에 채널이 제대로 형성되지 않았고, 따라서source와 drain사이에 흐르는 전류가 누설전류와 비슷한 크기로 흘러 그 특성이 측정되지 않은 것으로 판단된다.

그림 5에서는 drain 전압을 0V부터 -40V 까지 변화시키며 drain 전류를 측정하였고, gate전압을 0 V부터 -30 V까지 -10 V간격으로 변화시킬 때 gate전압에 의한 drain전류의 포화값이 점점 증가함을 볼 수 있으며 이는 P형의 특성을 가지는 일반적인 유기 박막 트랜지스터의 경우와 유사함을 알 수 있다. 그림 6은 drain 전압을 drain 전류의 포화 영역인 -30 V로 고정시킨 상태로 gate전압을 -40 V부터40 V까지 변화 시키며 drain 전류를 측정하여 drain 전류의 제곱근과 gate 전압과의 관계로 나타난 그래프이다. 이를 통하여 문턱전압이 -12.95 V임을 알 수 있고 식 1로부터 전하 이동도를 계산하면 2.23×10^{-5} cm^2/Vs이 얻어진다.

4. 결 론

초고진공 상태에서 각각 1 Å/s와 0.1 Å/s로 증착속도에서 증착한 perylene 박막의 성질을 원자 간력 현미경과 X-선 회절로 고찰한 결과, 높은 증착 속도로 증착한 perylene 박막의 성질이 우수함을 확인하였다. 즉, 1 Å/s-perylene 박막의 난알 크기는 작았지만 낮은 표면 분포의 결함과 향상된 결정성을 가진 반면, 0.1 Å/s-perylene 박막에서는 난알 크기는 크지만 큰 표면 분포의 결함과 낮은 결정성이 관찰되었다. 위 실험결과에서 perylene박막의 성질을 결정하는 요인 중 증착 속도는 매우 중요한 요인 중의 하나임을 알 수 있다.

소자의 전기적 특성을 알아보기 위하여 perylene 증착속도를 1 Å/s와 0.1 Å/s에서 유기 박막 트랜지스터를 제작하였을 때, 1 Å/s-perylene을 사용한 유기 박막 트랜지스터의 전류-전압 특성 곡선에서는 drain 전류의 gate전압 의존도를 보이는 P형의 특성을 얻은 반면, 0.1 Å/s-perylene을 사용한 유기 박막 트랜지스터의 전류-전압 특성 곡선에서는 채널이 제대로 형성되지 않아 그 특성 곡선을 확인 할 수 없었다. 따라서 perylene의 증착 속도는 perylene 유기 박막 트랜지스터의 특성을 결정하는 매우 중요한 요인 중의 하나임을 알 수 있다.

그러나 아직 해결해야 할 많은 문제와 연구 과제

가 남아 있다. 증착 속도를 높게 함으로써 표면 분포 결함이 많이 줄어들기는 하였지만 표면 분포의 결함을 현저히 줄어들게 하는 연구가 필요하고 특히 산화 실리콘과 perylene 박막 사이의 표면 결합 에너지의 연구가 필요하다. Perylene 은 N형과 P형의 특성을 모두 가졌다고 알려져 있지만 아직 N형의 특성을 가지는 유기 박막 트랜지스터에 대한 결과는 알려져 있지 않다. 따라서 N형의 특성을 가지는 perylene 유기 박막 트랜지스터의 연구가 진행되어야 할 것이다.

감사의 글

본 연구는 한국과학기술기획평가원(KISTEP) (과제 번호 M1-214-00-0228), 두뇌 한국 21 그리고 한국과학재단(KOSEF)의 연세대학교 초미세 표면과학 연구센터의 재정적 지원으로 수행되었다.

참 고 문 헌

[1] C. W. Tang and S. A. van Slake, Appl. Phys. Lett. **51**, 913 (1987).

[2] C. D. Dimitrakopoulos, D. J. Mascaro, IBM J. Res. & Dev. **45**, 1 (2001).

[3] T. Y. Choi, H. S. Kang, and D. H. Park, Synthetic Metals **137**, 929 (2003).

[4] G. H. Gelinck, T. C. Genus, and D. M. de Leeuw, Appl. Phys. Lett. **77**, 1487 (2000).

[5] D. J. Gundlach, C.-C. Kuo, S. F. Nelson, T. N. Jackson, 57th Dev. Res. Conf. Digest **164**, (1999).

[6] B. Crone, A. Dodabalapur, Y.-Y. Lin, R. W. Filas, Z. Bao, A. LaDuca, R. Sarpreshkar, H. E. Catz, and W. Li, Nature **403**, 521 (2000).

[7] D. J. Gundlach, Y. Y. Lin, T. N. Jackson, S. F. Nelson, and D. G. Schlom, IEEE Electron. Device Lett. **18**, 87 (1997).

[8] J. H. Schön, S. C. Kloc, and B. Batlogg, Appl. Phys. Lett. **77**, 3776 (2000).

[9] **D. A. Neamen,** Semiconductor for Physics & Devices **2nd Ed. p457**

[10] M. Shtein, J. Mapel, J. B. Benziger, and S. R. Forrest, Appl. Phys. Lett. **81**, 268 (2002).

[11] G. Horowitz and M. E. Hajlaoui, Adv. Mater. **12**, 1046 (2000).