

라인 스캔 카메라를 위한 고속 영상 처리 시스템 설계

Design of High-Speed Image Processing System for Line-Scan Camera

조 석 빈*, 이 윤 근, 백 광 렬
(Seog-Bin Cho, Un-Kun Yi, and Kwang-Ryul Baek)

Abstract : In this paper, we designed an image processing system for the high speed line-scan camera which adopts the new memory model we proposed. As a resolution and a data rate of the line-scan camera are becoming higher, the faster image processing systems are needed. But many conventional systems are not sufficient to process the image data from the line-scan camera during a very short time. We designed the memory controller which eliminates the time for transferring image data from the line-scan camera to the main memory with high-speed SRAM and has a dual-port configuration therefore the DSP can access the main memory even though the memory controller are writing the image data. The memory controller is implemented by VHDL and Xilinx SPARTAN-II-E FPGA.

Keywords : vision system, line scan camera, memory architecture, image processing

I. 서론

본 라인 스캔 카메라는 일반적으로 사용되는 영역 스캔 카메라와는 달리, 센서인 CCD(Charge Coupled Device)의 배열이 한 줄로 되어있어 일정 주기마다 한 라인의 영상 데이터를 출력한다. 때문에 높은 해상도의 영상을 비교적 빠른 시간에 한 라인씩 연속적으로 얻을 수 있다. 라인 스캔 카메라는 이러한 특징으로 유리 또는 필름, 직물 원단, 철강 등의 생산 공정에서 컨베이어 벨트에 설치되어 제품의 검사에 널리 사용되고 있다[1~4,6,7].

이와 관련하여 라인 스캔 카메라를 이용한 독립형 실시간 영상 처리 시스템이 개발되고 있다[2,4,5,7]. 고속 영상 처리를 위해 Baykal 등[2]과 정현 등[7], 강현인 등[8]은 영상의 획득과 전처리에 FPGA(Field Programmable Gate Array)를 사용하였다. 그리고 Kim 등[4]은 여러 개의 FIFO(First-In First-out) 메모리와 DSP(Digital Signal Processor)를 사용하여 병렬 처리를 통하여 성능 향상을 모색하였다.

결함 검사 등에 사용되는 대부분의 영상 처리 알고리즘을 수행하기 위해서는 순차적으로 얻어지는 데이터를 영상 처리기의 주 메모리로 옮겨와야만 한다. 그러나 기존의 시스템에서는 전처리 결과를 영상 처리기의 주 메모리로 옮겨오는데 시간을 소모한다[4,5]. 때문에 한 라인의 데이터가 커지는 경우 시스템이 데이터를 처리하는 주기가 길어지게 되고, 이는 전체 공정의 효율 저하로 나타난다. 이를 영상 처리기에서 특정한 하드웨어 구조에 맞추어 알고리즘을 수행하면 어느 정도 해결할 수 있을 것이다. 그러나 근래에 DSP가 고속화 되고 있어 PC에서와 같이 시스템 구조에 덜 의존하는 방법으로 소프트웨어를 설계하려는 산업 현장의 요구가 높아

져 보다 유연한 시스템 구조가 함께 고려되어야 한다.

본 논문에서는 라인 스캔 카메라에서 고속으로 전송되는 영상 데이터를 실시간으로 처리하기 위한 시스템의 구조를 제시한다. 전처리 부는 순차적인 데이터를 처리하기에 적합한 마스크(mask) 연산을 논리 회로로 설계하기 위해 FPGA를 사용하였다. 그리고 전처리 부에서 전송의 지연 없이 영상 처리기로 사용된 고속 DSP의 프레임 메모리에 저장할 수 있는 메모리 구조를 제시한다. 이를 이용하여 DSP가 다양한 영역 기반의 영상 처리 알고리즘을 고속으로 수행하도록 하여 유연성 높은 고속 영상 처리 시스템을 설계 및 구현하였다. 한다.

II. 전체 시스템 구조

본 논문에서 제안한 영상 처리 시스템의 전체적인 구조는 그림 1과 같이 단순하게 나타낼 수 있다.

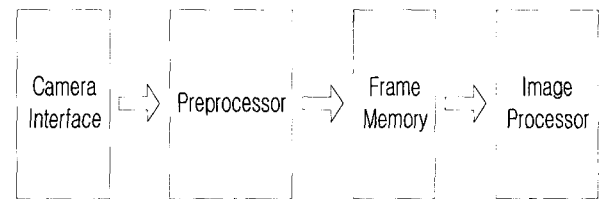


그림 1. 영상 처리 시스템의 구조.
Fig. 1. Configuration of the image processing system.

전체 시스템이 영상을 처리하는 동작은 일반적으로 영상 획득, 전처리, 메모리 저장, 영상 처리의 과정을 거친다. 라인 스캔 영상 처리의 경우, 시스템의 동작 속도에 따라 카메라에서 한 라인의 데이터를 내어 놓는 주기를 정하게 된다.

본 시스템에서 사용한 라인 스캔 카메라는 카메라-링크(camera-link)[9] 방식으로 영상 데이터를 출력하고, 사양은 다음과 같다.

- Piranha2 (DALSA) 2-output
- 6144 pixels (7 μ m x 7 μ m)

* 책임저자(Corresponding Author)

논문접수 : 2003. 7. 2., 채택확정 : 2003. 12. 4.

조석빈: 부산대학교 전자공학과 (chosb@pusan.ac.kr)

이윤근: 부산경상대학교 디지털애니메이션과 (yiuk@bsgs.ac.kr)

백광렬: 부산대학교 전자전기통신공학부 (krbaek@pusan.ac.kr)

※ 본 연구는 한국과학재단 지정 울산대학교 네트워크 기반 자동화 연구센터의 지원에 의한 것임.

- Line rates up to 12.3kHz
- 10-bits / pixel

카메라 링크 방식의 카메라 인터페이스에서 출력하는 주요 신호는 LVAL(line valid)와 DATA, STRB(strobe)이다. 카메라는 STRB의 상승 에지에서 DATA에 2 픽셀의 값을 출력한다. LVAL은 DATA에 출력되는 값이 유효한 값인지를 알려준다.

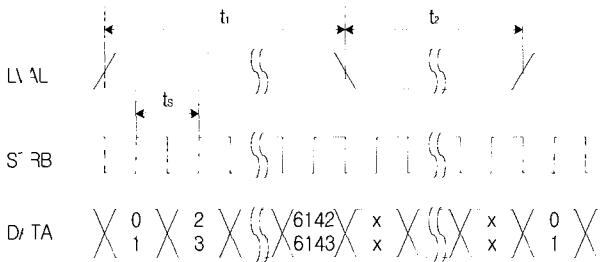


그림 2. 라인 스캔 카메라의 출력 신호.
Fig. 2. Output signals of the line scan camera.

STRB는 40MHz의 빠른 고정 속도를 갖는 신호이다. 각 신호의 관계식은 다음과 같다.

$$\begin{aligned}
 t_s &= \frac{1}{40\text{MHz}} \\
 t_1 &= \frac{N_L}{2} \times t_s \\
 f_L &= \frac{1}{t_1 + t_2}
 \end{aligned}
 \tag{1}$$

여기서 STRB 신호는 주기 t_s 고 카메라가 연속해서 출력한다. 그리고 t_1 은 카메라가 라인 영상을 출력하는 시간이다. N_L 은 영상 데이터의 양으로, 사용된 카메라는 한 라인의 영상이 6144 픽셀이다. LVAL 신호 주기에서 t_1 동안에 라인 영상이 카메라에서 출력되므로 t_1 은 76.8 μ s가 된다. 그리고 f_L 은 라인 카메라가 한 라인을 출력하는 주파수로 최대 12.3kHz이다. t_2 는 카메라가 다음 영상을 출력하기까지의 대기 시간으로 CCD의 노출 시간은 여기에 포함된다. 그러므로 시스템은 $(t_1 + t_2)$ 동안에 영상을 획득해서 처리해야 한다. 영상 처리 시간이 길어지면 t_2 를 크게 설정해야 하므로 f_L 가 낮아지게 된다.

전처리는 모든 연산을 조합 논리 회로로 구성하여 FPGA에 설계하였다. STRB 신호에 동기하여 카메라로부터 데이터를 내부 레지스터에 저장한다. 그리고 전처리 논리 회로를 통과한 데이터는 프레임 메모리의 데이터 버스에 연결된다. 프레임 메모리의 쓰기 신호 역시 STRB 신호와 연결되어 있다. 그러므로 그림 2의 t_1 동안에 카메라로부터 전송된

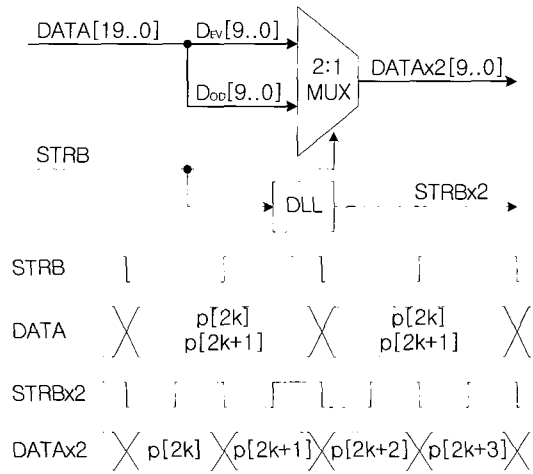


그림 3. DLL을 사용한 버스 멀티플렉서.
Fig. 3. Configuration of the bus multiplexer using DLL.

데이터를 전처리하여 프레임 메모리에 지연 없이 저장할 수 있도록 하였다.

프레임 메모리는 고속 SRAM으로 구성하였다. 메모리 제어기는 전처리기에서 출력한 데이터를 메모리에 쓰는 동안에도 DSP에서 메모리의 데이터를 읽어갈 수 있도록 듀얼 포트(dual-port) 구성으로 설계하였다.

전체 시스템의 동작은 t_1 시간 동안에 N 번째 라인 영상 데이터, I_N 이 전처리를 거쳐 프레임 메모리에 저장된다. 그리고 $(t_1 + t_2)$ 의 시간 동안 DSP는 프레임 메모리에 저장된 $(N - 1)$ 번째까지의 라인 영상 데이터 $I_{0..N-1}$ 을 읽고 처리할 수 있도록 하였다. 이러한 구성으로 영상 처리 주기의 모든 시간을 DSP가 프레임 메모리의 영상을 처리하는데 할당해 주기 때문에 t_2 는 전적으로 DSP의 성능에만 관계하게 된다. DSP의 영상 처리 수행 시간이 t_1 보다 작다면 t_2 를 최소로 설정할 수 있으므로 카메라의 최고 속도에 시스템의 성능을 맞출 수 있게 된다.

III. 전처리 부

영상 전처리 부는 영상 신호 처리 부에서 영상 처리를 수행하기 전에 에지 연산 등의 전처리를 전담한다. 본 논문에서는 전처리를 위하여 3x3 마스크 연산을 할 수 있도록 하였다. 그리고 VHDL 언어를 사용하여 FPGA에 구성 하였다[14].

그림 2에서 알 수 있듯이 카메라 링크 방식은 STRB 신호에 따라 두 픽셀의 데이터를 DATA로 출력한다. 이를 그대로 사용할 경우 마스크 연산을 구성하는 논리 회로가 복잡해진다. 그래서 그림 3과 같이 구성한 회로를 사용하여 영상 데이터가 한 픽셀씩 순차적으로 출력되도록 하였다.

그림 3은 DATA 버스를 상위와 하위로 분리하여, DATAx2에 STRB 신호의 처음 반 주기에는 상위를 다음 반 주기에는 하위를 연결한다. 그리고 STRB 신호주파수의 두 배를 갖는 STRBx2에 동기하여 한 픽셀의 데이터가 출력된다. 사용된

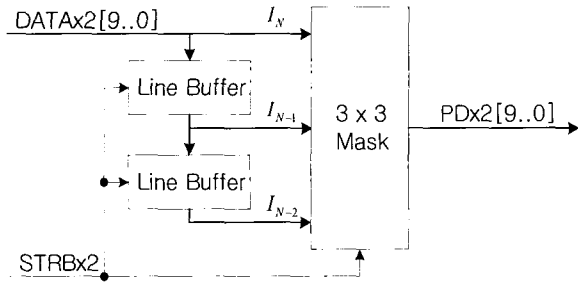


그림 4. 3x3마스킹 연산 부의 구성.
Fig. 4. Configuration of the 3x3 convolution mask.

FPGA인 Xilinx 사의 Spartan-III의 내부에는 DLL(Delay-Locked Loop)가 있다[10]. DLL은 입력 신호의 주파수를 최대 4배까지 올려준다[11].

한 라인의 영상 데이터가 한 픽셀씩 순차적으로 DATAx2로 들어오고 이를 현재의 라인 영상 I_N 이라 한다. I_{N-1} 과 I_{N-2} 은 라인 버퍼(Line buffer)를 통과하여 지연된 이전의 영상이다. 그림 4에서 나타낸 것과 같이 현재의 영상 I_N 과 함께 I_{N-1} 과 I_{N-2} 이 마스크 연산부로 들어가므로 수직 방향으로 세 픽셀의 처리가 가능하다.

이운근 등[12]은 영상의 전처리에 3x3 소벨(sobel) 에지 검출을 사용하였고, 그림 4의 구조로 FPGA에 구현하였다. 그리고 마스크 연산을 위하여 9개의 스테이징 레지스터(staging register)를 3x3 행렬의 형태로 두어 클럭에 동기하여 데이터를 출력함과 동시에 각 픽셀 값이 수평 방향으로 이동할 수 있는 구조를 갖도록 하였다. 본 논문에서는 이러한 구조를 채택하여 결과 영상이 STRBX2에 동기하여 PDx2(Processed Data)를 통하여 지연 없이 출력되도록 하였다.

IV. 영상 저장 메모리 구성

전처리가 끝난 영상은 프레임 메모리에 저장된다. 본 논문에서는 프레임 메모리를 다음과 같은 개념으로 구성 하였다.

- ① 전처리 부에서 출력되는 라인 영상이 프레임 메모리에 저장되는 동안에도 DSP가 읽어갈 수 있도록 그림 5와 같은 듀얼 포트 구조를 갖는다.
- ② DSP가 빠르게 읽어갈 수 있고 그 성능이 시불변인 고속 메모리를 사용한다.
- ③ DSP가 다양한 영상 처리를 할 수 있도록, 그림 5와 같은 구성으로 일정 분량의 이전 라인 영상을 가지고 프레임 영상을 저장할 수 있고 랜덤 액세스가(random access)가 가능해야 한다.
- ④ 메모리 제어가 간단하도록 한다.

이러한 사항을 만족하기 위해서 메모리 소자로 고속, 대용량 SRAM(Static Random Access Memory)을 사용하였다[13]. SRAM은 SDRAM(Synchronous Dynamic Random Access Memory)과 비교하여 메모리 셀의 집적도는 낮지만 고속 랜덤 액세스가 가능한 장점이 있다. 그러나 SRAM은 듀얼 포트

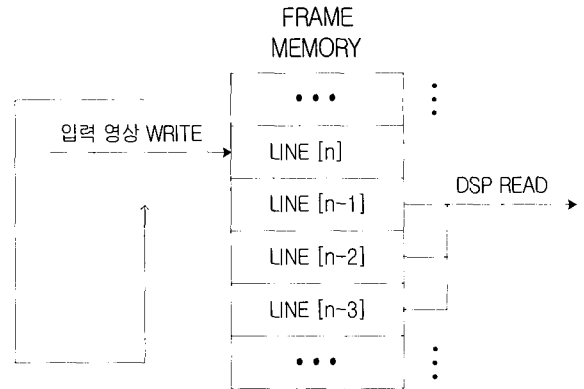


그림 5. 프레임 메모리 구성 개념도.
Fig. 5. Concept of the frame memory.

구조가 아니기 때문에 영상을 저장하는 동안에도 DSP가 데이터를 읽어가기 위해서는 특별한 메모리 구조가 필요하다.

DSP와 전처리 부가 프레임 메모리를 동시에 접근하기 위하여, 프레임 메모리를 SRAM을 사용하여 4뱅크로 구성하고 동작 상태에 따라 각 뱅크의 어드레스와 데이터 버스를 DSP와 전처리 부에 교환하여 연결한다. 그림 6과 같이 동작은 4개의 상태로 이루어지는데, 각 스테이트에서 SRAM 뱅크 2개는 DSP에 연결되어 DSP가 이전 영상을 읽어간다. 나머지 뱅크는 전처리 부에 연결되고, 이 중에 하나에는 현재의 라인 데이터가 저장되고 다른 뱅크에는 이전의 라인 데이터가 저장된다. 스테이트는 새로운 라인 데이터를 카메라로부터 입력 받을 때, 즉 LVAL신호의 상승 시점에 순차적으로 전환된다. 스테이트가 나타내는 것은 SRAM 뱅크의 어드레스 버스와 데이터 버스를 DSP와 전처리 부의 어드레스와 데이터 버스에 연결되는 상태를 나타내는 것이다.

그림 6의 state 0을 보면, 현시점에 전처리 부에서 $(N + 2)$ 번째 라인 영상 들어오며 이미 SRAM#0와 SRAM#1에는 N 번째 영상이, SRAM#1에는 $(N + 1)$ 번째의 영상이 저장되어 있다고 생각한다. 그리고 SRAM#0와 SRAM#1의 버스는 DSP에 연결되어 있고 SRAM#2와 SRAM#3의 버스는 전처리 부의 버스 발생 블록에서 나오는 어드레스와 데이터 버스에 연결된다. 그러면 이 스테이트에서 DSP는 SRAM#0와 SRAM#1에 저장되어있는 N 과 $(N + 1)$ 번째 라인 영상을 읽어갈 수 있다. 동시에 전처리 부는 SRAM#2에 현재 들어오는 $(N + 2)$ 번째 라인 영상을 저장하고 SRAM#3에는 이전에 지연 시켜둔 $(N + 1)$ 번째 라인 영상을 저장하게 된다. 다음 영상 주기에서는 state 1로 연결이 바뀌어 SRAM#1과 SRAM#2는 DSP에, SRAM#3과 SRAM#0는 전처리 부에 연결된다. 이렇게 스테이트가 순서대로 바뀌어서 state 4에는 전처리 부는 현재 라인 영상인 $(N + 5)$ 영상과 지연 시킨 $(N + 4)$ 영상을 SRAM#1과 SRAM#2에 저장하고 DSP는 이전의 라인 영상들인 $(N + 4)$ 에서 N 번째 라인 영상을 읽어갈 수 있다. 그리고 다음 영상 주기에는 다시 state 0으로 돌아간다.

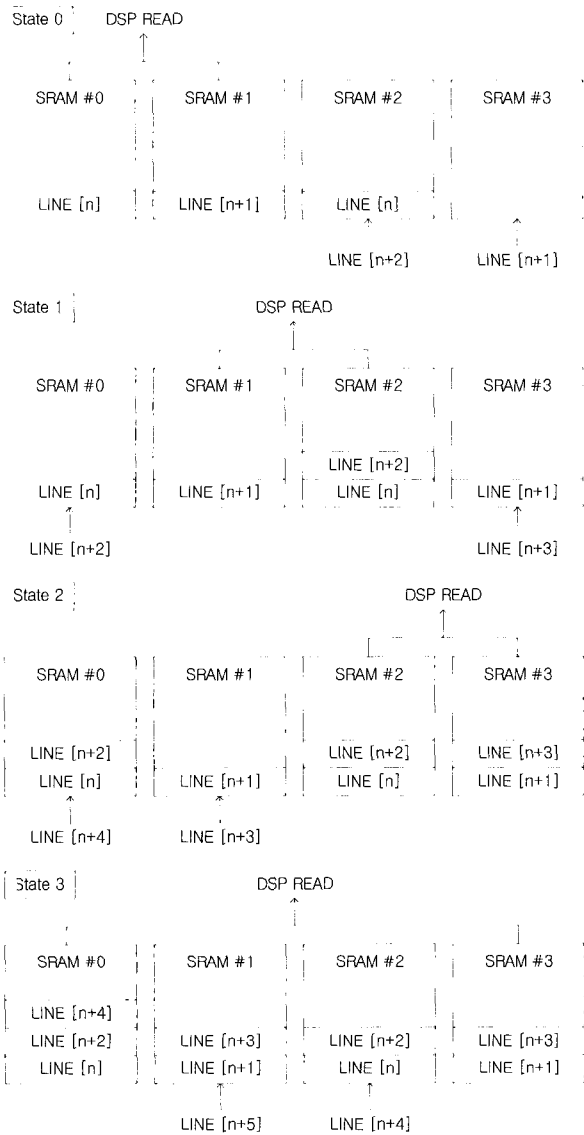


그림 6. SRAM을 이용한 프레임 메모리 구성.
Fig. 6. Configuration of the frame memory using SRAM.

그러한 스테이트 전환이 반복되면서 그림 6의 메모리 구조는 개념적으로 그림 5의 프레임 메모리 구조로 동작하게 된다. 그림 5에서 현재 전처리 부에서 N 번째 라인 영상을 메모리에 저장하고 있는 동안에 DSP는 프레임 메모리에 저장되어 있는 $(N - 1)$ 과 그 이전의 라인 영상을 읽어갈 수 있다. DSP의 관점에서 본다면 프레임 메모리에 이전의 라인 영상이 모두 저장되어 있으므로 각 라인 단위의 영상 처리뿐만 아니라 영역 기반의 영상 처리도 가능해진다.

전처리 부가 SRAM에 연결되어 데이터를 저장하기 위해서는 주 어드레스와 데이터 버스를 출력해야 한다. 그림 6에서 SRAM의 하위 어드레스는 한 라인 영상에서 픽셀이 위치하고 상위 어드레스는 라인의 위치를 지정하도록 한다. 그림 7은 전처리 부에서 어드레스 버스와 데이터 버스를 발생시키는 회로 발생 블록을 표시한 것이다. STATE는 그림 6의 스테이트를 나타내는 것이며 2-bit이다. LVAL 신호의 상승 시점, 즉

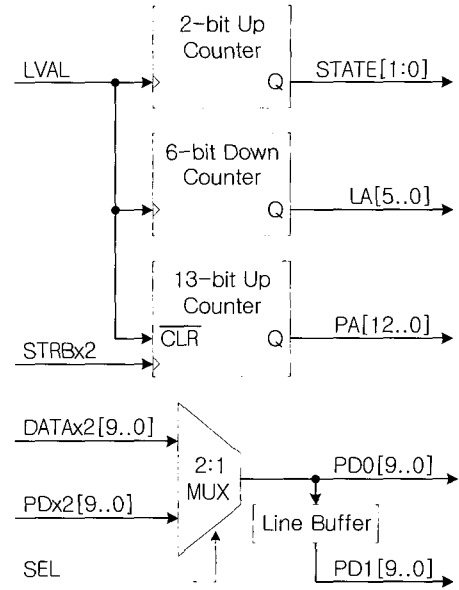


그림 7. 전처리 부의 어드레스와 데이터 발생 블록.
Fig. 7. The block diagram of the address/data generating block of the preprocessor.

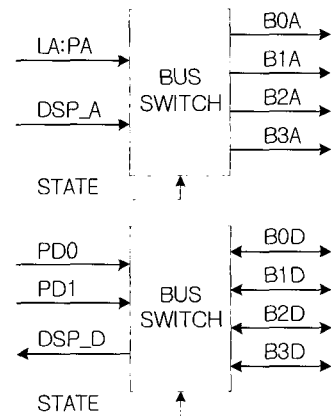


그림 8. 버스 스위칭 블록도.
Fig. 8. The block diagram of the bus switch.

새로운 라인 영상이 입력되는 영상 주기 시작에서 스테이트가 변환된다.

그리고 LA는 SRAM의 상위 어드레스에 연결될 라인 어드레스이고 PA는 하위 어드레스에 연결될 픽셀 어드레스다. PA는 13bit이므로 8k 픽셀의 한 라인 영상에 대응하고 있으며 LA는 6bit로 프레임 메모리는 64 라인 영상을 저장할 수 있다. 그림 7의 아래는 데이터 버스 발생 부이다. PD가 SRAM뱅크에 연결될 데이터 버스이다. PD0은 현재의 라인 영상이고 PD1은 라인 버퍼를 통해서 한 라인 지연된 영상이다. 그리고 멀티플렉서와 SEL(selection) 신호에 따라 영상을 그대로 보내거나 전처리 결과를 선택하여 보낼 수 있도록 하였다.

LA(Line Address)와 PA(Pixel Address)가 각각의 상위와 하위로 합쳐지고, 버스 스위칭 블록을 통하여 프레임 메모리와 연결된다. LVAL 신호에 따라 상태가 전환되고, 라인 어드레스가 증가한다. 그리고 STRBx2에 의해 각 라인의 픽셀 어드

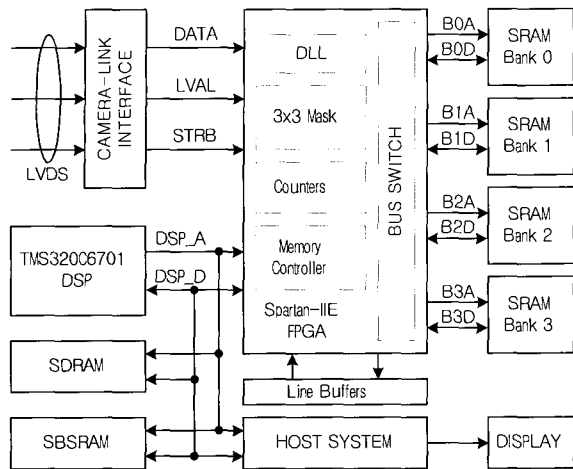


그림 9. 전체 시스템 블록도.
Fig. 9. The block diagram of the designed system.

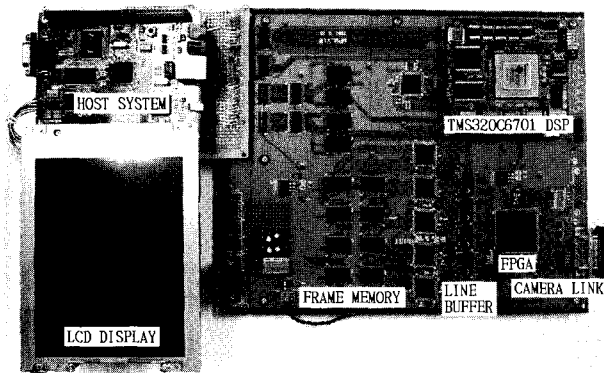


그림 10. 구현된 시스템.
Fig. 10. Implemented system.

레스가 증가한다.

그림 8은 버스 스위칭 블록이다. B0A와 B1A, B2A, B3A는 SRAM BANK의 어드레스 버스와 B0D와 B1D, B2D, B3D는 데이터 버스와 LA:PA와 DSP_A는 각각 전처리 부와 DSP의 어드레스 버스와 PD와 DSP_D는 데이터 버스이다. 이들은 스테이트에 따라 그림 6에 보인 바와 같이 각 SRAM BANK의 어드레스와 데이터 버스와 DSP, 전처리 부에 연결된다. 상태에 따라 각 버스의 연결을 달리 해주기 위하여 이러한 버스 스위치를 설계하였다.

그림 7과 8의 블록은 FPGA에 설계하였다.

V. 시스템 설계

설계된 시스템의 전체 구성은 그림 9와 같다. Xilinx사의 Spartan-II E FPGA를 사용하여 전처리 부와 프레임 메모리 인터페이스 회로를 구성하였다. 영상 처리 부는 Texas Instrument 사의 TMS320C6701 DSP를 사용하였고 DSP의 연산 결과 등을 저장하기 위하여 SDRAM과 SBSRAM을 사용하였다 카메라 링크 신호인 LVDS(Low Voltage Difference Signaling)는 TTL 신호로 변환하여 FPGA에 전달된다. 이렇게 전달된 영상은 전처리 부를 거쳐서 상태에 따라 선택된 2개의 S-RAM

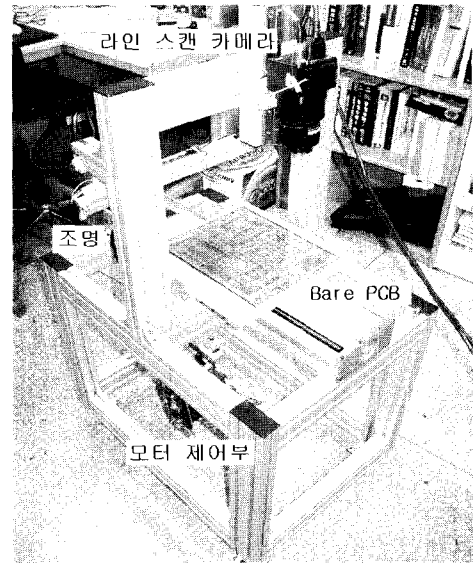


그림 11. 테스트 시스템의 구성.
Fig. 11. The configuration of the testing system.

뱅크에 저장된다. 그리고 DSP는 영상이 저장되는 동안과 그 이후 시간에 나머지 뱅크에서 영상을 읽어갈 수 있다. 유리나 원단 등과 같이 폭이 긴 대상물을 정밀 검사하는 경우에는 여러 대의 카메라를 한 줄로 배치하여 각 카메라마다 본 영상 처리 시스템이 설치되어야 한다. 본 시스템에서는 이러한 경우 호스트 시스템(host system)을 두어 하나의 호스트 시스템에는 여러 개의 영상 처리 시스템이 연결될 수 있도록 하였다. 호스트 시스템은 각각의 DSP에 연결되어 시스템을 초기화하고 동작을 지지하는 기능과 함께 각 영상 처리 시스템으로부터 처리 결과를 수집하여 모니터에 표시하는 기능을 한다.

VI. 실험

제작된 시스템의 동작을 확인하기 위하여 그림 11과 같은 환경을 구성하였다. 모터를 사용하여 일정 속도로 대상물로 사용된 PCB(Printed Circuit Board)를 이동하면 수직 방향에 설치된 라인 스캔 카메라로 영상을 입력 받아서 본 시스템으로 전송한다. 조명은 대상물에서 카메라의 CCD가 영상을 획득하는 부분에 광량이 집중되도록 조정되었다.

시스템의 동작은 그림 12와 같다. t_1 시간 동안 카메라는 N 번째 라인 영상을 출력한다. 카메라의 LVAL과 STRB 신호에 동기하여 전처리와 영상의 저장이 이루어지므로 전처리 결과 영상은 프레임 메모리에 지연 없이 저장되었다. t_3 시간 동안 DSP는 프레임 메모리에 저장되어 있는 $0 \sim N-1$ 의 영역 영상을 읽고 처리할 수 있었다. t_3 는 DSP의 처리 속도와 적용될 영상 처리 알고리즘에 따라 달라질 것이다. 본 실험에서는 카메라의 최고 동작 속도에서 카메라가 출력하는 영상을 프레임 메모리에 저장하는 동시에 DSP가 프레임 메모리의 임의 픽셀을 읽을 수 있는지를 검증한 것이다.

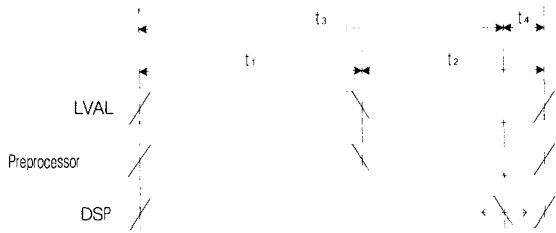


그림 12. 시스템의 동작 타이밍도.
Fig. 12. The timing diagram of the system.

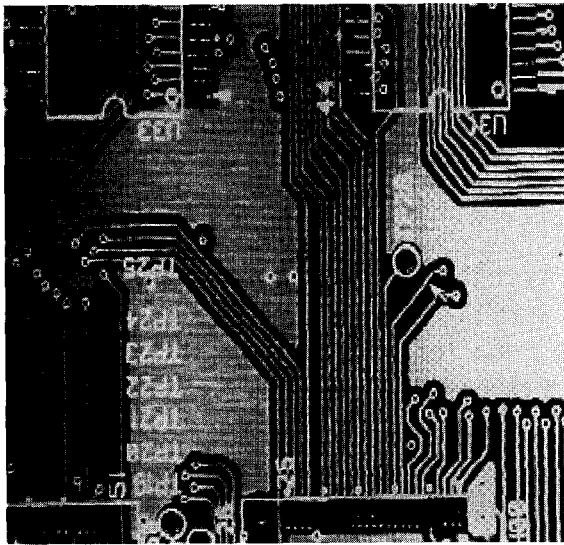


그림 13. 시스템의 출력 영상.
Fig. 13. The output image of the system.

라인 단위로 입력되는 영상을 프레임 메모리에 모으면 영역 영상이 된다. 영역 영상의 수직 해상도를 고려하여 모터의 속도를 정한다. 카메라의 라인 영상 입력 주기를 고정했을 때, 대상물의 이송 속도가 빠르면 영상의 수직 해상도가 떨어지고 낮으면 높아진다. 시스템의 최대 성능을 확인하기 위하여 라인 영상 주기를 사용된 카메라가 갖는 최고 값인 12. kHz에 맞추었다. 그리고 DSP는 프레임 메모리의 내용을 읽어서 호스트 시스템으로 전송하도록 하였다. 이는 시스템이 고속 동작에서 영상을 안정적으로 프레임 메모리에 적재할 수 있음을 확인하기 위한 것이다. 그리고 일정 분량의 라인 영상이 프레임 메모리에 저장 되었을 때 영상 획득을 멈추고 호스트 시스템은 DSP로부터 전송된 영상을 LCD에 출력하였다. 그림 13은 이렇게 얻어진 영상의 일부이다. 이를 통하여 카메라의 고속 동작에서 전처리 부를 통과한 영상이 프레임 메모리에 쓰여지는 동안에도 DSP가 프레임 메모리를 읽을 수 있음을 확인 하였다.

VII. 결론

라인 스캔 카메라는 라인 영상의 해상도가 높을 수록 영상의 획득과 전송에 걸리는 시간도 길다. 최근에는 해상도가 6k-1pl(pixel/line) 또는 8k-ppl로 높으면서 라인 영상 주기가 10 kHz 이상인 고속 라인 스캔 카메라가 소개되고 있다. 본 시

스템은 이러한 고속으로 전송되는 영상을 지연 없이 영역 메모리에 저장하고, 영상이 저장되는 중에도 DSP가 프레임 메모리를 읽을 수 있도록 설계 하였다. 비록 SRAM을 사용하여 메모리의 비용이 다소 높아지지만 듀얼 포트 구성과 고속의 랜덤 액세스를 가능하게 하는 메모리 제어부가 DRAM 경우보다 상당히 간단해 졌고, 정해진 라인 영상 주기에 대하여 DSP로 구성된 영상 처리 부에 영상 처리를 위한 시간을 더 제공할 수 있었다. 이는 기존의 시스템과 비교하여 동일한 시간이 걸리는 영상 처리 알고리즘을 채택했을 때, 본 시스템은 영상 입력을 위한 대기 시간이 없으므로 라인 영상 주기를 짧게 설정할 수 있어서 전체 적인 성능 향상을 얻게 되었다. 그리고 기존 실시간 시스템의 경우 전처리 결과를 한 라인씩 DSP에 전달하여 처리하거나, 영역 처리가 필요한 경우 DSP가 이 라인 영상을 별도의 메모리에 저장하여 프레임 영상을 만들어 처리하는 것과는 달리, 본 시스템은 별도의 데이터 전송을 수행하지 않아도 되므로 DSP는 곧바로 영역 기반의 영상을 처리할 수 있어 소프트웨어를 PC에서와 같이 범용 설계가 가능하다.

최근 기존의 모니터 및 TV등을 급속히 대체하고 있는 대형 LCD의 수요가 급증하고 있고, 또한 휴대폰, PDA 등 소형 LCD의 수요 또한 폭발적으로 증가하고 있다. 때문에 고품질의 원판 유리의 공급이 필수적이다. 이러한 원판 유리에 존재하는 수 μm 의 결함을 고속으로 검사하기 위해서는 높은 해상도의 고속 라인 스캔 카메라와 함께 이에 상응하는 영상 처리 시스템이 필수적이다. 본 시스템은 이러한 응용에 사용되어 검사 공정에서 검사 결과의 신뢰성 향상과 더불어 검사 속도의 단축에 기여하리라 기대된다.

참고문헌

- [1] L. Duvioubourg, J. Caron, J. G. Postaire, "On line conformity analysis on perforated plastic films by automated visual inspection," *Proc. of the Fourth International Conference on Knowledge-Based Intelligent Engineering Systems and Allied Technologies*, vol. 1, pp. 377-380, 2000.
- [2] I. C. Baykal, G. A. Jullien, "Detection of defects in textures with alignment error for real-time line-scan web inspection systems," *The 45th Midwest Symposium on Circuits and Systems*, vol. 3, pp. 292-295, 2002.
- [3] S. N. Lee, B. J. You, M. S. Lim, S. R. Oh, S. S. Han, S. H. Lee, "Visual measurement of pile penetration and rebound movement using a high-speed line-scan camera," *Proc. of ICRA '02. IEEE International Conference on Robotics and Automation*, vol. 4, pp. 4307-4312, 2002.
- [4] J. H. Kim, S. Ahn, J. W. Jeon, J. E. Byun, "A high-speed high-resolution vision system for the inspection of TFT LCD," *Proc. of ISIE 2001. IEEE International Symposium on Industrial Electronics*, vol. 1, pp. 101-105, 2001.
- [5] 류경, 김영기, 이병진, 박귀태, 김경민, "라인영상 입력을 갖는 영상처리 시스템 설계," 제어계측자동화로보틱스연구회합동학술발표회, pp. 246-249, 1998.
- [6] 류경, 김영기, 문윤식, 박귀태, 김경민, "칩 마운터에의 FIC 부품 인식을 위한 실시간 처리 알고리즘에 관한 연구," 한국자동제어학회학술회의논문집(KACC), pp. 48-51, 1997.

- [7] 정현, 최한수, “FPGA 기반의 독립형 라인스캔 카메라 프레임 그래버 설계,” 제어·자동화·시스템공학 논문지, 제 8 권, 제 12 호, pp. 1036-1040, 2002.
- [8] 강현인, 주용완, 백광렬, “Contact Image Sensor를 위한 고속 영상 처리 보드 구현,” 제어·자동화·시스템공학 논문지, 제 5 권, 제 6 호, pp. 691-697, 1999.
- [9] DALSA, *Specifications of the Camera Link Interface Standard for Digital Cameras and Frame Grabbers*, DALSA Inc., Oct., 2000.
- [10] Xilinx, *Spartan-II 2.5V FPGA Family: Functional Description*, Xilinx Inc., Mar., 2001.
- [11] Xilinx, *Using Delay-Locked Loops in Spartan-II FPGAs*, Xilinx Inc., Jan., 2000.
- [12] 이운근, 이준웅, 조석빈, 고덕화, 백광렬, “도로교통 영상 처리를 위한 고속 영상처리시스템의 하드웨어 구현,” 제어·자동화·시스템공학 논문지, 제 9 권, 제 7 호, pp. 498-506, 2003.
- [13] SAMSUNG Electronics, *256K x 16 Bit High Speed Static RAM*, SAMSUNG Electronics CO., LTD., Oct., 2002.
- [14] D. J. Smith, *HDL Chip Design*, Doone Publications, Madison, AL, USA, 1996.

조 석 빈

제어 · 자동화 · 시스템공학 논문지 제 9 권 제 7 호 참조.

이 운 근

제어 · 자동화 · 시스템공학 논문지 제 9 권 제 4 호 참조.

백 광 렬

제어 · 자동화 · 시스템공학 논문지 제 5 권 제 1 호 참조.