

CDMA2000 1x 환경하에서 스마트 안테나 시스템의 채널카드 구현 및 성능 분석

The Implementation and Performance Analysis of Channel Card of Smart Antenna System in CDMA 1x Environment

박재용 · 안성수* · 최승원**

Jae-Yong Park · Sung-Soo Ahn* · S. Choi**

요약

본 논문에서는 변복조(modulation/demodulation) 기능을 수행하는 스마트 안테나 기지국용 채널카드(channel card)를 실제 하드웨어로 구현하였다. 구현된 채널카드(channel card)는 우선적으로 각 구성 모듈의 기능 및 성능을 확인하였고, 완성된 채널카드를 스마트 안테나 시스템에 장착해 실제 필드 시험을 수행하여 성능을 확인하였다. 본 논문에서는 다중경로 페이딩이 존재하는 CDMA2000 1X 환경에서 채널카드의 성능을 필드 실험을 통해서 분석한 결과, DOA(Direction Of Arrival) 방향으로 정확한 빔패턴이 형성되는 것을 확인하였고, 채널카드가 내장된 스마트 안테나 시스템이 기존의 2안테나 다이버시티 시스템보다 FER(Frame Error Rate)이 5~8배 정도 우수하다는 것을 확인하였다.

Abstract

This paper presents an implementation of smart antenna system channel card that executes modulation/demodulation. Operations and performances of modules of implemented channel card is confirmed and field test of channel card shows the performance of smart antenna systems. Based on the analysis obtained from the field test in cdma2000 1x environments which contains multipath fading, it is confirmed that smart antenna system channel card provide exact beampattern to the DOA and performance of proposed channel card has better FER by 5~8 times, compared to 2 antenna diversity system.

Key words : Smart Antenna, CDMA2000 1X, Channel Card, Beamforming Algorithm

I. 서론

3세대 이동통신에서 요구하는 다양한 서비스를 제공하기 위해서는 각 가입자마다 훨씬 넓은 대역폭과 고속 데이터 전송이 필요하나, 현재와 같이 무선 채널 대역폭이 한정되어 있는 상황에서는 부득이하게 통신용량이 줄어들게 된다. 이러한 한계를 극복

하고, 통신용량의 증대와 통신 품질 향상을 위해서 스마트 안테나 시스템이 제시되고 있다^{[1],[2]}. 스마트 안테나 시스템은 원하는(desired) 신호원이 수신되는 방향으로 큰 이득을 제공함과 동시에 간섭(undesired) 신호원들에 해당하는 방향으로 수신이득을 최소화하는 구조를 가진 시스템이다. 즉, 배열 안테나의 빔 패턴(beam pattern)을 조정하여 수신이득을 증

「본 연구는 대학 IT 연구센터 육성 지원 사업의 연구결과로서 HY-SDR 연구센터의 연구비 지원으로 수행되었음.」

한양대학교 정보통신공학과(School of Information and Communications, Hanyang University)

*명지전문대학 정보통신공학과(Dept. of Information and Communications, Myongji College)

**한양대학교 전자통신전파공학과(School of Electrical and Computer Engineering, Hanyang University)

· 논문 번호 : 20030718-103

· 수정완료일자 : 2004년 1월 8일

대시키는 시스템이다^{3,4)}.

본 논문에서는 스마트 안테나 시스템에서 변복조 기능을 수행하는 채널카드를 하드웨어로 실제 구현하여, 각 구성모듈의 기능 및 성능 등을 확인하였고, 실제 구현된 스마트 안테나 채널카드를 이용해 성능 분석을 수행하였다.

기존에 제시된 채널카드는 단일 안테나용 채널카드로 원하는 사용자로의 빔패턴 조정이 불가능하고 무지향성으로 신호를 전송하기 때문에 성능이 좋은 HPA(High Power Amplifier)를 사용해야 하며, 이 HPA를 사용함으로써 다른 기지국의 성능을 감소시키는 형태로 채널카드 및 시스템이 구현되었다^{5,6)}. 그러나 본 논문에서 구현한 채널카드는 여러 개의 안테나 소자가 있는 스마트 안테나 시스템에 적용된 것으로, 변조기(modulator), 복조기(demodulator), 변조기 콘트롤러(modulator controller), 복조기 콘트롤러(demodulator controller), 채널카드 콘트롤러(channel card-controller) 등으로 구성되어 있으며, 변복조기에는 빔형성 모듈이 내장되어 있어 통신을 원하는 사용자에게 최적의 빔패턴을 실시간 제공하는 것이 가능하다.

본 논문에서는 우선 채널카드의 핵심 모듈인 변조기와 복조기를 실제 설계하여 각각의 동작을 확인하였고, 복조기는 탐색기, 핑거, 추적기 등으로 복잡하게 구성되어 있어 복조기 자체 동작 확인을 위해 탐색기, 추적기에 대해서만 성능을 확인하였다. 또한, 채널카드 구현시 변복조기 콘트롤러와 상위 계층간의 통신을 위해 변복조기 콘트롤러의 DSP(digital signal processor)와 콘트롤러에 인터페이스 프로그램을 구현하였다.

구현한 채널카드의 성능 분석은 2단계로 구분해 수행하였는데, 첫 번째로, 구현된 채널카드의 핵심기능 모듈인 변복조기의 성능을 PC로 시뮬레이션하여 완성된 채널카드의 성능을 우선적으로 확인하고, 두 번째로, 각 모듈의 통합된 채널카드를 스마트 안테나 시스템에 적용하여 실제 필드 시험을 통해 정확한 성능 분석을 수행하였다. 본 논문에서 수행한 성능 분석의 채널 환경은 AWGN(Additive White Gaussian Noise)과 페이딩(fading)이 존재하는 CDMA2000 1x이고, 이러한 통신환경에서 다양한 성능 분석을 수행하여 채널카드가 장착된 스마트 안테나 시스템이 기존 기지국 시스템인 2안테나 다이버시티 시스템보다 우수

한 성능을 제시하는지를 보여주고자 한다. 본 논문의 2장에서는 채널카드의 구조와 하드웨어 구현 방법 및 각 구성 모듈의 상능을 확인하였고, 3장에서는 실제 필드시험을 수행한 성능분석결과를 제시하였고, 마지막으로 4장에서는 결론을 제시하였다.

II. 채널카드 구조 및 설계

이동통신 기지국에 내장되는 채널카드는 안테나를 통해 송수신되는 기저대역 신호의 변복조 기능을 수행한다. 채널카드의 변조기능은 신호의 에러 확인 및 방지를 위해 CRC(Cyclic Redundancy Check), 인터리빙(interleaving) 과정과 왈시 변조(walsh modulation), 주파수 확산(spread spectrum) 등이 있으며, 송신된 신호를 수신하여 복조하는 과정은 변조과정의 역순으로 하게 되는데, 수신기에서는 멀티패스로 입사되는 신호를 획득, 추적하기 위해 탐색기, 핑거, 추적기 등이 필요하게 된다. 본 논문에서 개발한 채널카드는 스마트 안테나 기지국용으로 안테나 어레이로 수신되는 신호를 처리할 수 있도록 탐색기, 핑거, 추적기를 고려하여 새로이 설계하였으며, 특히, 원하는 사용자에게 최대의 이득을 제공해주는 빔형성 모듈이 내장되어 있다.

본 논문에서 구현된 채널카드는 그림 1과 같이 크게 변조기, 복조기, 변조기 콘트롤러, 복조기 콘트롤러, 채널카드 콘트롤러로 구성된다.

변조기는 기지국의 순방향 링크의 신호를 발생하여 상용 단말기가 수신할 수 있도록 CDMA2000 규격을 따라 변조과정을 수행하도록 설계를 했다^{5,6)}.

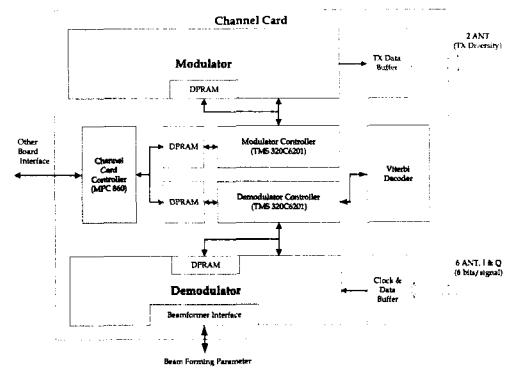


그림 1. 채널카드 전체 블록도
Fig. 1. Block diagram of channel card.

복조기는 변조된 단말기의 신호를 복조하는 기능을 수행하며, 스마트 안테나에 필요한 빔형성기능을 적용하여 통신 용량 및 통신 신뢰성을 증진시킬 수 있도록 구현됐다^{[8],[9]}. 이러한 기능구현을 위해 탐색기(searcher)와 핑거(finger), 추적기(code tracking), 빔포머(beamformer)로 복조기를 구성하였다.

탐색기는 6개의 안테나로부터 수신 신호를 획득(acquisition)하는 기능을 수행하는데 이 기능은 각 안테나의 에너지를 모두 합쳐서 다이버시티 이득(diversity gain)을 얻도록 구현했다^{[11],[12]}.

핑거는 복조의 기능과 채널상의 오류에 대해서 채널보상을 할 수 있도록 설계했으며 특히 빔포머와 서로 통신을 하면서 최적의 웨이트값을 핑거의 복조시 적용할 수 있는 구조로 만들어 성능 향상을 할 수 있도록 구현했다^[10]. 또한 획득한 신호를 지속적으로 유지하기 위해서 코드 추적을 수행하며 최적의 빔형성을 위해 6개의 신호를 모두 고려하여 추적하게 하도록 설계하였다^[7]. 이외에 설계된 복조기는 역방향 링크에서 수신하는 전력제어 비트(power control bit)를 복조하는 기능과 수신전력을 측정하여 전력제어도 할 수 있도록 구현됐다. 변조기 컨트롤러와 복조기 컨트롤러는 DSP가 포함되어 구성되어 있는데, 이 DSP에서는 하드웨어 제어 및 모뎀 드라이브 역할을 하며, 동시에 deinterleaving 기능과 심볼 반복(symbol repetition) 기능도 포함하여 동작하도록 되어 있다. 채널카드 컨트롤러는 MPC860 프로세서를 사용하여 채널카드를 제어하고, Layer 2, Layer 3 기능인 호처리(call processing)를 하여 음성통신이 가능하게 하며, 상위 Layer와 통신이 가능하게 설계하였다. 그림

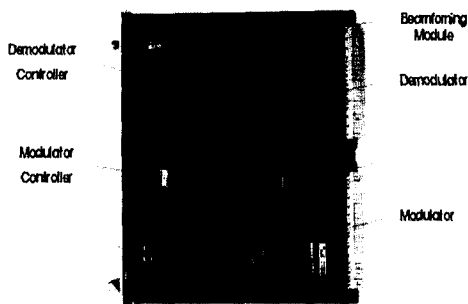


그림 2. 채널카드 전체 블록의 PCB
Fig. 2. Channel card of smart antenna.

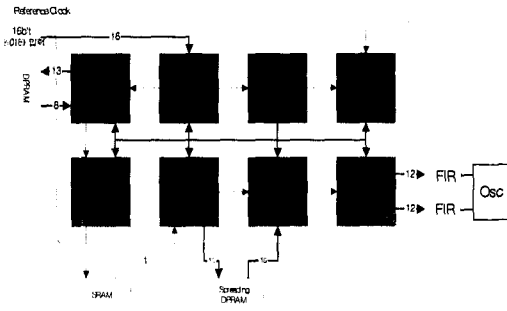


그림 3. 변조기 전체 블록
Fig. 3. Structure of modulator.

2는 실제 PCB board로 구현된 채널카드를 보여 주고 있다.

2-1 변조기 설계

본 논문에서 설계한 변조기는 그림 3에서 보인 것처럼 CDMA2000 1x 채널구조에 따른 변조과정을 거친다.

설계된 변조기의 동작을 보면, 우선적으로 그림 3에서 보는 바와 같이 16 bit 데이터(좌측 상단)가 Processor Interface 블록으로 입력된다. Processor Interface로 입력된 데이터는 상위 계층(layer)에서 오는 데이터들의 시간을 맞추기 위해서 Processor DPRAM Interface를 거쳐 DPRAM으로 저장된다. DPRAM에 저장된 데이터는 랜덤 에러발생 확인을 위해 CRC and channel encoder 블록을 거치며, 연접오류(burst error)를 방지하기 위해 Interleaver를 통과하게 된다. 이렇게 처리한 데이터는 signal spreader 블록으로 입력되어 Long 코드 PN 확산과정을 통해 사용자를 구분시키고 QPSK 변조방법으로 전송하도록 처리한 후에 Signal combine 블록에서 파일럿 채널, 동기 채널, 페이징 채널과 각 사용자 통화 채널들 전체를 통합(combining)한 후 FIR(Finite Impulse Response) 필터를 통해서 전송한다. 이와 같이 설계된 변조기의 성능분석을 위해 본 논문에서는 입력된 데이터가 최종적으로 FIR 필터를 통과한 후의 데이터 파형을 계측기로 측정하였다. FIR 필터를 통과하는 최종 파형이 정현파로 발생하면 정상동작하는 것을 의미한다.

그림 4는 16 bit의 입력 데이터가 signal combine 블록을 거쳐 FIR 필터를 통과한 결과를 보여주고 있

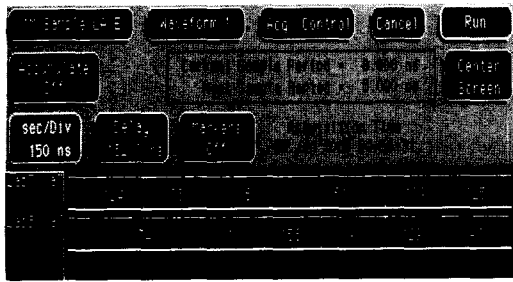


그림 4. 변조기의 검증(HP analyzer 측정한 값)
Fig. 4. Verification of modulator(A measured value of HP analyzer).

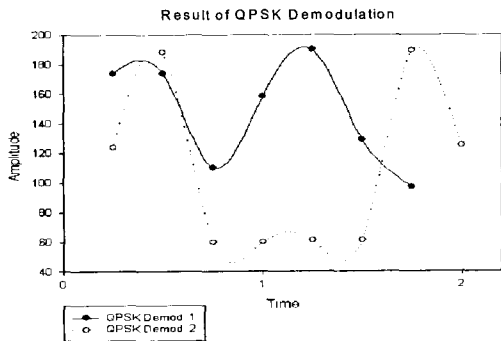


그림 5. 계측된 QPSK 변조형태(sin파)
Fig. 5. A measured QPSK modulator format(sine wave).

다. FIR 필터 출력값은 실수부와 허수부로 나누어진 다. 그림 4의 계측기 표시기 아래 부분에 두 줄로 표시된 것 중에서 윗부분이 실수부이며, 아래 부분이 허수부를 의미한다.

그림 5는 계측된 수치를 파형으로 보여주고 있다. 그림 5에서 보는 바와 같이 필터의 출력파형은 정현파 형태가 나타나므로 정상적으로 출력되는 것을 확인할 수 있다.

2-2 복조기 설계

본 논문에서 설계된 복조기는 그림 6에서 보는 바와 같이 빔 형성 모듈, 탐색기(searcher), 핑거(finger), 추적기(tracker)로 구성되어 있다.

복조기 동작은 그림 6에서 보는 바와 같이 우선적으로 FPGA(Field Programmable Gate Array) Serial ROM과 Clock Buffer를 이용하여 탐색기, 핑거, 추적기를 동작시킨다. 이렇게 동작된 탐색기, 핑거, 추적기로 안테나 수신 신호가 입력되어 일차적으로 탐색

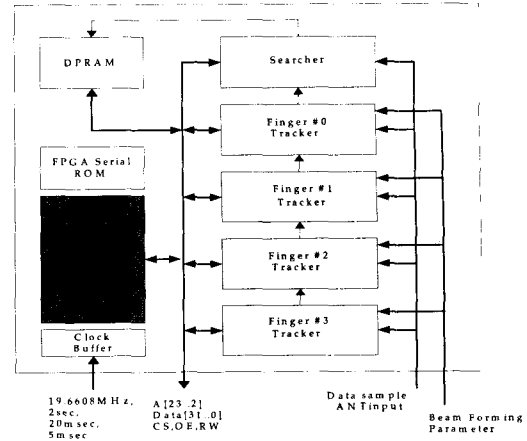


그림 6. 복조기의 블록도
Fig. 6. Structure of demodulator.

기를 통하게 되는데, 탐색기에서는 I 채널 데이터와 Q 채널로 수신된 데이터의 에너지 값을 측정하여 초기동기를 획득하고, 그 결과값을 DPRAM에 저장하게 된다. DPRAM에 저장한 결과값은 핑거, 추적기에 입력되어 복조를 수행한다. 핑거는 레이크 수신기(rake receiver)를 사용하여 M개의 다중경로로 수신된 각기 다른 지연 시간을 가지고 있는 신호를 각각의 시간에 맞추어서 복조할 수 있도록 하는 역할을 수행한다. 이때, 핑거의 정확한 복조를 위해 빔형성 모듈에서 얻어진 최적의 웨이트값을 핑거로 입력시켜주고, 핑거(4개)에서 얻은 결과값은 합해져서 DPRAM에 저장하게 된다. 추적기는 I 채널 데이터와 Q 채널 데이터를 해당 옵셋의 1/2 chip만큼 좌우로 미세 이동하면서 에너지를 측정하여 옵셋값을 조정하면서 획득한 에너지가 계속 추적되도록 하는 역할을 한다. 복조기의 성능은 구성 모듈인 탐색기, 추적기의 만을 이용하여 확인할 수 있으므로, 본 논문에서는 탐색기와 추적기에 대한 성능을 분석하였다.

2-2-1 탐색기(searcher)

본 논문에서 설계된 탐색기는 동시에 6개의 안테나로부터 수신되는 신호를 가지고 에너지를 측정한다. 탐색기의 처리이득(processing gain), 즉 적분 주기를 늘리면 성능이 증가하지만 단말기의 움직임 때문에 기지국에 도착하는 수신신호의 크기와 위상이 시간에 따라 계속 변동되므로 실시간 처리의 어려움 때문에 적분주기를 늘릴 수 없다. 적분주기 설정은

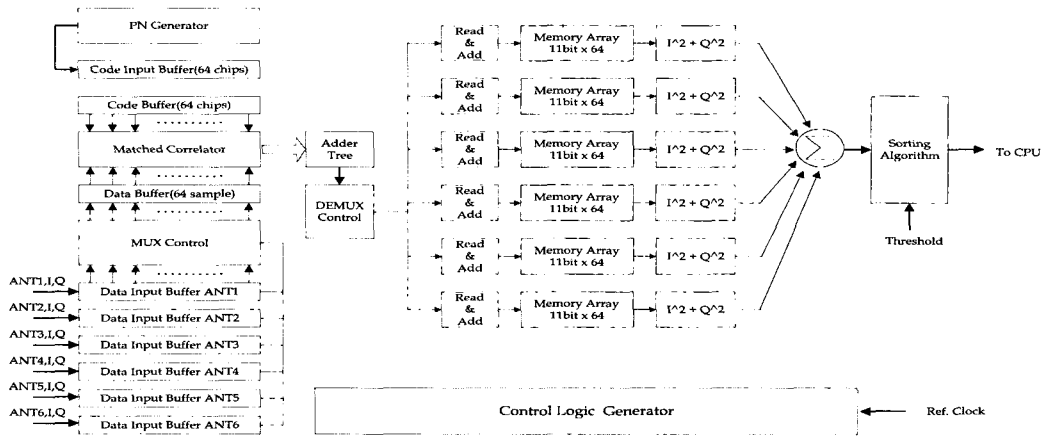


그림 7. 탐색기 블록
Fig. 7. Structure of proposed searcher.

현재 상용화되어 있는 이동통신 시스템의 기지국 구분 오프셋(offset)이 64칩 단위로 이루어지고 있기 때문에 64칩 단위의 정수배를 고려해 적용하여야 한다.

그림 7에서 보는 바와 같이 본 논문에서 설계된 탐색기는 정확한 탐색을 위해 64개의 matched correlator를 사용하였으며, 빠른 탐색을 위해 병렬구조로 설계하였다. 따라서, 64단의 Matched correlator의 적분길이(integration length)는 64가 된다. 이러한 Matched correlator의 출력값, I 및 Q 채널의 상관결과를 각각 제공하면, 즉 I^2+Q^2 은 에너지값이 되며 이 에너지값은 64L개가 된다. 여기서 L은 correlator의 변수로 다중경로의 신호를 고려하여 설정하는 것으로, 본 논문에서는 L을 2로 하였다. 이 에너지 값을 탐색 알고리즘을 이용하여 가장 큰 8개의 에너지를 구하고, 그에 따른 오프셋값도 결정한다.

그림 8은 탐색 알고리즘(sorting algorithm)을 이용해 128개의 에너지값 중 가장 큰 8개가 선정된 결과값을 보여주고 있다. 그림 8에서 보는 바와 같이 8개의 best_energy[31.0] 값은 32 bit 이진수로 표현되어 있으며, 좌측 8 bit가 오프셋값이며, 나머지 24 bit가 에너지 값을 보여주고 있다. 이러한 24 bit의 이진수를 10진수로 바꿔 큰 값부터 순차적으로 정렬된 값은 obest_energy[24.0]으로 표시되고 있으며, 그림 8의 아래부분에서 보여주고 있다.

2-2-2 추적기(tracker)

일반적인 단일 안테나용 추적기는 입력 신호를

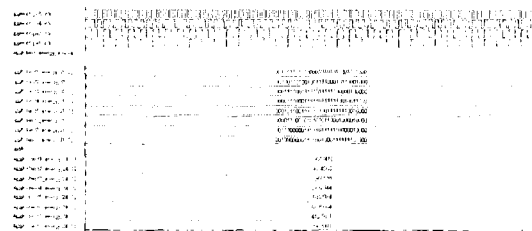


그림 8. 큰 에너지값을 sorting한 결과
Fig. 8. A sorting value of peak values.

Early correlator에 입력시키고, 한칩 지연(delay)시킨 신호를 Late correlator에 입력시켜서 correlation을 수행한다. 그러나 본 논문에서 구현한 추적기는 6개의 안테나로 입력되는 신호들을 동시에 correlation을 수행하도록 구조를 그림 9와 같이 변경시켜 성능이 향상되도록 구현했다.

그림 9와 같이 N개의 신호를 좌측의 Early correlator와 우측의 Late correlator를 통과시켜 I 채널 데이터와 Q 채널 데이터를 서로 각각 제공하여 합한 후 Early correlator 출력값에서 Late correlator 출력값을 뺀 만큼의 오차값을 NOC(Numeric Controlled Oscillator) 블록에 입력시킨다. NCO 블록에서는 아날로그 PLL(Phased Lock Loop)의 VCO(Voltage Control Oscillator) 기능을 수행하여 각 경로간의 위상지연값을 보상해 탐색기를 통해 획득한 데이터의 에너지값이 계속 유지되도록 해준다.

그림 10은 FPGA 개발 툴인 MAXPLUS 2를 이용하여 그림 9의 추적기를 하드웨어 시뮬레이션을 수

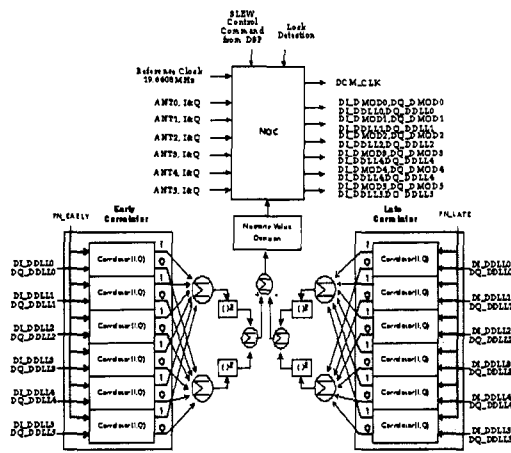


그림 9. 추적기의 블록도
Fig. 9. Structure of proposed tracker.

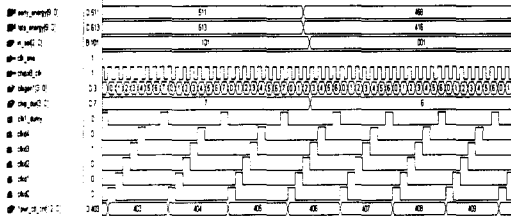


그림 10. 추적기의 하드웨어 시뮬레이션 결과
Fig. 10. Hardware simulation result of tracker.

행한 것이다. 그림 10을 보면 Early correlator 값은 early_eng[9..0]으로, Late correlator 값은 late_eng[9..0] 값으로 표시하고 있으며, 두개의 수신신호 에너지 값만 표시하였다. early_eng[9..0]과 late_eng[9..0] 값은 6개의 안테나에서 들어오는 신호를 despread한 후 20ms 동안 축적한 에너지를 의미한다.

첫 번째 수신신호의 Early correlator 값은 511이고, Late correlator 값은 613이므로 두 개의 correlator중 더 큰 Late correlator 값에 의해 추적기의 클럭구간이 1/8 chip만큼 우측으로 늘어나게 된다. 그림 10의 clkgen1[3..0]을 보면 클럭 구간이 7까지로 되어 있는데, 그전 구간이 6으로 되어 있어서 실제 1 클럭이 늘어나 있는 것이다. 여기서 클럭 구간이 1/8 chip 인 이유는 8개의 안테나를 사용하기 때문이며, 실제 본 논문에서는 8개의 안테나 중 6개만을 이용하여 수신하게 된다. 이와 마찬가지로 두 번째 신호의 에너지 값을 비교하면, Early correlator 값은 468이고, Late

correlator 값은 416으로 이번에는 Early correlator 값이 더 커서 좌측으로 클럭 구간이 1/8 chip만큼 줄어들게 된다. 그림 10의 clkgen1[3..0]을 보면 클럭 구간이 6으로 줄어든 것을 볼 수 있다. 이러한 검증방법을 통해 추적기의 성능에 이상이 없음을 확인하였다.

Ⅲ. 스마트안테나를 이용한 채널카드의 성능분석

본 장에서는 본 논문에서 개발한 채널카드의 성능을 분석하고자 한다. 성능분석은 우선 PC를 이용하여 다양한 신호환경에서 시뮬레이션을 수행한 다음, 실제 필드시험을 통해 최종적으로 성능을 확인하는 절차로 수행하였다. PC를 이용한 성능분석에서는 deinterleaving부터 CRC까지 코딩 이득을 포함한 모든 채널의 성능을 FER값으로 확인하였다. 성능분석을 위한 채널환경의 모델링은 다중 경로 페이딩 채널로서 사용자가 이동하고 있을 경우에 발생하는 도플러 주파수에 의한 신호 세기의 변화와 여러 경로로 나뉘어진 신호들의 불규칙한 입사각 즉, 각도 퍼짐(angle spread)을 고려하였다^{[8],[9]}. 수신된 신호들은 도플러 주파수가 80 Hz인 레일레이 페이딩, 잡음은 AWGN으로 가정하였다. 그리고 단일안테나로 수신된 경우와 6개의 어레이 안테나를 사용한 경우에 각각 FER을 측정함으로써 성능을 비교하였고, 퍼짐 각이 0°, 10°, 20° 일 때의 FER을 측정하였다.

본 논문에서 적용한 빔형성 알고리즘은 일반화된 라그랑제 승수(generalized Lagrange Multiplier)^{[8],[13]}를 이용하였다. 본 논문에서 적용된 일반화된 라그랑제 알고리즘은 기존의 라그랑제 알고리즘^[12]을 근간으로 하여 만들어진 것으로, 기존의 라그랑제 알고리즘은 페이딩(fading)이나 퍼짐각(angle spread)이 존재하는 열악한 신호환경에서 성능이 저하되는 단점이 있어 본 논문에서는 이러한 단점을 보완한 일반화된 라그랑제 알고리즘을 적용하였다.

3-1 PC를 이용한 시뮬레이션

3-1-1 AWGN 환경에서의 성능 분석

AWGN 환경에서의 기존 안테나와 6-안테나의 성능 비교에 대해 살펴보자. 그림 11은 발신호의 DOA

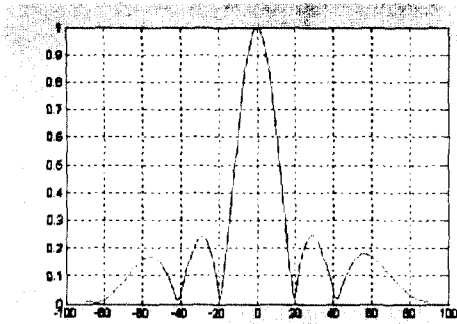


그림 11. DOA가 0°일 때의 빔 패턴
Fig. 11. Beampattern when DOA is 0°.

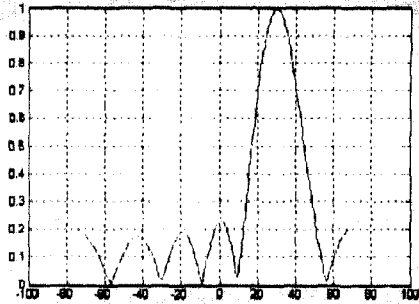


그림 13. DOA가 30°일 때의 빔 패턴
Fig. 13. Beampattern when DOA is 30°.

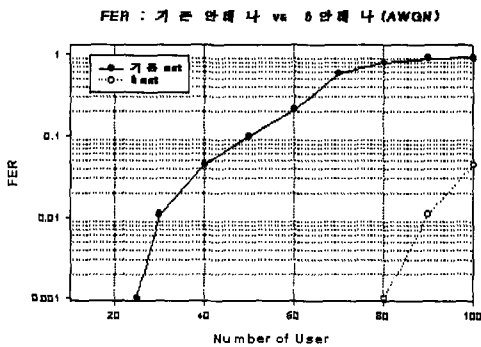


그림 12. 1-안테나와 6-안테나의 AWGN 환경에서의 FER
Fig. 12. FER performance in AWGN environment.

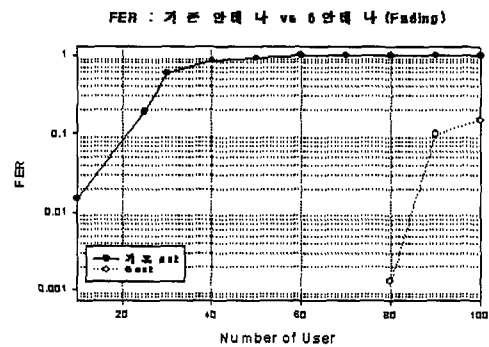


그림 14. 1-안테나와 6-안테나의 페이딩 환경에서의 FER
Fig. 14. FER performance in fading environment.

가 배열안테나에 0°로 들어올 때 제안된 알고리즘을 통해서 얻어진 빔 패턴을 나타낸다. 그리고 그림 12는 DOA가 0°일 때 AWGN 환경에서의 1-안테나와 6-안테나의 FER을 비교한 것이다. 만약 성능값 FER을 0.01 이하로 잡는다면, 1-안테나의 경우는 30명이 수용 용량이 되며, 6-안테나의 경우는 90명이 수용 용량이 됨을 알 수가 있다. 결과적으로 1-안테나와 6-안테나의 AWGN 환경에서의 수용 용량은 약 3배 정도의 차이가 난다. 그림에서 보는 바와 같이 제안된 알고리즘을 통해 DOA를 찾아내고, 그 DOA 값을 가지고 얻어진 6-안테나의 FER값이 1-안테나보다 우수함을 알 수 있다.

3-1-2 페이딩 환경에서의 성능 분석

1-안테나와 6-안테나의 페이딩 상황에서의 성능 비교에 대해 살펴보자. 그림 13은 발신호의 DOA가

배열안테나에 30도로 들어올 때 제안된 알고리즘을 통해서 얻어진 빔 패턴을 나타낸다. 그리고 그림 14는 DOA가 30°일 때 페이딩 상황에서의 1-안테나와 6-안테나의 FER을 비교한 것이다. 만약 통신 성능을 FER 0.01 이하로 잡는다면, 1-안테나의 경우는 9명이 수용 용량이 되며, 6-안테나의 경우는 각퍼짐(Angle Spread)이 0°, 10°, 20°일 경우에 85명, 84명, 83명이 수용 용량이 됨을 알 수가 있다. 결과적으로 1-안테나와 6-안테나의 페이딩 환경에서의 수용 용량은 약 9배 정도의 차이가 난다. AWGN 환경과 마찬가지로 제안된 알고리즘을 통해 DOA를 찾아내고, 그 DOA 값을 가지고 얻어진 6-안테나의 FER값이 1-안테나보다 우수함을 알 수 있다.

3-2 필드 시험

본 논문에서는 채널카드의 성능분석을 위해 두 단

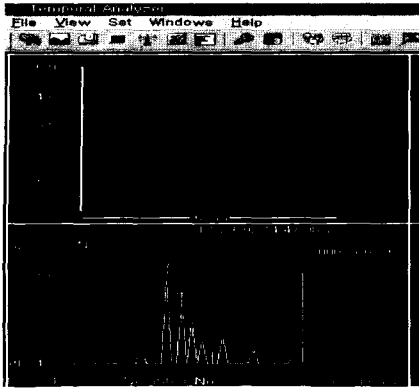


그림 15. 상용단말기의 DM(Diagnosis Monitor)
Fig. 15. Diagnosis monitor of cellular phone.

계의 실험을 수행하였다. 첫 번째로 상용단말기를 채널카드로 연결해 변조기, 복조기의 성능을 확인하였으며, 두 번째로, 실제 구현된 스마트 안테나 시스템을 이용하여 필드 실험을 수행하였다. 그림 15는 채널카드의 변조기 성능을 보여주는 것으로 상용단말기에 DM(diagnosis monitor) 장비를 부착하여 상용단말기의 수신 정보를 보여주고 있다. 그림 15의 하단은 기지국에서 파일럿신호를 전송했을 때 상용단말기의 서칭 결과를 나타낸 것이고, 상단은 음성신호의 데이터율을 9.6 kbps로 전송했을 때 FER이 0%인 것을 보여주고 있다. 즉 기지국에서 전송한 채널들이 설계상 이상 없이 상용단말기와 동작함을 나타낸 것이다.

그림 16은 채널카드의 복조기성능을 보여주기 위해 CRC 검사를 한 것이다. 상용단말기에서 채널카드로 수신된 신호는 펄저 및 추적기, 빔 포머 블럭들을 거쳐 복조되며, 복조된 신호는 채널 디코딩한 후 CRC검사를 거쳐서 상위계층으로 데이터를 전달되게 된다.

즉 심볼율을 맞춘 결과를 4 bit 형태로 soft Decision하여 비터비(viterbi) 복호기에 입력시킨 후 비터비 복호기가 복호한 프레임에 CRC 비트를 이용하여 프레임 오류를 판정한 것으로 전체 2678프레임 중에서 단 1개의 오류만 발생하는 것을 확인하였다.

그림 15, 16의 결과를 보듯이 채널 카드 변조기 및 복조기가 이상없이 설계된 것을 확인할 수 있었다. 이러한 정상동작 되는 채널카드를 실제 스마트 안테나 시스템에 장착하여 필드 실험을 수행하였는데,

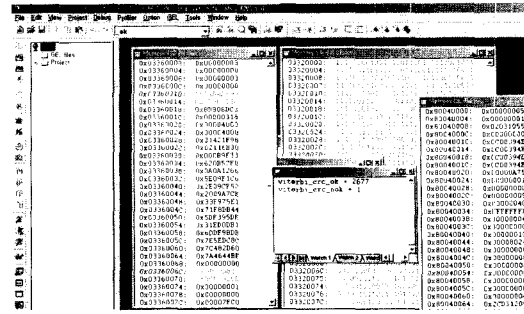


그림 16. 채널 코드 블록 결과
Fig. 16. Result of channel code.

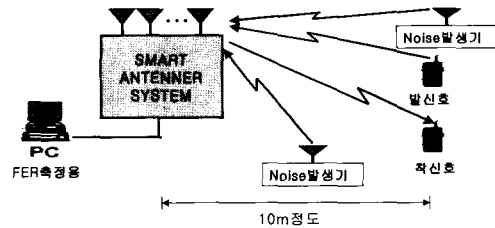


그림 17. 스마트 안테나 시스템의 실험 환경
Fig. 17. Test environment of smart antenna system.

그림 17은 스마트 안테나 시스템을 이용한 필드 실험 구축환경을 보여 주고 있다.

성능분석을 위해서 채널환경은 실내(indoor) 환경으로 하였으며, 성능 분석 방법은 그림 18에서 보는 바와 같이 채널카드가 내장된 스마트 안테나 시스템과 단말기를 10 m 간격을 두었고, CDMA2000 1x 환경하에서 잡음을 발생시키는 장비를 이용하여 시스템의 성능을 평가하였다. 실험 방법은 설계상 검증된 변조기와 복조기 그리고 제안된 알고리즘을 빔포머에 로딩한 후 채널카드인 BTCU를 그림 18에서 보는 것 같이 스마트안테나 시스템에 장착하여 실험을 했다.

우선 잡음이 없을 때 스마트 안테나 기지국의 수신 power는 일반적으로 -50 dBm ~ -100 dBm가 적정범위이므로 본 실험의 수신파워는 -77 dBm로 하였다. 잡음이 없는 -77 dBm값을 기준으로 잡음을 추가시키면서(2 dBm씩 수신파워가 증가하게 함) 성능분석을 수행하였다(그림 21 참조). 스마트 안테나의 성능을 확인하기 위해서는 무엇보다 배열안테나가 목표신호원의 DOA를 정확히 찾아내는지 확인할 필요가 있으므로, 본 논문에서는 DOA가 30°일 때의 빔패턴을 측정하여 보았다. 그림 19와 그림 20은 제

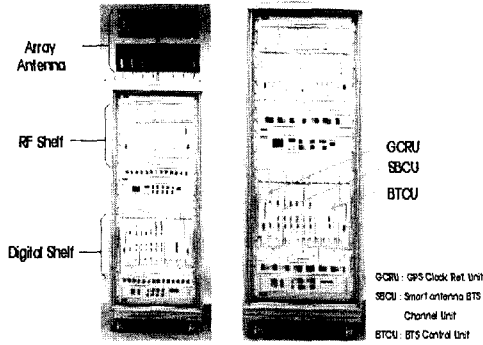


그림 18. 스마트 안테나 시스템
Fig. 18. Implemented smart antenna BTS for IS 2000 1X.

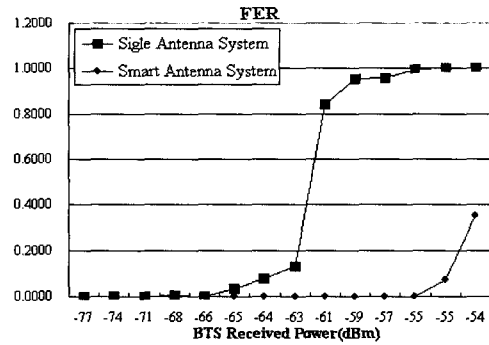


그림 21. 1-안테나와 6-안테나의 실제 환경에서의 FER
Fig. 21. FER measurement in a practical environment.

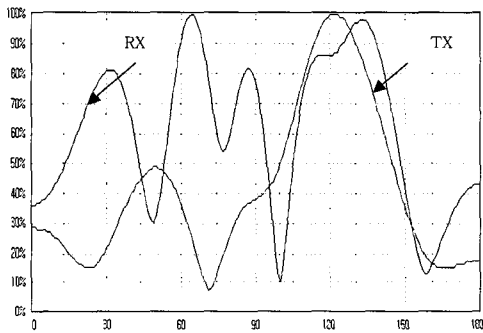


그림 19. DOA가 30°일 때 빔 패턴(알고리즘 적용전)
Fig. 19. Beam pattern when DOA is 30°(before apply to algorithm).

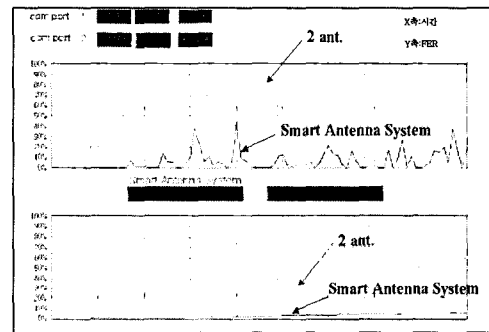


그림 22. 2-안테나와 6-안테나의 실제 환경에서의 FER
Fig. 22. FER in a practical environment between 2-antenna and 6-antenna.

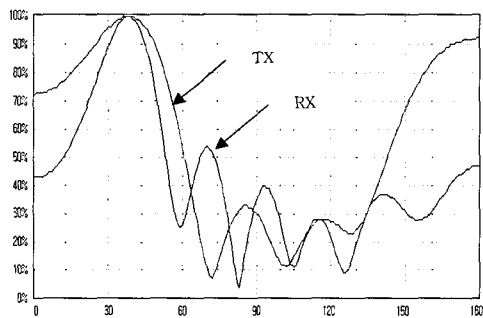


그림 20. DOA가 30°일 때 빔 패턴(알고리즘 적용후)
Fig. 20. Beam pattern when DOA is 30°(after apply to algorithm).

안된 알고리즘이 적용되기 전과 후의 빔패턴이다. 그림 19에서 보는 바와 같이 알고리즘이 적용되기 전에는 DOA의 방향을 찾지 못 하고 있지만 그림 20을 보면 알고리즘이 적용된 후에는 단말기에서 보내

진 신호원의 방향을 찾아낸 후에 다시 그 방향으로 신호가 보내지는 것을 알 수가 있다. 또한 DOA 방향인 수신되는 방향으로 큰 이득을 줌과 동시에 간섭(interference) 신호원들에 해당하는 방향으로는 수신이득이 최소화됨을 알 수 있다.

그림 21은 기지국 수신 파워 변경에 따른 FER 값을 제시하고 있으며, DOA가 30° 일 때 제안된 알고리즘이 적용된 후의 스마트 안테나 시스템과 단일안테나 시스템의 FER를 나타낸 것이다. 그림 22는 스마트 안테나 시스템과 2안테나 다이버시티 시스템의 FER 값을 시간에 따라 퍼센트로 표현한 것이다. 그림 22의 위 그림은 시간(가로축의 한 칸은 1초씩에 해당됨)에 따른 FER 값을 표시하고 있으며, 아래 그림은 시간에 따른 누적 FER 값을 보여주고 있다. 그림 21, 22의 성능분석 결과를 보면 스마트 안테나 시스템이 단일안테나보다 5배 정도 FER 성능이 향상되고, 2안테나 다이버시티 시스템보다 6배 FER 성

능이 향상됨을 알 수 있다. 결론적으로 스마트 안테나 시스템은 원하는 신호와 간섭신호가 PN코드에 의해 분리되는 원리를 이용하여 각 가입자마다 수신되는 신호를 가지고 각각의 고유 벡터값을 계산함으로써 배열안테나 위상을 조정하여 신호원이 있는 방향으로 독립적인 빔 패턴을 제공해 최대의 이득을 주고 다른 사용자에게는 이득 및 간섭을 최소화하여 통신용량을 증대시킨다고 볼 수 있다. 또한 페이딩이 존재하는 상황에서 시뮬레이션을 수행하여 성능 분석한 결과를 보면 스마트 안테나 시스템은 6개의 안테나에서 들어오는 신호에 의한 위상 다이버시티(phase diversity) 이득 때문에 성능이 향상됨을 알 수 있었다.

IV. 결 론

본 논문에서는 CDMA2000 1x 환경에서 동작하는 스마트 안테나 시스템용 채널 카드를 실제 하드웨어로 구현하여 그 성능의 우수성을 확인하였다. PC시뮬레이션 및 필드 실험에 의한 성능 분석 결과, 성능향상의 주된 원인이 빔형성 알고리즘에서 제공하는 최적의 웨이트 벡터에 의한 수신 신호 이득과 각 안테나 채널에 의한 위상 다이버시티 이득임을 알 수 있었다. PC 시뮬레이션 결과를 보면, 채널카드가 내장된 스마트안테나 시스템이 기존 안테나 시스템에 비해 AWGN 환경 하에서 약 3배의 용량 증가를 보이며, 페이딩 환경 하에서는 약 8배의 용량 증가를 보이게 된다. 또한, 필드 실험의 성능 분석 결과를 보면, 채널카드가 내장된 스마트 안테나 시스템이 기존 안테나 시스템보다 성능이 5~8배 정도 FER이 우수하였고, 원하는 신호방향으로 정확하게 빔패턴이 형성되는 것을 확인할 수 있었다. 따라서 상기 성능분석한 결과를 토대로 향후 개발될 스마트 안테나 시스템에 본 개발 채널카드를 장착하면 음성 및 데이터 통신시 성능 증가 및 품질 향상이 가능할 것으로 판단된다.

참 고 문 헌

[1] A. F. Naguib, "Adaptive Antennas for CDMA wireless Networks", Ph. D. Dissertation, Department of Electrical Engineering, Stanford University, Aug. 1996.

[2] S. Sampei, *Applications of Digital Wireless Technologies to Global Wireless Communications*, Prentice Hall PTR, 1997.

[3] O. Prasad, *Wideband CDMA for 3G Mobile Communications*, Artech House, 1998.

[4] M. K. Prasad, *Third Generation Mobile Communication Systems*, Artech House, 2000.

[5] 3GPP, *Technical specification 25.211-25.214*, Jul. 1999.

[6] 3GPP2, *Physical layer standard for cdma2000 spread spectrum systems*, Release A, Dec. 1999.

[7] S. Choi, D. Yun, "Design of an Adaptive Antenna Array for Tracking the Source of Maximum Power and Its Application to CDMA mobile Communications", *IEEE Trans. Antennas and Propagations*, vol. 45, no. 9, Sep. 1997.

[8] S. Kwon, I. Oh and S. Choi, "Adaptive Beamforming from the Generalized Eigenvalue Problem with a Linear Complexity for a Wideband CDMA Channel", *50th Vehicular Technology Conference*, pp. 19-22, Sep. 1999.

[9] 노경래, 안성수, 최승원, "cdma2000을 위한 스마트 안테나 설계 기술", *한국통신학회지*, (18)6, 2001년 6월.

[10] D. Shim, S. Choi, "A New Blind Adaptive Algorithm for a Real-time Design of a Smart Antenna", *Telecommunication Review*, vol. 7, no. 5, pp. 661-669, Oct. 1997.

[11] H. Hwang, J. Park, Y. Kim, S. Ahn, H. Im and S. Choi, "Performance Improvement of Smart Antenna System in Terms of Searching and Tracking Capability Due to Phase Diversity Technique in IS2000 1x signal Environment", *IEEE AP-S International Symposium and USNC/URSI National Radio Science Meeting*, pp. 16-21, Jul. 2002.

[12] S. Choi, D. shim, "A novel adaptive beamforming algorithm for a smart antenna system in a CDMA mobile comm. Environment", *IEEE Trans on Vehicular Technology*, pp. 1793-1806, Sep. 2000.

[13] K. Noh, W. Lee and S Choi, "A Performance Analysis of a Smart Antenna System Utilizing the

Lagrange Algorithm for CDMA2000 Signal Environment", *IEEE VTC 2001*, Oct. 2001.

박 재 용



1993년 3월~2000년 2월: 한밭대학교 컴퓨터공학과 (공학사)
2000년 9월~2003년 8월: 한양대학교 정보통신과 (공학석사)
2003년 9월~현재: 어필텔레콤 연구원
[주 관심분야] 스마트 안테나 시스템, 적응 알고리즘, MIMO, 모뎀

최 승 원



1976년 3월~1980년 2월: 한양대학교 공과대학 전자공학과 (공학사)
1980년 3월~1982년 2월: 서울대학교 공과대학 전자공학과 (공학석사)
1984년 9월~1985년 12월: Syracuse Univ. 전산공학 (공학석사)
1986년 1월~1988년 12월: Syracuse Univ. 전기 및 전산과 (공학박사)
1992년 9월~현재: 한양대학교 전자통신과 교수
[주 관심분야] 적응 어레이(스마트 안테나 시스템), 디지털 통신, DSP 응용

안 성 수



1983년 3월~1987년 2월: 한양대학교 공과대학 전자공학과 (공학사)
1997년 3월~2001년 8월: 한양대학교 공과대학 전자통신과 (공학박사)
1990년 3월~1997년 9월: 국방과학연구소 연구원

2002년 3월~현재: 명지전문대학 정보통신과 조교수
[주 관심분야] 스마트 안테나 시스템, 적응 알고리즘, 무선 이동통신