

논문 17-2-7

Digital 방식으로 출력 전력을 조절할 수 있는 900MHz CMOS RF 전력 증폭기

A 900MHz CMOS RF Power Amplifier with Digitally Controllable Output Power

윤진한¹, 박수양¹, 손상희^{1,a}

(Jin-Han Yoon¹, Soo-Yang Park¹, and Sang-Hee Son^{1,a})

Abstract

A 900MHz CMOS RF power amplifier with digitally controllable output power has been proposed and designed with 0.6 μ m standard CMOS technology. The designed power amplifier was composed of digitally controllable switch mode pre-amplifiers with an integrated 4nH spiral inductor load and class-C output stage. Especially, to compensate the low Q of integrated spiral inductor, cascode amplifier with a Q-enhancement circuit is used. It has been shown that the proposed power control technique allows the output power to change from almost 3dBm to 13.5dBm. And it has a maximum PAE(Power Added Efficiency) of almost 55% at 900MHz operating frequency and 3V power supply voltage.

Key Words : CMOS, RF Power Amplifier, Digitally output power control

1. 서론

최근 무선 전화, 무선 모뎀, 개인 통신 네트워크와 같은 무선 통신 시스템의 신호도가 증가함에 따라서 제품의 소형화, 경량화, 저전압, 저전력, 저가격 등에 대한 요구가 증대되고 있다. 이와 같은 요구사항을 충족시키기 위해서는 전력 증폭기, 저잡음 증폭기, Mixer, VCO 등과 같은 RF 기능 블록을 단일칩 안에 집적해야한다[1-5].

일반적으로 기존의 RF 통신 부품들은 낮은 잡음지수와 높은 이득, 높은 출력 전력 등의 장점을 갖는 화합물 반도체 공정기술을 이용하여 제작된

다. 그러나 화합물 반도체 공정기술은 가격이 비싸고 저전압 설계가 어려우며, RF 기능 블록들을 단일 칩에 집적화 하는 것이 어렵다. 이에 비해 CMOS RF 집적회로 기술은 그림 1과 같이 급격한 발전으로 인해 화합물 반도체를 대체할 만한 기술로서 최근 크게 주목받고 있다[3]. 최근에는 CMOS RF IC의 실현 가능성이 점차 높아지면서 미국은 물론, 유럽과 일본의 선진국 연구기관과 세계 주요 반도체 회사 등이 적극적인 연구에 착수하고 있다. 이는 무엇보다도 현재 반도체 시장을 주도하고 있는 CMOS 공정을 재활용함으로써 CMOS 기술의 대량 생산성, 안정된 공정 등의 장점을 통해 기존 화합물 MMIC와는 가격경쟁력에서 크게 앞설 수 있다는 전망과 기존의 CMOS 기술을 기반으로 발전 해온 IF 및 baseband 기능블록과 RF 기능블록 까지 하나의 칩안에 통합할 수 있는 가장 유망한 기술이라는 측면에서 높이 주목받고 있기 때문이다.

1. 청주대학교 전자공학과

(충북 청주시 상당구 우암동)

a. Corresponding Author : shson@chongji.ac.kr

접수일자 : 2003. 6. 25

1차 심사 : 2003. 8. 8

2차 심사 : 2003. 11. 10

심사완료 : 2003. 11. 28

따라서 본 논문에서는 기존의 0.6um 표준 CMOS 공정을 이용하여 one-chip 송수신기의 구현에 응용할 수 있는 900MHz RF 전력 증폭기를 제안하고 SPICE 모의실험을 통해 설계하였다.

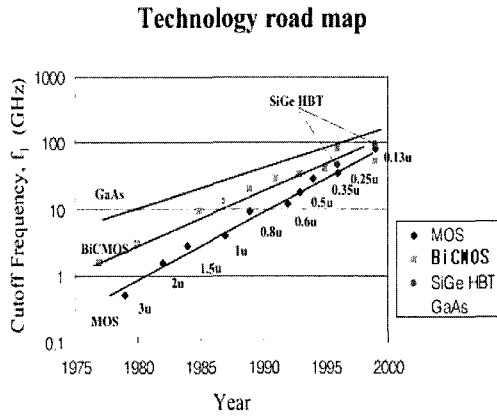


그림 1. 공정기술에 따른 트랜지스터 f_t 의 관계.
Fig. 1. f_t of transistor on process technology.

2. 전력 증폭기 설계

그림 2는 설계한 전력 증폭기의 전체 회로도이다. 제안한 전력증폭기는 입력단, Q-enhancement 단, 전력 증폭단, Buffer 단, 출력단으로 구성되어 있다.

2.1 선행 증폭단

본 설계에서는 증폭기 전체의 전력 소모를 줄임과 동시에 높은 전압 이득을 갖도록 하기 위해서, 입력단 쪽에서 발생하는 Miller 효과를 줄여 높은 동작 주파수 특성을 갖게 하기 위하여 캐스코드 구조의 Q-enhancement 회로를 사용하였다. 이 경우에 그림 3의 node X에 나타나는 기생 커패시턴스와 집적된 나선형 인덕터에 의한 LC 공진이 발생하게 되고 원하는 주파수 대역에서 gain peaking에 의해 높은 이득을 얻을 수 있다. 그리고 부하로 사용한 나선형 인덕터를 사용하게 되면 Q값이 낮아서 이득 손실이 커지는데, 이것은 나선형 인덕터의 기판에 의한 손실과 금속의 직렬 저항에 의한 손실에 의하여 발생하는 현상이다. 이를 보상하기 위해서 본 설계에서는 부성 트랜스컨덕턴스 특성을 갖는 Q-enhancement 회로를 사용하였다. 그림 3의 회로는 본 논문에서 제안한 Q-enhancement 기능과 캐스코드 증폭기의 기능을 동시에 갖는 회로이다. 이 회로는 일반적인 캐스코드 구조의 증폭기 회로와 마찬가지로 높은 이득을 갖는다. 회로 구조를 보면 출력단에 연결된 M2, M3 두 개의 트랜지스터를 연결함으로써 부성 컨덕턴스 특성을 얻을 수 있고, 부하로 사용한 나선형 인덕터의 등가 병렬 컨덕턴스 값을 상쇄하여 최소화 할 수 있다. 그림 3 (b)는 Q-enhancement 회로의 소신호 등가 모델이며, 식(1)은 node X에서 바라본 임피던스(Z_Q)이다. 인덕터의 직렬 저항을 포함한 전체 컨덕턴스는 식(2)와 같다.

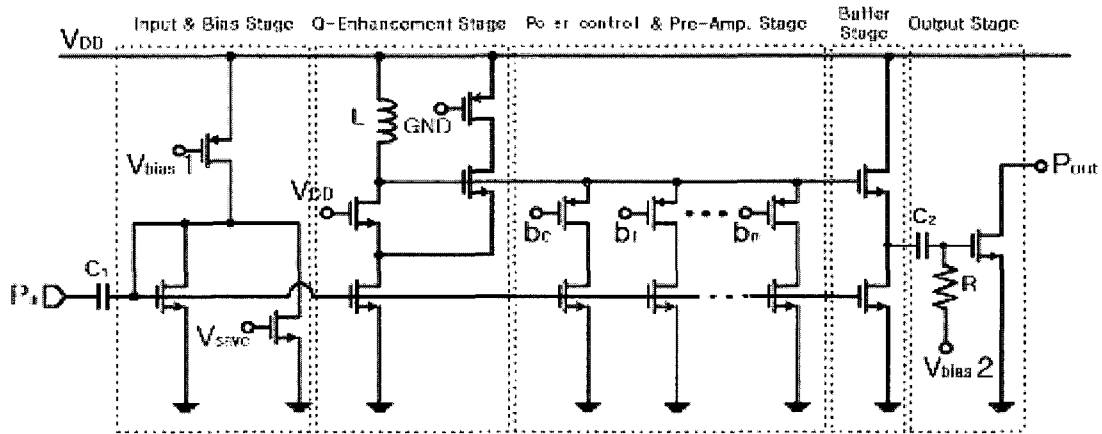
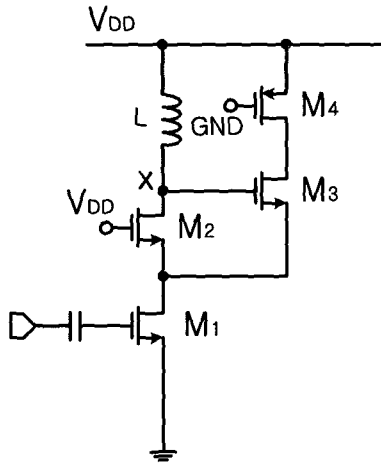


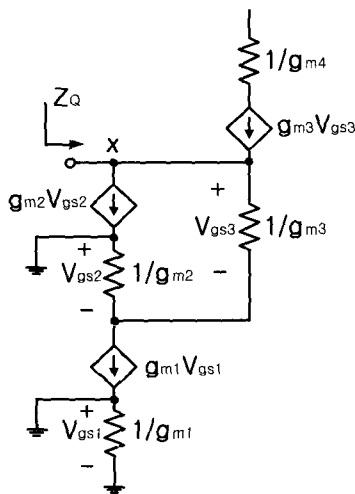
그림 2. 설계한 전력 증폭기의 전체 회로도.
Fig. 2. Schematic of designed power amplifier.

$$Z_Q = -\frac{g_{m2} + g_{m3}}{g_{m2} g_{m3}} \quad (1)$$

$$G_{tot} = \frac{R_s}{(\omega L)^2} + Y_Q = \frac{R_s}{(\omega L)^2} - \frac{g_{m2} g_{m3}}{g_{m2} + g_{m3}} \quad (2)$$



(a) Q-enhancement 회로



(b) 소신호 등가 회로

그림 3. 제안한 Q-enhancement 회로.
Fig. 3. Proposed Q-enhancement circuit.

그림 4는 Q-enhancement 회로의 전압 이득을 구하기 위한 소신호 등가 회로이며, 소신호 등가회

로로부터 구한 전압 이득은 식(3)과 같다. 식(3)에서 G_{tot} 값이 작을수록 높은 전압 이득을 얻을 수 있으나 G_{tot} 값은 0 보다 크거나 같아야한다. 만약, 나선형 인덕터의 직렬 저항값 및 기타 기생성분에 의한 등가 저항값이 Q-enhancement 회로의 부성 트랜스컨덕턴스값과 일치한다면 G_{tot} 이 0이 되기 때문에, 이론적으로 이득은 무한대가 된다.

$$A_v = -\frac{R_{in}}{R_s + R_{in}} \frac{g_{m1}}{G_{tot}} \quad (3)$$

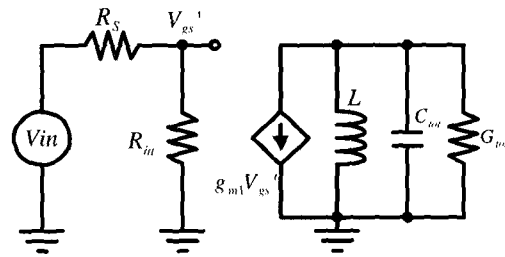


그림 4. 소신호 등가 회로.
Fig. 4. Small-signal model.

그림 5는 출력 전력을 제어하기 위해서 새롭게 제안한 스위치 모드 다중 선행 증폭단의 회로이다. 기존에는 출력 전력을 제어하기 위해서 출력단 트랜지스터의 바이어스 전압 조절, 게이트 입력 신호의 크기 조절, 디지털 방식으로 필요한 전력을 얻을 수 있도록 프로그램 하는 방식[1]을 사용하였다. 그러나 본 논문에서 제안한 출력 전력 제어는 그림 5와 같이 서로 다른 전압 이득을 갖도록 설계한 여러 개의 전압 이득단을 전력 증폭기의 선행 증폭단에서 스위치로 선택할 수 있도록 하였다. 이때 node X에서 전압 이득은 몇 개의 증폭단이 선택되는가에 따라서 결정된다. 이때의 전압 이득은 식(4)와 같다.

$$A_v = -\frac{R_{in}}{R_s + R_{in}} \frac{g_{m1} + g_{m10} + g_{m11} + \dots + g_{mn}}{G_{tot}} \quad (4)$$

본 설계에서는 7개의 이득단을 사용하였으며, 각 증폭단의 조합에 따라서 출력 전력을 조절 할 수 있도록 하였다. 이 회로 구조의 장점은 여러 개의 출력 증폭단을 이용한 경우에 비해서 면적을 줄일 수 있고, 면적이 작은 트랜지스터로 이득 조절을

하기 때문에 DC 전력 소비량을 줄일 수 있다. 따라서 전력 증폭기의 전력 효율을 높이는 효과를 얻을 수 있다.

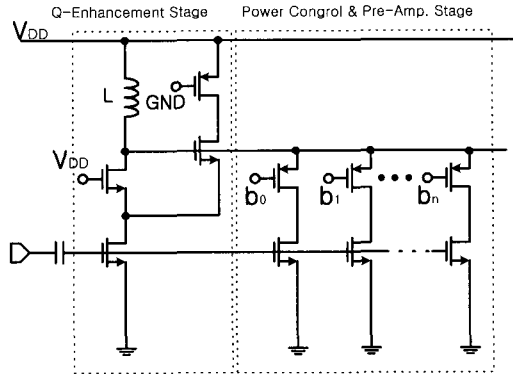


그림 5. 출력 전력을 제어하기 위한 스위치 모드 선형 증폭단.

Fig. 5. Switch mode pre amplifier stage for output power control.

2.2 나선형 인덕터

인덕터를 포함한 모든 개별소자들을 실리콘 기판 위에 제작할 수 있다면 여러 가지 휴대용 RF 응용 회로를 하나의 칩에 집적할 수 있게 된다. 그동안 일반 CMOS공정을 통하여 on chip 인덕터의 제작이 불가능하다고 인식되어졌으나 1992년 Nguyen과 Mayer에 의하여 on-chip 인덕터의 제작이 가능하다[6]는 것을 근거로 on-chip 인덕터를 설계하여 부하로 사용하였다. 인덕터의 설계시에 고려해야 할 점은 감은 횟수(n), 금속선 사이의 거리(space), 내부 지름, 외부 지름, 금속선의 폭(width) 등이 있다. 본 설계에서는 최적화된 성능의 나선형 인덕터를 설계하기 위해서 금속선 사이의 간격, 내부 지름, 금속선의 폭에 따른 인덕턴스 값, Q 값, 금속선의 직렬 저항값을 모의실험을 통해 비교 분석하였다. 모의실험은 인덕터설계용 모의실험 프로그램인 ASITIC을 사용하여 분석과정을 통하여 가장 적합한 내부 지름, 금속선의 폭(width), 금속선 사이의 간격(space)을 결정하였고, 원하는 값의 인덕터를 설계하였다. 모의실험 결과 금속선 사이의 간격은 3.5 μ m, 금속선의 폭은 35.3 μ m, 감은수는 3.5가 적합함을 알 수 있었다. 이때 인덕턴스는 4nH이고 Q 값은 3.8 이었다.

나선형 인덕터는 제작 후 파라미터 측정을 위해

서 나선형 인덕터의 양쪽 단자에 150 μ m의 간격으로 세 개의 패드를 Ground-Signal-Ground(GSG) 순으로 배열하고, ground 패드들은 모두 연결되도록 레이아웃 하였으며, 형태는 그림 6과 같다. ASITIC을 이용하여 4 nH의 인덕턴스를 갖도록 모델링 하였으며, HSPICE 모의실험에 적용하기 위해서 2-port 파라미터 추출을 한 후에 π -등가회로로 모델링 하였다. 그림 6의 구조에서 파라미터를 추출하게되면 인덕터의 파라미터 값에 패드의 기생 성분도 포함되기 때문에 정확한 인덕터의 파라미터값을 알 수 없다. 따라서 패드에 의한 기생 파라미터를 제거해주는 과정이 필요이며, 이를 위해 그림 6에서 인덕터만을 제외한 오픈 패드(open pad) 패턴을 함께 레이아웃 하였다.

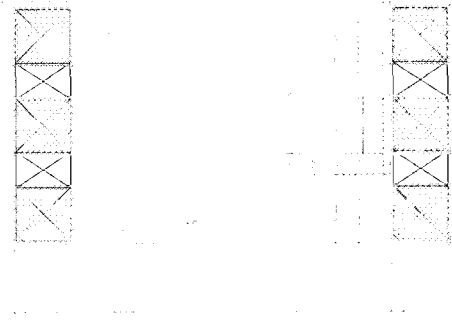


그림 6. 인덕터의 layout.

Fig. 6. Layout of inductor.

3. 모의 실험 결과

설계한 전력 증폭기의 모의실험은 HSPICE를 사용하였다. 좀더 정확한 모의실험을 위해서 패드의 기생 커패시턴스와 나선형 인덕터의 π -등가 모델 등을 SPICE 입력 파일에 첨가하였다. SPICE 모의 실험 결과 설계한 전력 증폭기는 3dBm의 입력 신호에 대해서 최대 13.5dBm의 출력 전력을 얻었다. 이것은 입력 증폭단의 모든 트랜지스터가 ON 상태일 경우에 얻은 값이다.

그림 7은 3dBm의 입력 전력에서 출력 전력을 모의 실험한 결과 그래프이다. 스위치 모드 입력 증폭단 트랜지스터의 유효 채널폭 변화에 따라서 출력 전력의 크기를 디지털 방식으로 프로그램 할 수 있다.

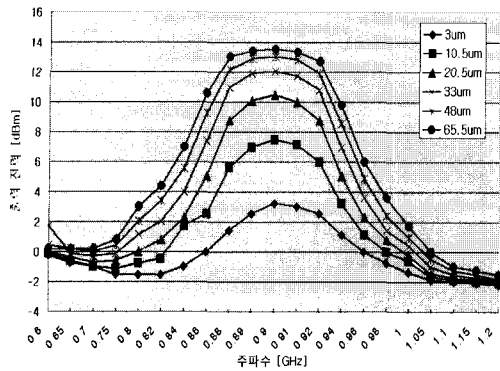


그림 7. 설계한 전력 증폭기의 주파수에 따른 출력 전력.

Fig. 7. Output power characteristic of designed power amplifier by frequency.

그림 8은 3V 전원 전압에서 증폭기의 출력 전력 제어 특성을 모의 실험한 결과 그래프이다. 약 10dBm의 전력 제어 범위를 얻었으며, 제안된 전력 제어 회로를 사용한 결과 최소 3dBm에서 최대 13.5dBm까지 조절 가능하였다. 그림 9는 3V, 900MHz 주파수에서 출력 전력에 따른 PAE (Power Added Efficiency)를 나타낸 그래프이다.

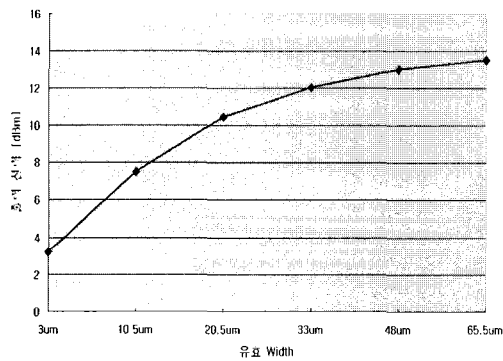


그림 8. 출력 전력 제어 범위.

Fig. 8. The control range of output power.

모의실험 결과 설계한 전력 증폭기는 13.5dBm의 최대 출력 전력 조건에서 약 55%의 PAE를 갖는 것을 확인하였다. 그림 10은 본 논문에서 제안한 전력 증폭기의 layout이다.

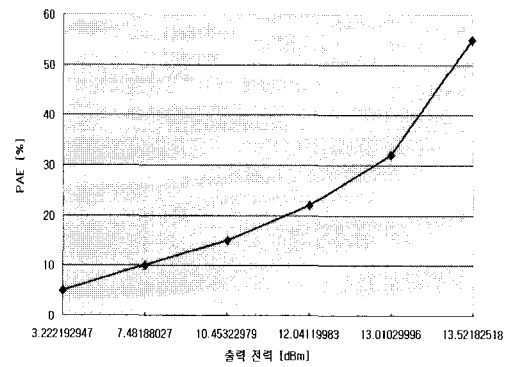


그림 9. 출력 전력에 따른 PAE.

Fig. 9. PAE characteristic depending on output power.

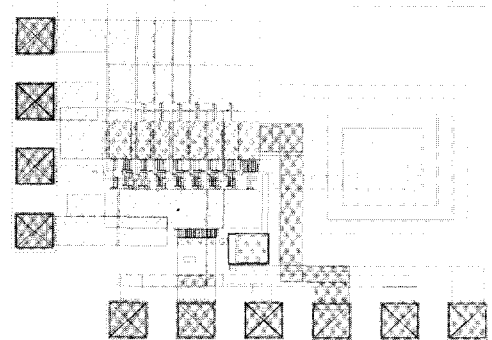


그림 10. 설계한 전력 증폭기의 layout.

Fig. 10. Layout of designed power amplifier.

4. 측정 결과

4.1 인덕터의 측정결과

인덕터의 측정을 위하여 Agilent Technologies의 HP 8753E Network Analyzer와 Probe Station을 사용하였다. 인덕터는 같은 인덕턴스로 설계하였으나, 각각 내부 지름과 외부 지름 그리고 감은수가 다른 5개의 인덕터를 시험적으로 설계하였다. 그림 11는 5개의 시험적으로 설계한 5개의 인덕터의 칩 사진이다. 시험적으로 설계한 인덕터들은 외부지름이 각각 900um, 390um, 240um, 220um, 150um로 인덕턴스를 맞추기 위해 금속선의 넓이와 감은 수가 다르게 설계되었다. 인덕터의 측정시 입력 주파수는 300KHz부터 3GHz까지 변화시켰다.

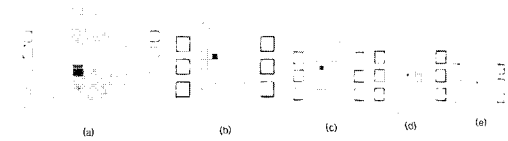


그림 11. 시험적으로 설계한 인덕터들의 사진.
Fig. 11. Photograph of fabricated test inductor.

이것은 모두 같은 인덕턴스를 목표로 Q값은 해당 인덕턴스에서 높일 수 있는 최대치를 ASITIC을 사용하여 여러번 모의실험을 통해 결정하였다. 인덕턴스는 4nH를 목표로 하여 각각의 인덕터들마다 4nH이상의 값을 갖았으나, Q값은 그 크기의 인덕터들에서 얻을 수 있는 최대 Q값을 갖도록 하였다. 그에 대한 결과는 표1의 Simulation부분에 나타내었다.

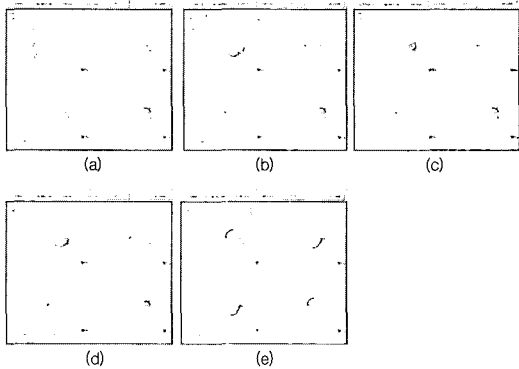


그림 12. 인덕터들의 측정결과.
Fig. 12. Measurement results of inductors.

인덕터의 측정결과 그림 12와 같은 결과를 확인하였다. 스미스차트를 분석한 결과 각각 인덕터들의 S21은 (e)를 제외하고는 모두 목표치보다 높은 인덕턴스를 확인하였다. 그러나 Q값은 모든 인덕터들이 공통적으로 목표치보다 낮아지는 결과를 확인하였다. 인덕터의 측정결과 설계한 인덕터는 900MHz에서 인덕턴스가 4nH, Q값이 4이상을 목표로 하였으나, 외부지름이 150um인 인덕터를 제외하고 인덕턴스가 설계목표치보다 높게 나왔으며, Q값은 목표치보다 낮게 측정되었다.

표 1. 인덕터의 모의실험과 측정결과와의 비교.

Table 1. Comparison of simulation and measurement results.

	외부지름	Simulation		Measurement	
		Q	인덕턴스	Q	인덕턴스
(a)	900um	4.14	4.8nH	2.27	6.57nH
(b)	390um	3.77	4nH	2.2	7.5nH
(c)	240um	2.43	4.07nH	2.1	7.4nH
(d)	220um	2.09	4.03nH	2.04	7.7nH
(e)	150um	1.53	4.1nH	1.4	1.07nH

이것은 금속선의 내부 저항과 금속선과 금속선을 연결하는 Via의 저항이 공정 허용치보다 높아진 것으로 분석하였다. 금속선과 via의 저항이 정확히 어떠한 수치에서 어떠한 수치로 변화하였는지는 알 수가 없다. 그것은 처음 설계시 via와 금속선의 저항이 설계시의 수치에서 변하지 않는다는 전제 하에 설계하였기 때문이다. 측정결과를 수식을 통하여 계산한 결과 설계시 보다 약 2~3배 정도 커진 것으로 계산되었다.

$$Q = \frac{X_L}{R_e} \quad R_e : \text{내부저항} \quad (5)$$

인덕터의 Q값이 낮아진 원인은 식5에 의하여 내부저항 값이 올라감으로 인해 전체적인 Q 값의 낮아짐을 예상할 수 있다. 이러한 점을 고려하여 내부 저항값이 예상치보다 높아질 경우를 고려하여 연구를 좀더 진행하면, 무선 통신용 전력 증폭기 뿐만 아니라, 저잡음 증폭기, 무선 통신용 공진기 등 그 사용범위가 매우 넓다. on-chip 인덕터의 설계가 성공을 하게 되면 일게 되는 이득은 시스템의 소형화와 함께 저전압과 고주파에서의 동작 또한 기대할 수 있게 되기 때문이다.

4.2 Power amp. 측정결과

Power amp의 측정은 Agilent Technologies의 8753D Network Analyzer를 사용하였다. 정확한 측정을 위해 그림 11의 측정을 위한 PCB를 제작하였고, 정합회로를 PCB기판에 설계하여 제작하였다. 공급전압은 레귤레이터 3개를 사용하여 전원공급장치 없이 사용할 수 있게 하였다. 출력 전력의 제어는 7개의 외부 스위치를 통하여 7개의 증폭단을 제어하도록 하였다.

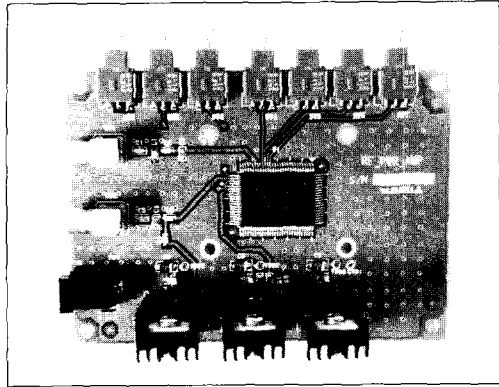


그림 13. 측정을 위한 Test PCB 기판.
Fig. 13. Test PCB for measurement.

측정시 3dBm 입력 전력을 넣어주었다. 입력 주파수를 변화시켜 측정한 결과 그림 14의 측정결과를 얻을 수 있었다. 그림 14는 모든 Network Analyzer에서 허락하는 범위에서의 측정결과이다.

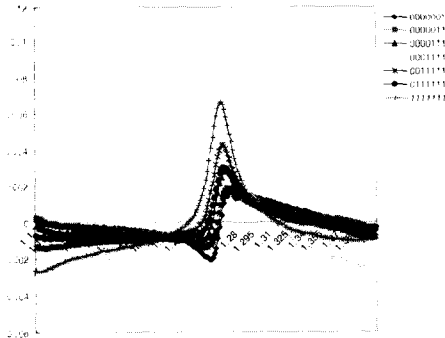


그림 14. 측정결과 그래프.
Fig. 14. Graph of measurement results.

그림 15는 그림 14의 중심 주파수 주변을 확대한 것으로 최초 설계시 목표로 했던 900MHz보다 높아진 주파수에서 동작 특성이 나타났다. 그림 15에서 스위치의 변화에 따른 출력 전력의 변화를 나타낸 것이 그림 16이다. 설계시 스위치가 단계적으로 바뀔 경우 출력 전력 또한 단계적으로 상승해야 한다.

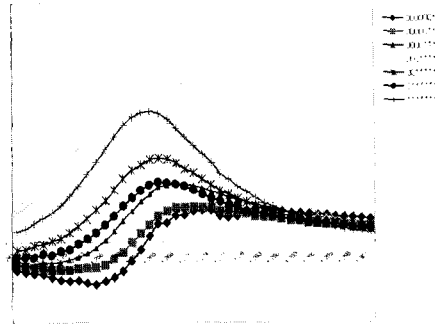


그림 15. 중심 주파수 주변의 측정결과.
Fig. 15. Measurement results of center frequency circumference.

그러나 4번째 스위치 이후부터 출력 전력이 감소함을 보였다. 출력 전력은 4번째 스위치까지 Network analyzer 출력이 약 1.5dBm부터 8.8dBm 까지 단계적인 출력전력을 확인하였다.

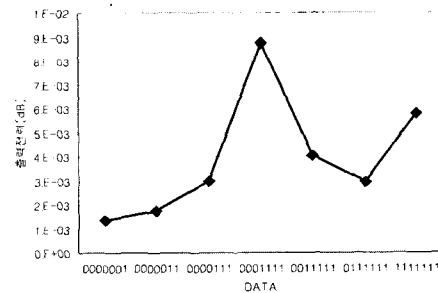


그림 16. Input data의 변화에 의한 출력 전력의 변화.
Fig. 16. Output power variation on input data.

그림 16은 스위치의 변화에 따른 출력전력의 변화를 그래프로 나타낸 것이다. Network analyzer의 측정된 값의 의미는 입력보다 높아진 수치가 측정됨으로 이를 고려하면, 설계한 전력 증폭기의 출력 전력은 약 4.38dBm부터 11.75dBm까지 단계적인 출력을 전력을 내고 있다. 이것은 7개의 증폭단 중 4개의 증폭단이 개별적인 동작을 보이고 있으나 그 출력 전력이 설계시보다 낮아졌다. 그 이유를 분석한 결과 수식과 구조적인 문제에서는 원

인을 찾을 수 없었다. 다만, 인덕터의 측정결과를 바탕으로 분석을 하여 얻은 결론은 첫째 개별 증폭단의 증폭된 신호들이 출력단에서 낮은 출력 전력에서는 신호의 손실이 커짐으로 분석하였다. 둘째 제작된 전력 증폭기의 금속과 Via 저항이 제공된 공정 DATA와 다르다는 결론을 내렸다. 현재 제작된 칩의 전력 증폭기는 통신용으로 직접 사용하는 것은 무리가 있으나, 제한한 개념을 증명하는 것에는 문제가 없는 것으로 판단하였다. 그것은 분석결과 수식과 구조적인 면에서의 문제를 발견치 못하였고, 신호의 손실과 출력단의 개선, 그리고 인덕터의 Q값을 높여 공진을 개선한다면 최초 제시하였던 CMOS 전력증폭기의 구현이 충분하다는 결론을 얻었기 때문이다.

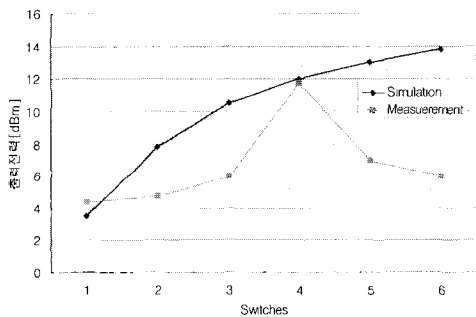


그림 17. 모의실험과 측정결과와의 출력전력비교.
Fig. 17. Comparison of output power between simulation and measurement results.

그림 17은 모의 실험결과와 측정결과와의 비교 그래프로서 모의실험보다 측정결과가 낮게 나왔음을 알 수 있었다. 그러나 인덕터의 공진이 필요치 않은 5번째 스위치이전에서는 단계적인 출력 전력의 변화를 확인하였다. 다만, 증폭단이 동작하는 부분에서 전력 레벨이 낮아진 것은 출력단의 손실이 커짐으로 분석하였다. 출력단을 개선하여 낮은 출력 전력 레벨에서의 손실을 줄이게 된다면 충분히 전력레벨을 높일 수 있다.

5. 결 론

0.6 μ m CMOS 공정을 이용하여 송수신기에 응용할 수 있는 900MHz C급 전력 증폭기를 제안하고 설계하였다. 설계한 전력 증폭기는 선행 증폭단에

서 디지털 방식으로 전력을 제어함으로써 출력단에서 전력을 제어하는 방식에 비해 전력 소모를 줄일 수 있다. 또한 선행 증폭단의 부하로 사용된 나선형 집적 인덕터의 낮은 Q값을 보상하기 위해 Q-enhancement 회로를 사용하였으며, 이 Q-enhancement 회로가 캐스코드 증폭기와 같은 역할을 하여 공진 주파수에서 높은 전압 이득을 얻을 수 있게 하였다. 측정결과 설계한 전력 증폭기는 7개의 스위치 중에서 4개가 단계적인 출력 전력 증가를 보였다. 3dBm 입력전력에서 출력 범위는 약 1dBm부터 약 5dBm이었다. 이것은 Network analyzer의 측정 특성을 고려한다면, 실질적인 출력 전력은 약 4.38dBm부터 약 11.75dBm이다. 5번째 스위치부터 동작하지 않은 원인은 5번째 이후부터는 인덕터와 기생 커패시터가 공진을 일으키지 못한 것이 원인이다. 이것은 공정상의 문제로 Via의 저항이 제공된 공정 DATA보다 높아진 것으로 분석하였다. 때문에 시험적으로 제작한 인덕터들의 Q 값이 낮아지는 결과를 보였고, 그로 인해 기생 저항 값이 높아짐으로 또 하나의 무시할 수 없는 저항으로 작용하여 인덕터의 공진이 일어나지 않아 5번째 스위치 이후 출력전력이 감소하였다.

부하로 사용한 on-chip 인덕터는 5개의 실험모델의 측정결과 모의실험에서는 4nH의 인덕턴스로 Q값은 각 모델의 최대치로 설계를 하였으나, 5개의 실험 모델 모두 인덕턴스는 높게 나왔고, Q 값이 낮아지는 것을 확인하였다. 원인을 분석한 바에 의하면 금속선의 내부 저항과 금속선과 금속선 사이에 사용된 Via의 저항이 공정의 허용범위보다 커짐으로 해석할 수 있다.

전력 증폭기의 측정결과 최초 설계하였던 900MHz 보다 높은 1.2GHz로 중심 주파수가 움직였고, 실질적인 출력 전력은 약 4.38dBm부터 약 11.75dBm까지 4개의 스위치에서 단계적인 출력 전력의 증가를 확인하였다. 이것은 제한한 구조의 전력 증폭기가 개별적으로 동작은 하고 있으나 출력단의 손실이 커짐으로 낮은 출력전력에서는 출력단이 설계시보다 손실이 심해짐으로 출력 전력이 모의실험 보다 출력 전력이 낮아졌다. 또한 5번째 스위치부터 출력 전력이 감소한 원인은 5번째 스위치 이후 그림3의 노드 X에서 LC 공진이 일어나지 않아 높은 전압이득이 없었고 그러한 이유로 출력 전력이 낮아졌다. 현재 분석된 출력단의 손실과 인덕터의 기생 저항을 고려하여 Q 값을 높인다면 제안한 CMOS 전력 증폭기는 충분히 활용

가능하다는 결론을 얻었다. 차후 인덕터와 출력단의 신호의 손실을 개선한다면 모든 스위치에서 충분히 단계적인 출력전력의 증가를 보일 수 있다. 현재 제작된 칩은 4개의 스위치로 출력전력의 제어가 가능하나, 통신단에 사용하는 것은 무리가 있다. 그러므로 현재 분석된 문제들을 개선하여 무선 통신에 직접 사용 가능한 CMOS 전력 증폭기를 현재의 모델을 보완하여 설계할 계획이다.

감사의 글

본 연구는 과학기술부·한국과학재단 지정 청주대학교 정보통신 연구센터의 지원에 의한 것입니다.

※ 본 연구는 반도체설계교육센터(IDECE)의 부분적인 지원을 받아 이루어졌음.

참고 문헌

- [1] Maryam Rofougaran, "A 900 MHz RF Power Amplifier in 1 μ m CMOS for a Spread-Spectrum Communication Transceiver", University of California, Integrated Circuits & Systems Laboratory, p. 1, 1995.
- [2] Maryam Rofougaran, "A 900MHz CMOS RF Power Amplifier with Programmable Output", in Symp. On VLSI Circuits Digest of Technical Papers, p.133, 1994.
- [3] David Su and William McFarland., "A 2.5V, 1W Monolithic CMOS RF Power Amplifier", Custom Integrated Circuit Conference, p. 189, 1997.
- [4] Chung-Yu Wu and Shuo-Yuan Hsiao., "The Design of a 3-V 900-MHz CMOS Bandpass Amplifier", IEEE J. Solid-state Circuits, Vol. 32, No. 2, p. 159, February 1997.
- [5] W. Abey, T. Kawai, I. Okamoto, M. Suzuki, C. Khandavalli, W. Kennan, Y. Tateno, M. Nagahara, and M. Takikawa., "An E-Mode GaAs FET Power Amplifier MMIC for GSM Phones", IEEE MTT-S Digest, p.1315, 1997.
- [6] N. M. Nguyen, and R. G. Meyer, "Si IC-compatible inductors and LC passive filters", IEEE journal of Solid-State Circuits, Vol. 25, p. 1028. 1990.
- [7] 신봉조, 박근형 "CMOS 공정을 이용한 무선인식 송수신 집적회로의 설계 및 제작", 전기전자재료학회논문지, 16권, 10호 p. 881, 2003.
- [8] 이동희, 정전휘, "960MHz 대역 다층구조 VCO 설계", 전기전자재료학회논문지, 15권, 6호 p. 492, 2002.
- [9] 신동욱, 오창훈, 이규복, 김종규, 윤일구 "부분 등가회로 모델을 이용한 매립형 인덕터의 특성 연구", 전기전자재료학회논문지, 16권, 5호 p. 404, 2003.