論 文
53A-1-3

초전도 케이블 계통에서의 퀜치 모의 및 해석

Quench Simulation and Analysis on Superconducting Cable Systems

金 南 烈* · 李 鍾 範**
(Nam-Yoel Kim · Jong-Beom Lee)

Abstract - In the design of superconducting cable systems, quench analysis have to be advanced for applying to a real systems. It is necessary to calculate the current, voltage and resistance during the quench. Simulation program named EMTDC was used to analyze the quench state. Normal zone evaluation and quench development with EMTDC are one of the major features of quench analysis. This paper presents the two kinds of quench control models which are the Switch Control Type and the Fortran Control Type. In case of the quench developing area, the simplicity cable model consist of resistance, inductance and capacitance. The impedance of the pipe type superconducting cable is calculated by numerical analysis method. The resistance and inductance increased during quench. However the variation have an effect on the fault current. The voltage was also developed by resistance and inductance. This paper presents the relationship between the current, voltage, resistance and inductance during quench.

Key Words :Quench, Recovery, EMTDC, Superconducting Conductor (SC), Shielding Conductor(SH)

1. 서 론

오늘날 지속적인 경제성장과 도심지의 인구 밀집 현상에 따라 도심지의 전력수요가 팽창되고 있는 것이 전 세계적인 추세이다. 그러나 대용량 부하 밀집 지역에서 전력전송은 현재의 송전방식으로는 증가하는 수요를 충족시키기에 어려움이 있으며 환경, 용지확보, 안정성 및 공급신뢰성 등 여러 가지의 문제가 발생될 것으로 예상된다[1-2]. 이러한 문제점을 해결하기 위해 선진국에서는 송전용량과 송전손실, 송전거리와 소요 면적에서 우수한 특성을 갖고 있는 초전도 케이블(superconducting cable)을 연구하고 있다. 초전도 케이블은 배전급부터 송전급까지 국내는 물론 선진국을 중심으로 연구에 박차를 가하고 있어 머지않아 개발된 케이블이 계통에 투입되어 막대한 전력을 전송하게 될 것으로 예상된다. 우리나라에서도 이에 대비하기 위해 초전도케이블 연구에 착수하였으며 일차적으로 배전급 초전도 케이블을 자체 개발해 실 계통에 투입할 계획에 있다. 이러한 배경에서 본 연구는 배전급 초전도케이블이 계통에 포설되었을 경우의 정상상태와 과도상태 특성을 평가할 필요가 반드시 있어 EMTDC 프로그램을 사용하여 다양한 시뮬레이션을 실시하였다. 모델계통은 현재 일본에서 개발되어 실증시험중에 있는 66kV 초전도 케이블의 구조를 참조하였으며, 국내의 22.9kV 배전급에 맞게 변화시켰다[3]. 그리고 초전도체가 임계온도를 넘으면 초전도체 내의 임피던스 성분이 현재의 일반 케이블계통의 임피던스 값까지 증가하며 초전도체가 고유성질을 잃고 상전도상태로 전이되는 퀜치현상이 발생하게 되는데[4], 초전도 케이블에서 이러한 전기적 퀜치 현상을 분석하기 위해 임피던스 간략화를 사용하여 저항과 인덕턴스 그리고 커패시턴스로 구성된 pi 등가선로를 구성하였다. 그리고 퀜치의 변화인자가 저항과 인덕턴스이므로[5] 이 두 인자에 의한 계통의 변화를 분석하기 위해 두 종류의 퀜치 모델을 선정하여 퀜치전류, 전압과 저항사이의 관계를 분석하였다.

2. 퀜 치

퀜치란 초전도 선재가 내부 저항이 0에 가까운 자체 성질을 잃고 저항이 증가하여 상전도 상태가 되는 것을 말하며, 그것은 일반적으로 자계의 변화, 냉각기능의 상실, 그리고 과다한 전류밀도의 변화로 인해 균형이 깨어지면서 발생하고 이 중 어느 하나라도 조건을 벗어나면 퀜치 현상이 나타나는 것으로 알려져 있다[6]. 초전도케이블은 일반케이블과 달리 조건에 따라 이러한 퀜치현상이 발생하게 되는데 본 논문에서는 이 세가지 요소중에서 전류가 임계값을 넘는 것으로 인해 발생하는 퀜치상황을 고려하였으며 고장전류의 발생은 케이블 계통에서 발생할 수 있는 1선지락 고장상황을 통하여 모의하였다. 자계의 크기나 냉각기능은 변함이 없는데 초전도케이블내에서 지락고장이 발생하여 순간적으로 전류가 급상승할 경우 나타나는 퀜치현상을 모의하고 분석하는데 주안점을 두었다.

* 準 會 員 : 圓光大 電氣工學科 碩士課程
** 正 會 員 : 圓光大 電氣電子 및 情報工學部 敎授 · 工博
接受日字 : 2003年 7月 30日
最終完了 : 2003年 12月 13日

3. 간략 모델 구성

간략 모델 구성의 기본 행렬식은 구조적 모델링을 전제로 하여 실시하였으며, 구조적인 모델은 그림 1과 같이 삼상 일괄식 파이프 타입으로 모의하였다.

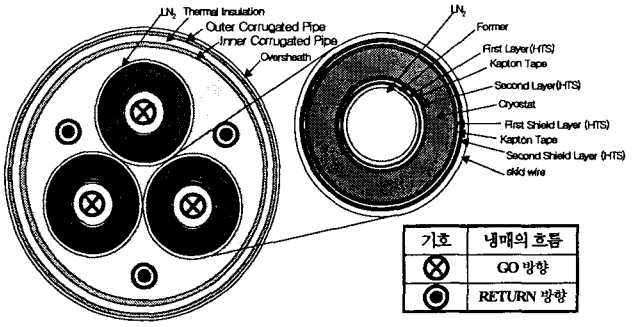

그림 1 파이프 타입 초전도 케이블 모델
Fig. 1 Superconducting cable of pipe type

그림 1의 파이프 타입 케이블은 수치해석적인 간략화를 수월하게 하기위해 파이프 내부 중심으로부터 일정한 거리를 두고 표준배치를 이루도록 모의하였다. 또한 상도체의 내부와 파이프의 내부에는 액체질소(LN_2)가 정방향(go)과 역방향(return) 방향으로 순환하도록 설계되었으며, 초전도체(SC)는 4 레이어, 쉴드도체(SH)는 2 레이어로 구성되었다. 초전도 케이블 구성에 대한 조건을 현재의 계통과 완전히 별개로 판단하기에는 어렵기 때문에, 초전도 케이블선로를 제외한 기타 설비들은 현재의 계통구성과 같게 설정하였다. 그림 1의 구조적인 모델을 사용하여 계통을 구성하였을 때 계통에 적용하게 되는 조건은 다음 표 1과 같다.

표 1 해석 조건
Table 1 Analysis standards

명 칭	조 건
도체 저항률	$1\times10^{-15}[\Omega\cdot m]$
도체 저항	$1.0575\times10^{-9}[\Omega/km]$
산로 긍장	3[km]
접지저항	1[Ω]
부하용량	50[MVA]
전원임피던스	Z^+ , Z^- = 0.00315+j1.794[Ω]
	Z^0 = 0+j3.68[Ω]

표 1의 조건을 바탕으로 계통을 구성하고 계통에서의 파이프를 비롯한 각 상도체의 임피던스 및 어드미턴스행렬을 구할 수 있으며, 두 행렬식을 사용하여 pi 등가선로를 구성하였다.

3.1 임피던스 간략화

3상 일괄 파이프 타입의 초전도케이블 모델링에서 퀜치 상황을 모의하기 위해 케이블 내부 구성 요소인 저항과 인덕턴스성분의 변화를 유도 하여야 하는데 기존 구조적인 모델을 사용하여 분석하기에는 상당한 어려움이 따른다. 그러므로 파이프 타입 케이블의 자기 및 상호 임피던스와 어드미턴스 성분을 통한 간략 모델링을 실시하였다. 또한, 각 상도체와 쉴드도체 그리고 파이프 사이에 존재하는 임피던스와 어드미턴스를 모두 고려하여 간략화를 한다는 것은 매우 복잡하므로 고장상황에 크게 작용하는 데이터만을 중점적으로 추출하여 고려하였다. 즉 고장상태에서 적용해야 할 데이터는 파이프보다 초전도체(SC)와 쉴드도체(SH)이며, 상도체가 파이프 내부에서 표준 삼각배치를 이루고 있는 것으로 가정하였으므로 초전도체와 쉴드도체만을 고려하여 간략화 하였다. 초전도체와 쉴드도체의 임피던스 합성법은 식 (1)과 같이 대칭분 임피던스를 이용한 정상, 역상, 영상분 임피던스 계산법을 이용하였다.

$$\begin{bmatrix} Z_{00} & Z_{01} & Z_{02} \\ Z_{10} & Z_{11} & Z_{12} \\ Z_{20} & Z_{21} & Z_{22} \end{bmatrix} = \frac{1}{3}\times\begin{bmatrix} 1 & 1 & 1 \\ 1 & a^2 & a \\ 1 & a & a^2 \end{bmatrix}\begin{bmatrix} Z_{aa} & Z_{ab} & Z_{ac} \\ Z_{ba} & Z_{bb} & Z_{bc} \\ Z_{ca} & Z_{cb} & Z_{cc} \end{bmatrix}\begin{bmatrix} 1 & 1 & 1 \\ 1 & a & a^2 \\ 1 & a^2 & a \end{bmatrix} \quad (1)$$

여기서, $a=-\frac{1}{2}+j\frac{\sqrt{3}}{2}$ 이며, Z_{00}는 영상분 임피던스, Z_{11}, Z_{22}는 각각 정상과 역상분 임피던스이다. 그리고 Z_{aa}, Z_{bb}, Z_{cc}를 비롯한 a, b, c 로 구성된 행렬식은 구조적인 케이블 모델 계통에서의 각 상간의 자기 및 상호임피던스이다.

3.2 계통구성 및 퀜치모의

퀜치 상황을 분석하기 위한 선로구간은 수치해석을 통해 구한 성분으로 구성된 간략모델을 사용하였으며, 이 때 사용한 계통은 그림 2와 같다.

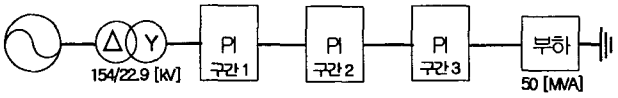

그림 2 간략 계통
Fig. 2 Simplified system

그림 2는 식 (1)의 대칭분 임피던스 계산법을 통해 구한 R, L, C 및 전파속도, 서지 임피던스를 사용하여 PI등가선로를 구성하였으며 퀜치구간과 비퀜치구간을 각각 비교분석하기 위해 3구간으로 설정하였다. 구간 1, 3은 정상상태 구간으로 서지 임피던스, 전파속도, 저항으로 구성하였으며 고장은 저항, 인덕턴스, 커패시턴스로 구성된 2번 구간에서 발생하도록 하였다. 그리고 초전도 케이블이 현재 운전중인 계통에 대체되기 위한 것이므로 케이블을 제외한 기타 설비는 현재 운전중인 설비데이터를 사용하여 모의하였으며 부하는 초전도 케이블이 상전도 케이블보다 송전용량이 크다는 것을 감안하여 50MVA로 상정하였다. 그리고 고장구간에서는 저항과 인덕턴스 성분이 퀜치발생으로 인하여 변화하도록 설정하였다.

3.3 퀜치에 따른 이론적 전압과 저항

시뮬레이션을 통한 퀜치분석을 실시하기 전에 퀜치구간에

시의 저항과 인덕턴스의 변화에 따른 전압 발생에 대해 이론적인 분석이 필요하다. 즉 퀜치가 발생하였을 때 초전도 케이블의 고장상 내에서는 퀜치에 따라 전압이 발생하게 되는데, 발생전압은 시간에 따른 함수로서 식 (2)와 같다.

$$V(t) = I(t)R(t) + L(t)\frac{dI(t)}{dt} - \sum_i M_i\frac{dI}{dt} - U_{PC} \quad (2)$$

여기서, $I(t)$는 전류, $R(t)$는 저항, $L(t)$는 전류에 대한 자기인덕턴스이며, M_i는 케이블 도체 각 레이어와 평형을 이루며 진행하는 레이어들 간의 상호인덕턴스이다. 그리고 U_{PC}는 전원의 전압이며 초전도 마그넷에 사용된 전원은 무시할 수 있다. 상호인덕턴스는 이웃하는 레이어의 결선으로부터 발생하는 자계에 의해 형성된다. 결과적으로 시간에 따른 자계는 전압을 발생시킨다. 식 (2)에서 상호 인덕턴스는 무시할 수 있을 정도로 작으며, 퀜치시의 전원전압을 0으로 가정한다면 퀜치시의 전압변화는 식 (3)과 같다.

$$V_Q(t) = I(t)R(t) \cdot [1 - L_Q(t)/L] \quad (3)$$

여기서, L 은 퀜치가 발생한 일정 구간의 변화된 인덕턴스이며 $R(t)$는 퀜치에 따른 저항성분이다. 즉 퀜치가 발생하는 퀜치 동안에 상도체로 전이된 영역에서 저항과 인덕턴스는 지속적으로 증가하며 전압은 피크값까지 상승한 후 감소하게 된다. 따라서 초전도 케이블에서 고장이 발생하게 되면 선로내의 저항과 인덕턴스는 임계값을 초과하는 고장전류로 인해 증가하게 되며 또한 전압도 인덕턴스의 증가로 인한 자속 변화와 순간적으로 과도하게 변화하는 고장전류로 인해 크게 발생하게 된다.

4. 시뮬레이션 모델

시뮬레이션에서는 1선지락고장의 전류변화와 저항과 인덕턴스 그리고 전압의 변화를 고려하였다. 본 논문에서는 이 조건을 만족시키기 위해 표 2와 같은 조건을 설정하였다.

표 2 모델 변화 요소(I)
Table 2 Factors of model variation (I)

분류	모델	설명
Case 1	스위칭제어 모델	최초 퀜치가 발생한 이후 지속적으로 케이블 내에서 퀜치 상황이 유지되는 경우
Case 2	Fortran 제어 모델	고장전류가 임계값을 넘는 상황에서만 퀜치가 발생하는 경우

또한 계통은 pi 등가선로로 구성하였으며 선로상의 퀜치를 모의하기 위한 변수로는 저항과 인덕턴스가 있다. 그리고, 커패시턴스는 지락고장 상황에서의 고장전류에 큰 영향을 주지 않으므로 정상상태 커패시턴스 값은 고장상황에서도 일정하게 적용하였다. 그러므로 저항과 인덕턴스를 각각 변화시킴으로서 각 변수들이 퀜치에 어떤 영향을 미치는지를 알아보기 위해 표 3과 같이 추가 조건을 설정하였다.

표 3 모델 변화 요소(II)
Table 3 Factors of model variation (II)

분류	타입	설명
Case 1	TYPE 1	저항(R)만을 고려
	TYPE 2	인덕턴스(L)만을 고려
	TYPE 3	저항(R)과 인덕턴스(L)을 고려
Case 2	TYPE 4	저항(R)만을 고려

초전도케이블 내에서 고장이 발생했을 때 반주기내에 임계값을 초과하는 고장전류에 의해 퀜치가 발생하며 저항성분은 퀜치 상황이 발생하는 전류임계값을 기점으로 정상상태의 저항보다 상승하게 된다. 여기서 고려되어야 할 사항은 고장전류와 저항의 증감에 따른 퀜치현상의 확산과 리커버(recorvery)이며, 임계값을 넘어선 고장전류에 의해 발생된 저항성분은 교류전류의 증가 또는 감소에 따라 영향을 받게 되므로 그에 따라 두 가지 상황으로 상정할 수 있다. 첫째는 고장전류가 임계값을 넘어서 퀜치가 발생한 후 지속적으로 퀜치를 유지하다가 냉각 설비 혹은 다른 변수로 인한 인위적인 조정을 통해 리커버 되는 경우이며, 둘째는 고장전류가 고장시에도 교류의 특성을 나타내므로 전 고장상황에서 임계값을 넘는 것이 아니며, 케이블 내의 냉각설비가 정지상태에서도 케이블 내 냉각은 일정시간 유지되어 고장시 발생한 퀜치를 리커버시키기에 충분할 것으로 사료되므로 고장저항이 고장전류의 임계값을 기준으로 한 증감에 따라 증가 또는 감소하게 되어 결과적으로 자연적인 리커버가 되는 것으로 나눌 수 있다. 그러므로, EMTDC상의 퀜치상황 시뮬레이션에서 각 Case 모델은 이러한 퀜치상황의 차이에 따라 두 가지로 나눌 수 있다. Case 1은 퀜치가 발생한 후 고장전류의 변화에 무관하게 퀜치 저항분이 일정하게 유지되도록 설정한 경우이며 Case 2는 고장전류가 임계값 이하가 될 때 저항도 감소하여 자연적인 리커버가 되는 것으로 설정하였다. 위의 두 CASE에 대한 시뮬레이션은 다음과 같이 구성된다.

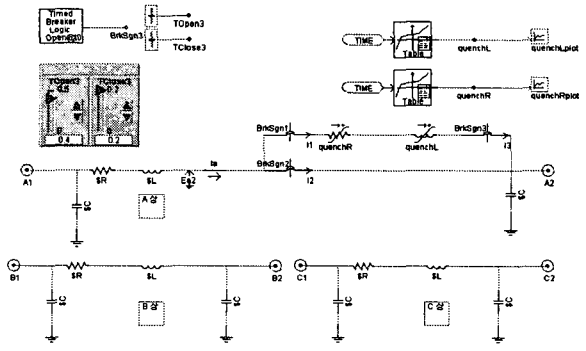

그림 3 스위칭동작을 사용한 모델(Case 1)
Fig. 3 Model using switching behavior(Case 1)

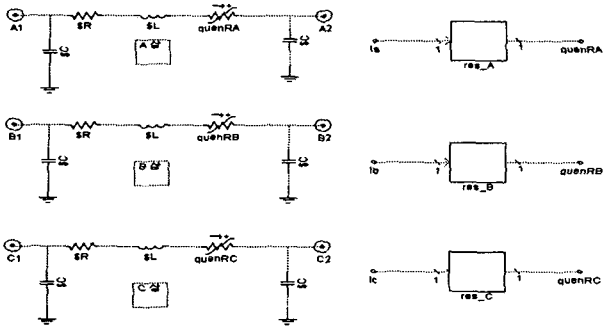

그림 4 Fortran을 사용한 모델(Case 2)
Fig. 4 Model using fortran control(Case 2)

퀜치상황은 고장이 발생한 후 고장전류가 8kA를 넘게 되면 적용되도록 설정하였으며, 또한 퀜치 발생시 상전도상태의 최종 저항값은 각 설비에 따라 다르게 되는데 본 논문에서는 관련 자료들을 참조하여 0.1Ω/km, 0.5Ω/km, 1Ω/km, 2Ω/km의 4가지 경우로 상정하였다[7-9]. 또한 고장상황은 A상 도체에서만 발생하는 1선지락 고장으로 0°고장과 90°고장으로 나누어 설정하였다.

5. 1선지락 고장

적용된 모델계통의 구간 2에서 발생한 1선지락고장으로 0°고장과 90°고장상황을 모의하였으며, 전압은 고장구간인 구간 2의 전압과 정상구간인 구간 1에서의 전압을 구별하여 측정하였다.

5.1 0° 고장

5.1.1 Case 1

퀜치가 발생하였을 때 저항과 인덕턴스의 변화에 따른 선로내의 전류와 전압의 변화를 알아보았으며 결과는 다음 그림 5에서 12에 각각 나타내었다.

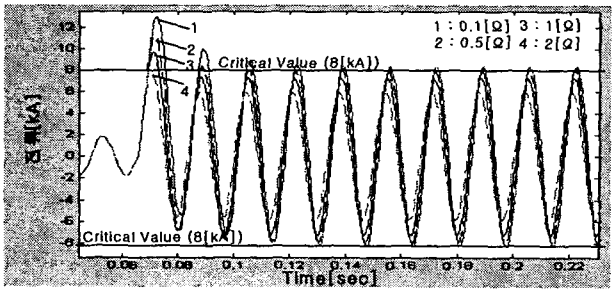

그림 5 Type 1에서의 전류
Fig. 5 Currents in type 1

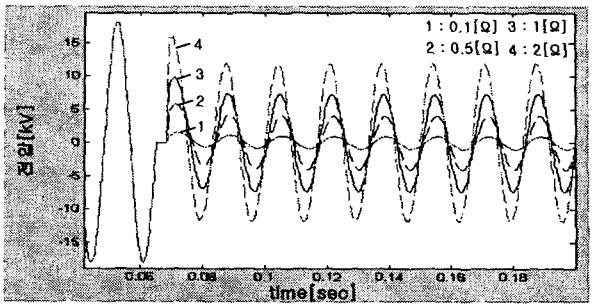

그림 6 Type 1에서 구간 2의 전압
Fig. 6 Voltages of section 2 in type 1

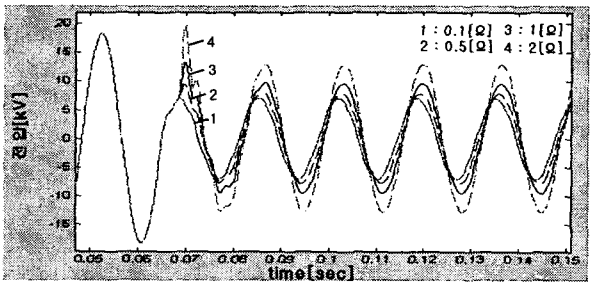

그림 7 Type 1에서 구간 1의 전압
Fig. 7 Voltages of section 1 in type 1

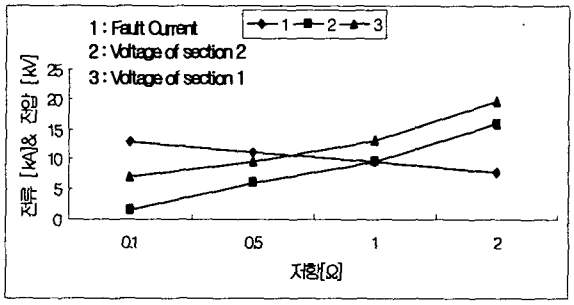

그림 8 Type 1에서의 전류와 전압
Fig. 8 Currents & voltages in type 1

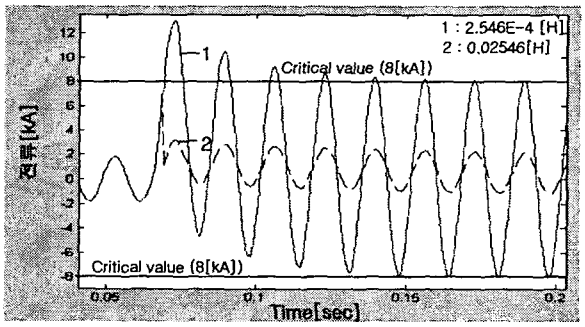

그림 9 Type 2에서의 전류
Fig. 9 Currents in type 2

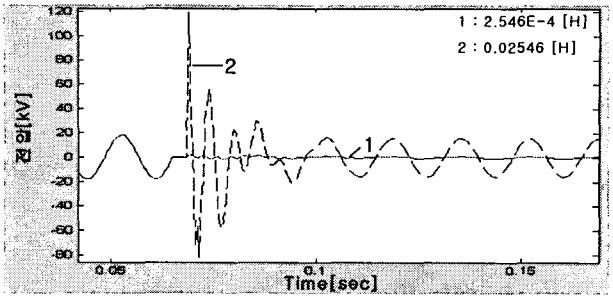

그림 10 Type 2에서 구간 2의 전압
Fig. 10 Voltages of section 2 in type 2

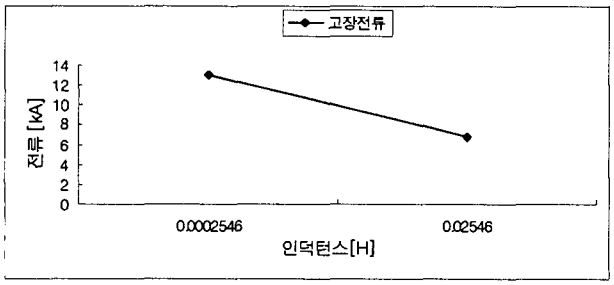

그림 11 Type 2에서 구간 2의 전류
Fig. 11 Currents of section 2 in type 2

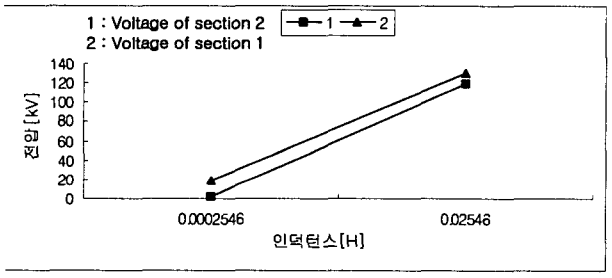

그림 12 Type 2에서의 전압
Fig. 12 Voltages in type 2

그림 5에서는 저항이 일정 기준에 따라 증가할 때 고장전류의 변화를 나타낸 것으로 고장전류는 저항의 증가에 따라 감소하였다. 그리고 그림 6은 그림 5와 같은 저항 범위에서 선로 구간 2의 전압으로 고장전류의 변화와는 반대로 저항이 증가함에 따라 크게 발생하였다. 또한 그림 7은 구간 1에서의 고장전압이며 전체적인 전압은 구간 2보다 크게 나타났다. 즉 저항값이 커질수록 선로내에서의 고장 전류는 감소하는 것으로 나타났으며 전압은 구간 2와 구간 1에서 저항의 증가에 따라 상승하였다. 그리고 그림 9와 10은 선로 인덕턴스의 변화에 따른 고장 전류와 전압의 변화이며, 인덕턴스 값이 증가할수록 고장전류는 급격하게 감소하고 전압은 구간 2에서 과도하게 나타났다. 결과적으로 고장전류와 전압은 그림 3과 그림11 과 12에서와 같이 저항과 인덕턴스의 변화에 따라 전류는 감소하는 반면 전압은 증가하고, 전류와 전압의 증가의 비율을 비교했을 때 인덕턴스의 영향이 저항의 영향보다 크게 나타났다. 즉, 고장시의 인덕턴스의 변화가 과전압의 발생에 큰 영향을 주는 것으로 사료된다.

다음으로, 초전도 케이블에서 퀜치시에 저항과 인덕턴스가 함께 동작함에 따른 전류와 전압의 변화를 분석하기 위해 상정된 저항 범위에서 최악의 상황인 2Ω/km과 상정된 인덕턴스 범위에서 상전도 특성과 초전도 특성을 고려하여 발생 가능한 값인 8mH/km을 각각 설정하였을 때 전류와 전압의 변화가 어느 정도 나타날 수 있는지 알아보았다. 결과 파형은 그림 13, 14와 같다.

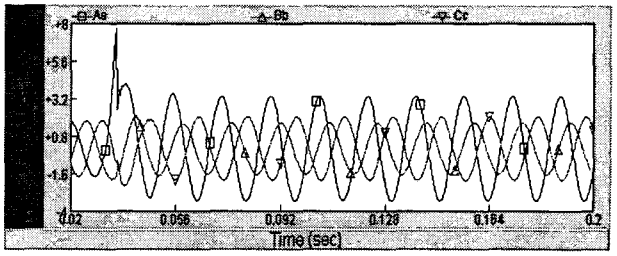

그림 13 Type 3에서의 전류
Fig. 13 Currents in type 3

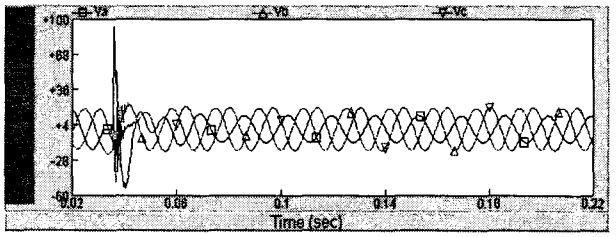

그림 14 Type 3에서의 전압
Fig. 14 Voltages in type 3

그림 13, 14는 퀜치가 고려된 초전도 1선지락에서 저항(R)과 인덕턴스(L)가 함께 고려된 경우의 결과파형이다. 상정된 R과 L값으로 2Ω/km과 8mH/km을 적용시켰을 경우 그림 13의 고장 전류는 퀜치에 의한 선로내의 저항이 증가함에 따라 8kA를 피크로하여 감소하게 된다. 그리고, 고장동안에 임계값 이하인 상전도상태 고장값으로 낮아짐을 알 수 있다.

또한, 그림 14의 과전압은 고장이 발생한 후 퀜치(8kA)시점에서 나타나는 임계전류값에서의 설정에 따라 저항이 급상승하게 되고, 고장전류는 단시간 내에 급격하게 감소하게 되므로 R, L, C성분 간략선로에서 L성분에 의해 국부적으로 순간 과전압이 발생한다. 그리고 과전압은 고장전류가 임계값을 넘지 않는 동안에는 발생하지 않다가 임계값을 넘어 저항과 인덕턴스가 증가하는 시점에서 발생하여 저항과 인덕턴스 값이 증가함에 따라 증가하다가 저항과 인덕턴스가 퀜치 최종값까지 상승했을 때 최고값을 갖는다. 즉 초전도 케이블의 임계전류값과 발생하는 초기 퀜치 저항이 일정하지 않고 크거나 작아질 수 있음을 고려하였을 때 그리고 퀜치시에 저항의 증가가 순간적으로 피크를 보인다고 가정해볼 때 배전급 초전도 케이블 계통에서 발생하는 저항값에 따라 선로내에는 국부적으로 과전압이 발생하게 될 것이다 [10].

5.1.2 Case 2

Case 1의 스위칭 동작을 통한 퀜치를 적용시키기 위해서는 퀜치가 고려되지 않은 일반 고장상황에서의 시간에 따른 고장전류의 변화를 기반으로 퀜치가 발생하는 시점을 스위칭

소자를 사용하여 설정함으로서 고장구간에 퓌치를 적용시키지만, Case 2처럼 Fortran을 사용하여 선로내에서 퓌치가 발생하는 임계전류값을 미리 설정한 후 그 값이 되었을 때 선로내에서 자동적으로 퓌치현상이 발생하도록 설정할 수 도 있다. 그러나 Case 1에서 스위칭 동작의 최초 퓌치발생 이후 고장저항이 지속적으로 유지되는 것과는 달리 Case 2의 경우는 고장전류가 임계값을 기준으로 한 교류특성에 따라 초과 또는 감소를 할 때 퓌치 저항이 전류변화와 함께 증가 또는 감소하도록 구성하였다. Fortran 제어문에서는 Case 1의 스위칭 제어에 적용된 저항 범위중에서 0.5Ω/km을 상정하여 적용하였으며 결과는 그림 15에서 18과 같다.

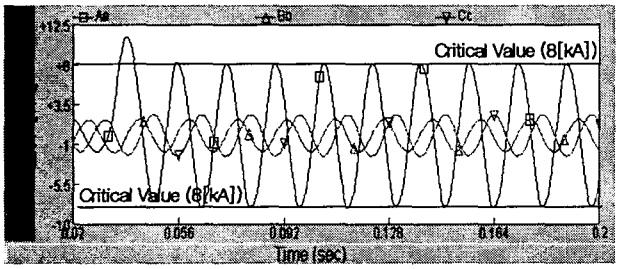

그림 15 Type 4에서의 전류

Fig. 15 Currents in type 4

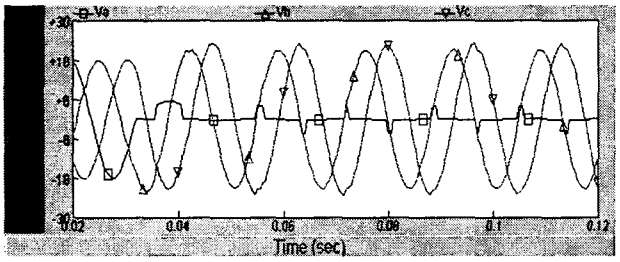

그림 16 Type 4에서 구간 2의 전압

Fig. 16 Voltages of section 2 in type 4

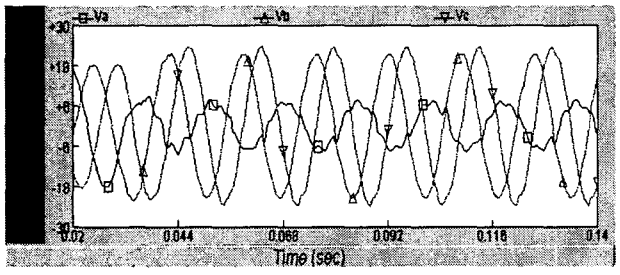

그림 17 Type 4에서 구간 1의 전압

Fig. 17 Voltages of section 1 in type 4

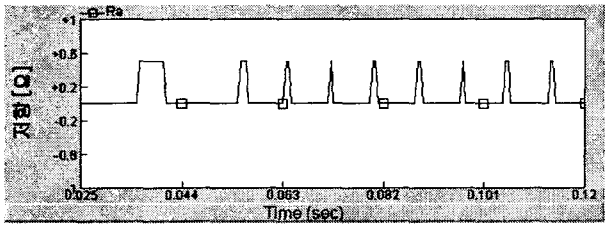

그림 18 Type 4에서의 저항

Fig. 18 Resistance in type 4

그림 15는 Type 1에서 스위칭 제어의 결과 중 8kA의 임계값에 수렴하는 결과를 보인 0.5Ω/km상황과 비교하기 위해 같은 저항값을 입력하였을 때의 고장전류 변화를 나타낸 것이며 최초 고장은 임계값인 8kA보다 크게 나타나지만 그 피크값이 임계값에서 발생한 그림 18의 저항분에 의해 감소하게 된다. 그 후 고장전류가 정·부의 임계값에 도달할 때 그림 18의 저항성분이 각각 발생하게 되어 고장전류를 제한하게 된다. 또한 구간 2에서의 전압은 그림 16과 같이 저항이 발생하는 순간에 상승하며 저항이 감소하면 같이 감소하게 된다. 그리고 구간 1에서의 전압은 그림 17처럼 케이블 고장구간의 일시적인 저항, 전류의 변화로 인해 계통에는 왜곡된 고장전압이 발생하게 된다. 즉, 고장전류의 크기에 따라 초전도체내에서의 저항이 발생하게 되는데, 고장전류가 임계값이하가 되면 퓌치가 지연되거나 또는 자연적인 리커버 상태가 될 수 있을 것으로 사료된다.

5.2 90° 고장

5.2.1 Case 1

90°고장상황에서의 도체의 전류와 전압파형은 그림 19에서 26과 같다.

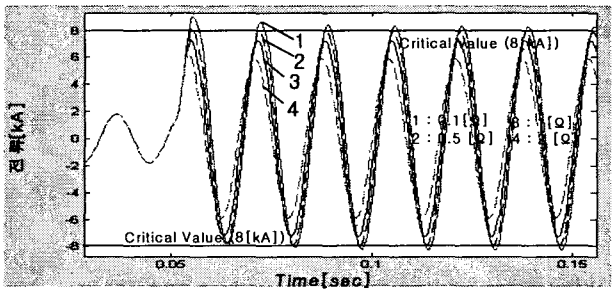

그림 19 Type 1에서의 전류

Fig. 19 Currents in type 1

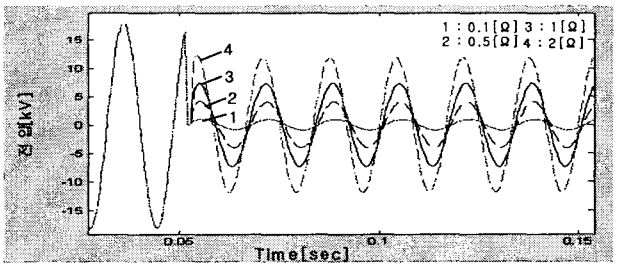

그림 20 Type 1에서 구간 2의 전압

Fig. 20 Voltages of section 2 in type 1

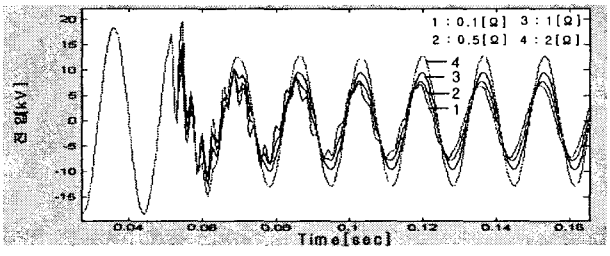

그림 21 Type 1에서 구간 1의 전압

Fig. 21 Voltages of section 1 in type 1

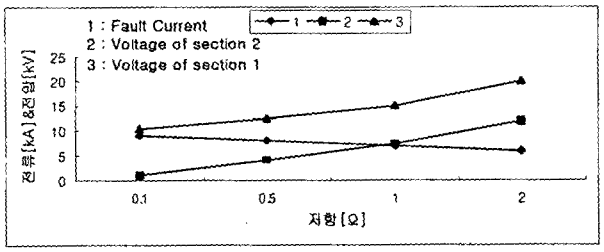

그림 22 Type 1에서의 전류와 전압
Fig. 22 Currents & Voltages in type 1

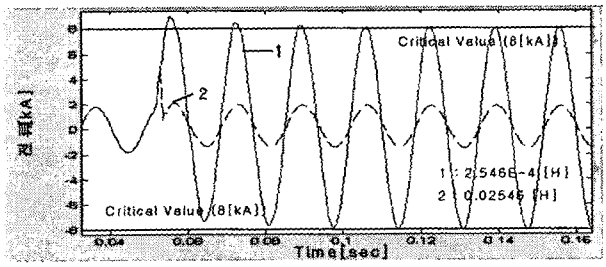

그림 23 Type 2에서의 전류
Fig. 23 Currents in type 2

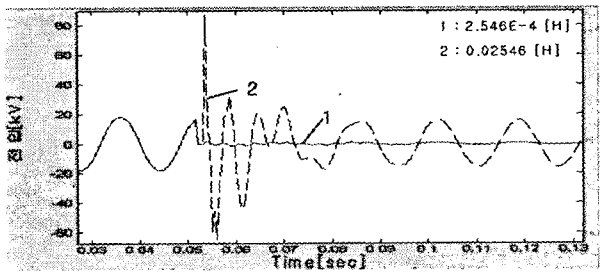

그림 24 Type 2에서 구간 2의 전압
Fig. 24 Voltages of section 2 in type 2

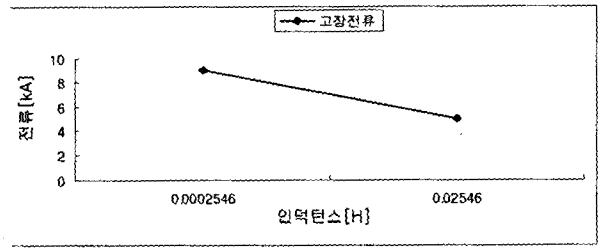

그림 25 Type 2에서 구간 2의 전류
Fig. 25 Currents of section 2 in type 2

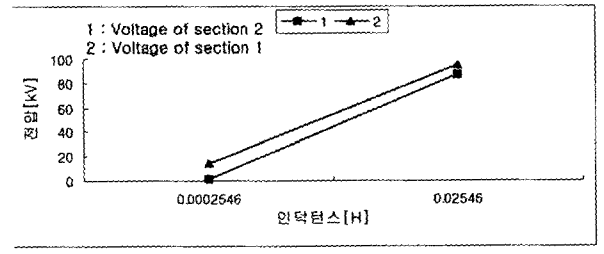

그림 26 Type 2에서의 전압
Fig. 26 Voltages in type 2

그림 19는 저항의 변화에 따른 고장전류의 변화를 나타내며 저항값이 증가함에 따라 고장전류는 임계값이하로 감소하였다. 그리고 그림 20과 21은 저항의 증가에 따른 고장전압의 변화를 나타내었는데 즉 저항이 증가함에 따라 전압은 구간2와 구간1에서 모두 증가하는 것으로 나타났다. 인덕턴스의 변화에 따른 전류와 전압의 변화는 그림 23과 24에 나타내었는데 인덕턴스가 증가함에 따라 고장전류는 저항이 증가할 때 보다 그 감소율이 크며 전압도 또한 그 증가율이 크게 나타났다. 결과적으로 그림 22, 25 및 26에서 보이는 것처럼 90°고장에서도 저항과 인덕턴스가 증가할 수록 고장전류는 감소하는 반면에 고장전압은 급격하게 증가하였다. 즉 90°고장에서도 저항과 인덕턴스의 변화는 전류, 전압의 변화에 상당히 큰 영향을 준다.

다음으로 0°고장과 마찬가지로 2Ω/km과 8mH/km의 저항과 인덕턴스값을 퀜치변화량으로 상정하였을 때 전압과 전류를 분석하였다. 결과 파형은 그림 27, 28과 같다.

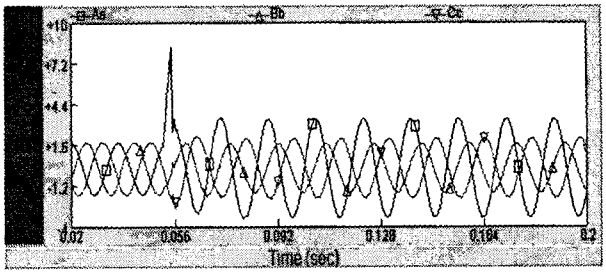

그림 27 Type 3에서의 전류
Fig. 27 Currents in type 3

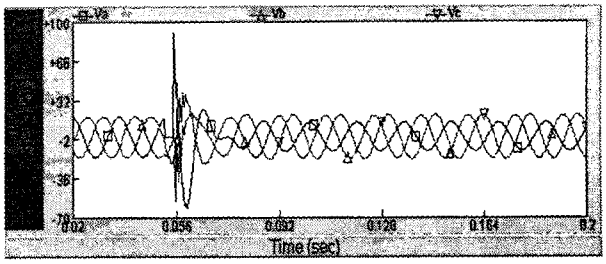

그림 28 Type 3에서의 전압
Fig. 28 Voltages in type 3

고장전류는 선로내의 저항이 증가함에 따라 8kA를 피크로 하여 감소하며, 일정 저항값 즉 상정된 상전도상태 저항값이 유지될 동안 고장전류는 정상전류보다 크지만 임계값이하로 유지되게 된다.

또한, 90°고장시에도 0°고장시보다 그 피크값은 낮지만 고장전압이 발생하게 됨을 알 수 있다. 피크전압은 0° 고장시와 마찬가지로 고장전류가 임계값을 넘지 않는 동안에는 거의 나타나지 않다가 임계값을 넘어 저항과 인덕턴스가 발생하는 시점에서 고장전압도 나타나며 저항과 인덕턴스가 시간에 따라 증가하여 최종 퀜치 저항값과 인덕턴스 값이 될 때 고장전압도 최대값을 갖는다. 즉 피크 전압은 저항의 급상승으로 인해 고장전류가 단시간 내에 급격하게 감소하게 되는 시점에서 발생한다. 그리고 앞에서 검토한 저항과 인덕턴스의 개별적인 영향으로 인한 발생 과전압을 고려해 볼 때 두

요소가 함께 고려된 경우에도 저항보다는 인덕턴스의 변화가 과전압 발생에 큰 영향을 줄 것으로 사료되며 퀜치 구간의 국부적인 순간과전압은 계통에 큰 영향을 미칠 수 있다.

5.2.2 Case 2

고장전류의 변화에 따른 저항성분의 변화를 Fortran 제어문을 사용하여 모의하였고 0.5Ω/km의 저항을 최대값으로 상정하여 분석하였다.

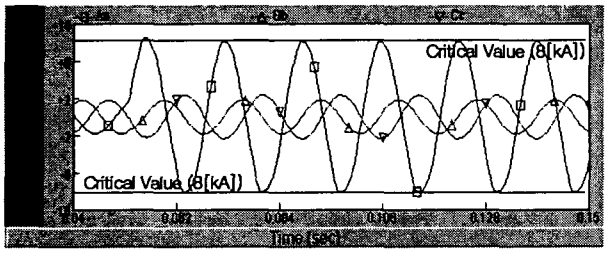

그림 29 Type 4에서의 전류
Fig. 29 Currents in type 4

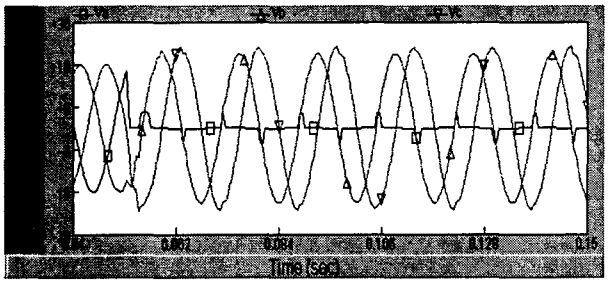

그림 30 Type 4에서의 퀜치구간 전압
Fig. 30 Voltages of quench area in type 4

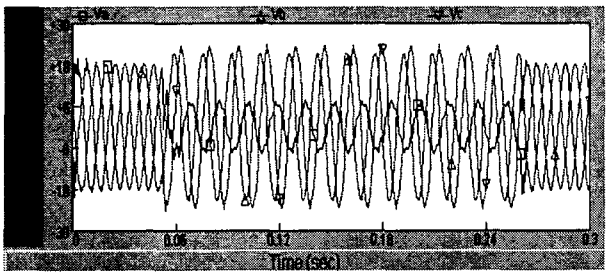

그림 31 Type 4에서의 계통 전압
Fig. 31 voltages of System in type 4

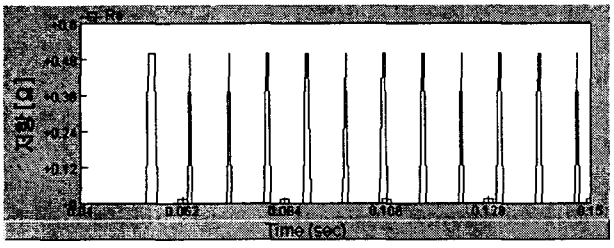

그림 32 Type 4에서의 저항
Fig. 32 Resistance in type 4

그림 29는 퀜치 상황에서의 전류변화를 나타내고 있다. 고장전류는 임계값에 수렴하며 일시적인 임계값 이상의 전류에서 퀜치로 인해 저항이 증가하고 감소하는 시점에서 그림 30과 같이 전압이 발생한다. 또한 국부적인 퀜치로 인해 고장전 구간에서는 그림 31와 같은 왜곡된 고장전압이 발생한다.

결과적으로 초전도선로에서의 고장상황을 비롯한 단순 냉각실패 등으로 케이블 내 온도가 상승하여 임계 전류가 증가하였을 때 발생하게 되는 퀜치상황을 모의 분석하였으며, 퀜치시 계통의 변화를 시뮬레이션으로 규명하고 이러한 정상상태 운전이 아닌 고장 또는 불평형 상황에 대처방안을 강구하기 위한 기초연구를 실시하였다. 본 연구에서 초전도 케이블 계통에 불평형 상황이 발생했을 때 나타나게 되는 퀜치를 다양한 조건에서 검토함으로서 실계통에 도입시 어떠한 현상이 나타날 수 있는지에 대한 사전지식을 습득하고 이러한 고장상황에서의 대처 방안을 수립하기 위한 기반을 마련하였다고 사료된다. 그러므로 퀜치에 대한 다양한 조건에서의 연구는 장래 초전도 케이블의 실용화의 관점에서 그리고 초전도 배전 케이블 계통에 함께 연계될 설비들을 고려해 볼 때 필히 연구되어야 할 분야이다. 특히, 본 논문에서 퀜치에 따른 전류와 전압의 변화를 시뮬레이션을 통해 분석하였는데, 전류의 감소에 비해 발생하는 전압은 계통에 상당한 부담을 줄 정도로 과도하게 상승하였다. 이러한 과전압은 케이블 선로뿐만 아니라 유도성 한류기나 변압기에서도 충분히 발생가능 하므로 추가적인 연구가 필요할 것으로 사료된다.

6. 결 론

본 논문에서는 고장전류가 임계값을 초과했을 때 선로에서 발생하게 되는 국부적인 저항과 인덕턴스의 추가증분에 의한 고장전류 및 과전압에 대해 분석하였다. 본 논문에서의 퀜치는 열적인 퀜치가 아니라 초전도케이블에서 고장전류가 상승하게 되고 그 값이 임계값을 초과할 때 선로에서 상승하는 저항과 인덕턴스로 인한 퀜치를 모의하였으며, 그에 따른 결과는 다음과 같다.

1) 퀜치 분석을 위해 스위칭 제어 타입과 Fortran 제어 타입의 두 가지 모델링을 실시하였다.
2) 퀜치는 저항과 인덕턴스가 최초 고장전류이후에 일정하게 유지되는 경우와 임계전류를 기준으로 변화하는 경우로 분류하여 분석을 실시하였다.
3) 퀜치에 따른 저항과 인덕턴스의 변화에 대해 고장전류는 0°고장과 90°고장에서 모두 감소하는 것으로 나타났으며 저항이 변화할 때 보다 인덕턴스가 변화할 때 고장전류의 증감이 크게 나타났다.
4) 퀜치가 발생하였을 때 저항과 인덕턴스가 증가하게 되고 이러한 저항과 인덕턴스의 증가에 따라 선로내 전압도 0°와 90°고장시에 순간적으로 상승하였다. 발생한 과전압은 저항의 변화시보다 인덕턴스의 변화시에 더 크게 나타났으며 발생한 과전압의 크기는 약 119kV 와 89kV이다.
5) 과전압은 선로내의 전류가 급격히 변화하는 상황에서 인덕턴스 성분에 의해 발생하게 되므로 퀜치시의 인덕턴스 성분은 선로내의 과전압 발생의 주 원인이 된다.

감사의 글

본 연구는 21세기프론티어 연구개발사업인 차세대 초전도 응용기술개발 사업단의 지원에 의해 수행되었습니다.

참 고 문 헌

[1] N.Kelley, M.Massi, L.Masur, "Application of HTS wire and cables to Power Transmission : State of the Art and Oppotunities", IEEE, Trans. on Applied Superconductivity, pp.448-454, 2001.

[2] Jeffrey O.Willis, "Superconducting Transmission Cables", IEEE Power Engineering Review, pp.10-14, 2000.

[3] Shoichi Honjo, Masato Shimodate, "Electric Properties of a 66kV 3-core Superconducting Power Cable System", ASC2002, pp.1-4, 2002.

[4] Vladimir Sokolovsky, Victor Meerovich, "Study of the Quench Conditions in Superconducting Current Limiters", IEEE Trans. on Applied Superconductivity, vol.11, No.1, pp.2110-2113, 2001.

[5] V.S.Vysotsky, Yu.A.Iiyin, "Quench Development and Ultimate Normal Zone Propagation "Velocity" in Superconducting Under Fast Current Change", IEEE Trans. on Applied Superconductivity, vol.11, No.1, pp.2118-2121, 2001.

[6] T.Kiss, M.Inoue, "Quench Characteristics in HTSC Devices", IEEE Trans. on Applied Superconductivity, vol.9, No.2, pp.1073-1076, 1999.

[7] Sang-Jin Lee, Tae-Kuk Ko, "The Evolution of Quenches in Superconducting Parallel Bifilar Winding by Fault Current", IEEE Trans. on Applied Superconductivity, vol.6, No.2, pp.57-61, 1996.

[8] A.Hilaire, A.Ijspeert, "Simulation of the Effect of a series of Superconducting Magnets on a Quenching Magnet Using a Controlled Current Pulse", IEEE Trans. on Applied Superconductivity, vol.12, No.1, pp.1553-1556, 2002.

[9] J.W.Lue, G.C.Barber, "Fault Current Tests of a 5-m HTS Cable", IEEE Trans. on Applied Superconductivity, vol.11, No.1, pp.1785-1788, 2001.

[10] Naoyuki Amemiya, Hirofumi Yonekawa, "Experimental Study in Current Re-Distribution and Stability of Multi-Strand Superconducting Cables", IEEE Trans. on Applied Superconductivity, vol.7, No.2, pp.942-945, 1997.

[11] 이지광,김지후, "Analysis on Quench Propagation Characteristic of HTS Tape", 한국초전도.저온공학회논문지, 제2권1호, pp.35-39, 2000.

[12] 신형섭, K.Katagiri, "Effect of External Teinforcement on Stress/Strain Characteristics of Critical Current in Ag Alloy Sheathed Bi-2212 Superconducting Tapes", 한국초전도.저온공학회논문지, 제3권1호, 2001.

[13] Y.B.Lin, L.Z.Lin, Z.Y.Gao, "Development of HTS Transmission Power Cable", IEEE Trans. on Applied Superconductivity, vol.11, No.1, pp.2371-2374, 2001.

[14] S.Makeyama, K.Miyoshi, "Uniform Current Distribution Conductor of HTS power Cable", IEEE Trans. on Applied Superconductivity, vol.9, N0.2, pp.1269-1272, 1999.

[15] J.A.Demko, J.W.Lue "Practical AC Loss and Thermal Consicerations for HTS Power Transmission Cable Systems" IEEE Trans. on Applied Superconductivity, vol.11, No.1, pp.1789-1792, 2001.

[16] J. P. Stovall, J. A.Demko, "Installation and Operation of the Southwire 30-meter High-Temperature Superconducting Power cable", IEEE Trans. on Applied Superconductivity, vol.11, No.1, pp. 2467-2472, 2001.

[17] Robert D.Rosevear, "Power Cables in 21st Century Energy Development", IEEE Power Engineering Review, pp.8-10, 2000.

저 자 소 개

김 남 열(金 南 烈)

1976년 1월 1일 생. 2002년 원광대 공대 전기전자공학부 졸업. 2002년~현재 동 대학원 석사과정.

Tel : 063-850-6735

E-mail : saranga77@hanmail.net

이 종 범(李 鍾 範)

1955년 7월 12일 생. 1981년 한양대 공대 전기공학과 졸업. 1983년 동 대학원 전기공학과 졸업(석사). 1986년 동 대학원 전기공학과 졸업(공박). 1987~1990년 한국전기연구소 지중송전연구실 실장. 1997~1998년 미국 Texas A&M University 객원교수. 현재, 원광대 공대 전기전자 및 정보공학부 교수

Tel : 063-850-6735

E-mail : ipower@wonkwang.ac.kr