

반도체산업 및 차세대반도체 기술동향

정밀전자과 연구관 이상근
02) 509-7325 sglee@ats.go.kr

1. 반도체 산업 동향

반도체세계시장은 2001년 세계경제의 침체와 D램가격의 급락으로 2000년 2,271억불에서 2001년 1,550억불로 32%감소하게 되었다.

세계시장은 2006년 2,500억불 규모로 년평균 10% 성장이 예상되며, 한국은 2002년 166억불 수출에서 2006년 300억불에 이르는 수출확대가 전망된다.

메모리와 비메모리 시장은 약 1 대 4의 점유분포를 가지며, 2001년 반도체시장 1,550억불중에서 메

모리가 270억불로 17%, 비메모리는 1,280억불로 83%를 점유하는 비메모리가 주류를 이루고 있다.

1) 메모리반도체 시장현황

표1에서와 같이 종류별 메모리반도체의 세계시장을 살펴보면 2001년 메모리반도체 시장은 큰 폭으로 축소되었으며, 메모리반도체에서 D램이 큰 비중을 차지하며 2001년도의 메모리반도체시장이 크게 위축되어 -61 %성장을 이루었지만 향후 D램은 지속적인 증가로 메모리반도체를 주도할 전망이다.

<표1. 메모리반도체의 세계시장 추이>

(단위 : 억불)

구분 \ 연도	1999	2000	2001	2002	2003	2004	2005
D램	231	315	118	131	170	220	190
S램	46	75	44	40	40	30	30
Flash	71	116	81	90	120	150	140
기타메모리	7	9	8	8	10	10	9
합 계	355	515	251	269	340	410	369

(출처: Gartner Dataquest, 2002. 2)

2) 한국의 반도체 산업

반도체 산업은 한국의 전락수출산업이며 단일품목으로 1992년 이래 10년 연속 수출 1위 품목으로 2000년 260억불의 수출로 전체 수출의 15.1%와 2001년 143억불의 수출로 9.5%를 차지하고 있다. 메모리와 비메모리의 생산비율은 78:22로 메모리가 주를 이루고 있어 세계 반도체업체의 평균(17:83)과 비교시 한국의 반도체 생산구조는 매우 불안정한 상태이다. 향후 한국은 세계시장을 선도하는 메모리반도체분야를 더욱 강화하며, 또한 소량다품종의 고부가가치인 비메모리 제품을 사업의 다각화함으로 세계일류상품의 확대가 필수적으로 요구되고 있다.

2001년 메모리 세계시장에서 한국은 미국, 일본과 각축하며 3위를 차지하였으나(표2), D램 시장에서 한국이 4년 연속 1위로 세계시장을 주도하고 있으며, S램 시장에서 한국은 일본에 이어 2위 시장점유로 미국과 함께 3강 구도를 이루고 있다.

Flash메모리 시장에서 미국과 일본이 압도하며 한국은 한자리수의 시장점유로 3위를 차지하고 있어 이 시장의 확대가 크게 요구되고 있다.

2. 반도체 기술동향

1) 반도체 제조공정

반도체 제조공정은 Si 웨이퍼를 가공하는 전공정(FAB)과 조립하는 후공정(Packaging)으로 분류되며, 전공정의 핵심은 초미세화 공정기술을 다음 두 기술로 크게 대별하는데 첫째가 리소그라피 공정기술이고, 둘째가 박막증착, 식각, 세정 등의 리소그라피 이외의 기타 공정 기술이다.

2) 반도체 기술발전

<표2. 2001년 메모리 세계시장 및 국가별 시장점유율>

구 분	2001년 세계시장 (억불)	한국 매출액 (억불)	시장점유율(%)			비 고
			한국	미국	일본	
메모리전체	251	68	25.3	32.6	26.6	3위
D램	118	49	41.5	19.7	20.6	1위
S램	44	13	30.9	30.6	36.1	2위
Flash	81	5.2	5.3	51.2	33.5	3위

(출처: Gartner Dataquest, 2002. 2)

<표3. 메모리 반도체의 종류 및 전망>

메모리 반도체 (휘발성 & 비휘발성 메모리)						
종 류			용도	기 능	추 세	
· 휘발성 메모리	· D램	· SD램	메인 메모리	고집적 대용량	고집적	저전력 저가격
		· DDR SD램			고속화	
		· 램버스 D램				
· S램	· DDR SS램	동영상	고속도			
· 비휘발성 메모리	· Flash메모리		디지털 정보기기	비휘발성 저전력	비휘발성	

표3에서와 같이 메모리반도체는 PC의 메인 메모리에 주로 사용되며, 고집적화, 고속화, 저전력화, 생산단가 절감 등의 특징을 가지고 있다. '90년대 후반부터 펜티엄급 PC출시로 이전에 비하여 D램의 속도도 중요성을 가지기 시작하였으며 D램은 고속화를 위해 S(싱크로너스)D램, SD램의 2배의 전송속도를 가지는 DDR SD램, SD램의 4배의 전송속도를 가지는 램버스 D램 등으로 발전하고 있다.

현재 SD램(63%)과 DDR SD램(30%)이 대부분의 D램시장을 차지하고 있으나 D램의 고집적도 향상에 의한 가격경쟁력 향상이 최우선시 되고 있으며, SD램, DDR, 램버스 등의 고속화 D램 생산업체는 제품의 개발에 앞서 우선적으로 표준화를 추진하고 있는 실정므로, 삼성전자, 하이닉스 등 국내업체들은 반도체 분야 국제표준을 주도하고 있는 JEDEC에 적극적인 참여를 통하여 차세대 D램분야 국제표준 작업에 선도적으로 활동을 하고 있다.

*** JEDEC : 합동전자장치협의회**

(Joint Electron Device Engineering Council)

- 미국 전자공업협회(EIA)의 하부조직으로, 제조업체와 사용자 단체가 합동으로 집적회로(IC) 등 전자장치의 통일규격을 심의, 제정
- 1960년에 설립돼 현재 300여개 회원사와 1천800명의 멤버가 활동하고 있으며 각 분야의 전문가로 구성된 48개의 위원회를 두고 있는 반도체 규격 표준화 분야에서 가장 영향력 있는 단체

최근 들어 모바일 기기 및 디지털가전의 디지털화 확산으로 Flash 메모리가 부상하고 있으며 Flash 메모리의 큰 소비전력, 느린 쓰기 속도 등에 대한 한계로 F램과 같은 새로운 비휘발성메모리의 개발이 요구되고 있다.

표4에서와 같이 D램 메모리반도체의 로드맵을 고

<표4. D램 메모리반도체의 Road Map>

개발 년도	양산 년도	용량 DRAM	선폭 (μm)	리소 그래피 광원	웨이퍼 사이즈 (mm)	동작전압 (V)	커패시터 유전체	전극 재료	용량 (신문지)
'92	'95	64M	0.35	I/KrF	200	3.3	SiO ₂ /Si ₃ N ₄ (ON)	poly-Si	520매 (15일)
'94	'98	256M	0.25	I/KrF	"	2.5	ON	poly-Si	
'96	'01	1G	0.18	KrF	300	1.8	ON/ Ta ₂ O ₅	Si/TiN	백과 사전
'00	'04	4G	0.13	KrF ArF	"	1.5	Ta ₂ O ₅ / Al ₂ O ₃ / HfO ₂	Si/TiN/ Ru	
'03	'07	16G	0.10	ArF F ₂	400	1.2	SrTiO ₃	Ru	
'06	'10	64G	0.07	ArF F ₂	"	0.9	(Ba,Sr)TiO ₃	Ru	인간 메모리
'09	'13	256G	0.05	EB, EUV	"		(Ba,Sr)TiO ₃	Ru/Pt	

집적화, 고속화, 저전력화, 생산단가 절감 등과 관련 하여 보고자한다.

3) 고집적화

D램의 고집적화에 따라 선폭이 축소되면서 양산 성 확보의 어려움, 공정 복잡도의 증가에 따르는 생산성 저하 등의 제반 문제점을 동반하고 있다. 또한 차세대 D램의 주요 기술개발은 나노 리소그래피 기술, 고정전용량 커패시터와 고유전 트랜지스터 등에 집중되고 있다.

메모리 반도체의 경우 그림1에서와 같이 선폭은 한 셀의 짧은 변의 반으로 정의하며, 비메모리 로직 소자의 경우는 트랜지스터의 게이트 선폭 즉 게이트 길이로 정의한다.

리소그래피(Lithography, 노광)는 노광원을 사용하여 설계된 대로 웨이퍼 위에 미세회로 패턴을 형성하는 기술로서 0.1 μm 이하의 선폭 축소에 따라 단 파장의 광원을 채택한 나노 리소그래피기술을 개발 중이며, 짧은 파장의 노광원이 높은 해상력을 가지며 더 미세한 회로선폭을 형성시킨다. 0.1 μm 이하의 선 폭 적용을 위해 광학 리소그래피기술에서 비광학 리 소그래피기술로 발전되고 있으며, 광학 리소그래피 기술은 엑사이머 레이저(KrF, ArF ; 193 nm ~ 248 nm)를 사용하고 있고, 엑사이머 레이저(KrF, ArF) 리소그래피 공정의 문제점은 초점의 작은길이, 라인 모서리의 라운딩, 후 노출 지연, 건식에칭의 낮은저 항, 비싼가격 등이 있다.

이러한 문제점을 개선하기 위하여 비광학 리소그

라피기술은 전자빔과 극초자외선을 사용하고 있으며, 전자빔(EB, Electron Beam)은 100 kV의 전자빔을 이용하며 초점의 큰 깊이와싼가격의 마스크 등의 이점을 가지는 나노 리소그라피기술로서 극초자외선(EUV, Extreme Ultra Violet)은 현재 가장 짧은 파장(13 nm~11 nm)을 가지며, 70 nm~35 nm의 선폭을 형성시키는 최상의 차세대 나노 리소그라피기술로 알려져 있다.

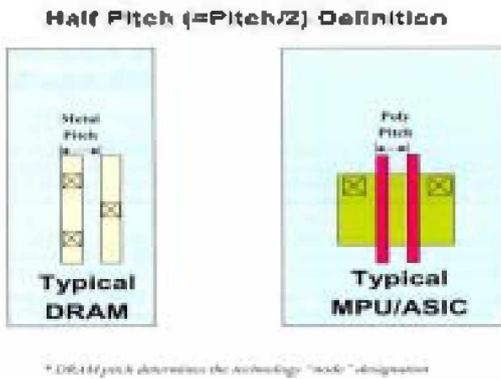


그림1. DRAM과 CPU의 선폭

커패시터의 용량증대를 위하여 전극 표면적의 증가, 고유전율 재료의 채택에 대한 연구가 활발히 진행되고 있으며 현재의 저유전율의 유전체는 SiO₂ ($\epsilon \sim 3.9$)와 Si₃N₄ (8)로서, 향후 차세대 고유전율의 유전체는 Ta₂O₅(25), HfO₂ (25), STO(200), BST (>300)등이 있다.

또한 열 안정성이 높은 전극재료를 개발하기 위하여 현재의 poly-Si (Si)을 대체할 금속(Ru, Ru/Pt) 전극재료를 주목하고 있으며, 이러한 고유전체와 금속전극을 이용한 고정전용량 커패시터에 대한 연구

가 활발히 진행되고 있다.

소자 및 트랜지스터 내에서 전자의 전달속도를 높이기 위해 (게이트)선폭을 줄이는 추세이나 0.13 μm 이하의 선폭에서는 short channel효과가 발생한다. 그림2에서와 같이 short channel효과란 source-drain(channel)의 짧은 거리로 인하여 게이트 on/off가 조절되지 않아서 누설전류가 흐르는 현상을 말하며, short channel효과를 방지하기 위하여 기존의 SiO₂ 저유전체에서 HfO₂ 등의 고유전 박막 절연체로 대체됨으로 고유전 트랜지스터가 개발되고 있다

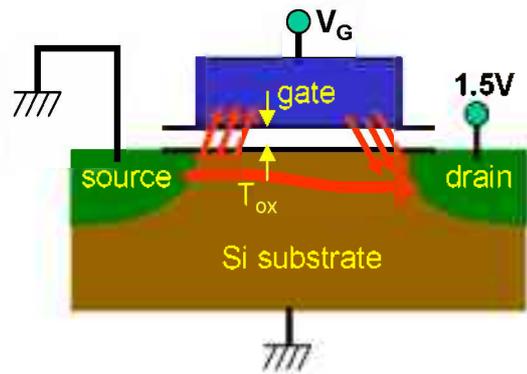


그림 2. MOSFET의 단면 구조

4) 고속화

배선기술은 IC에서 트랜지스터의 상호 연결회로를 구성하며, 전원공급 및 신호전달의 통로를 실리콘 위에 구현하는 기술을 말한다. 현재는 주로 알루미늄 배선을 사용하고 있으나 고집적화/고속화 추세에 따라 제반 문제점이 유발된다. 선폭감소로 인하여 배선 및 콘택트 저항치가 증대되고 저항열과 일렉트로마

이그레이션 등의 문제점이 발생된다. 일렉트로마이그레이션(Electromigration)은 전류밀도가 높을 경우 전자이동의 반대방향으로 원자가 움직여 심할 경우 배선이 끊어지기도 하는 현상이다.

고속화를 위한 차세대 배선재료로써 구리/저유전 절연재료에 대해 많은 연구가 진행중에 있다. 구리는 알루미늄에 비해 낮은 저항(62%)을 가지며, 현재의 고유전율(3.9)을 가지는 SiO₂에서 저유전율(2.5)을 가지는 SiOC 절연재료가 대체되며 부각되고 있다.

5) 저전력화

Non-PC의 반도체 수요급증에 따라, 동작속도의 증가와 발열량의 감소를 위하여 저전압, 저소비전력의 기술을 개발하고 있다. 주요 Non-PC는 휴대전화, DVD, MPEG, GPS, 게임기, HDTV 등의 정보 기기이다. 표5에서와 같이 메모리반도체의 선폭 감소에 따라 D램은 3.3 V에서 2.5 V 및 1.8 V로, S램은 1.8 V에서 1.2~1.5 V 및 1.0 V이하의 저전압에서 동작하는 추세를 보이고 있다. 70 nm의 선폭에서 최대소비전력은 1.0 W이하로 될 것이다.

연시키므로 누설전류를 감소하게 한다. 현재 주로 사용되는 실리콘 대신에 실리콘이중막 웨이퍼(SOI) 및 에피 웨이퍼를 개발 중이며, SOI(Silicon On Insulator, SiO₂)는 실리콘 웨이퍼에 산소이온을 주입해 실리콘 표면 아래에 실리콘산화막(SiO₂)을 형성시키게 된다. SOI를 적용할 경우 전력소모량은 30 %이상 감소하고 속도는 30 %이상 향상하게 된다.

6) 생산단가의 절감

300 mm 웨이퍼를 채택할 경우 기존의 200 mm 웨이퍼보다 면적이 2.25배 늘어나 장당 칩생산량의 증대로 인하여 생산단가가 크게 감소된다. 웨이퍼의 크기가 커지면 단위공정당 가격은 높아지지만, 웨이퍼당 칩수가 증가하여 결과적으로 생산단가가 절감된다.

셀 크기는 칩 사이즈와 셀 효율을 높이기 위하여 셀 구조를 8F2 구조에서 6F2 또는 4F2 구조로 변경하여 절반의 셀 크기를 가지는 새로운 셀을 개발하고 있다. F는 minimum feature size, 즉 선폭과 대략 같다. 그러나 8F2 이외의 cell architecture는 아직 한번도 대량 생산되어 그 성능이 검증된 바 없기

<표5. 메모리반도체의 선폭 감소와 저전압 동작>

D램		S램	
전압(V)	선폭(μm)	전압(V)	선폭(μm)
3.3	0.35~0.14	1.8	0.17~0.07
2.5	0.26~0.11	1.2~1.5	0.11~0.05
1.8	0.17~0.07	< 1.0	< 0.07

소자와 소자, 소자내 트랜지스터 사이를 완전 절

때문에 이와 같은 achitecture의 변경은 모든 회사



기 · 술 · 표 · 준 · 동 · 향

에서 가장 꺼려하는 부분이다.

7) 차세대 반도체 공정과 나노기술의 적용

반도체 공정에서 나노기술은 “선폭이 150 nm이므로 nano-tech이 아니고 100 nm이므로 nano-tech임”과 같이 구별하지 않으며, 신공정의 채택여부와 나노크기 생성물의 새로운 특성을 나타내는가의 여부에 따라 나노기술로 정의한다.

기존 기술(마이크로기술)과 나노기술의 적용 사례를 살펴보면, CMOS(상보성금속산화물반도체) 트랜지스터의 게이트 산화박막의 경우에 대하여 150 nm 선폭의 IC에서 산화박막의 두께는 2~3 nm 수준이지만 기존의 SiO₂ 열산화막 공정으로 제조하고 있다. 100 nm 이하에서는 short channel 효과의 발생으로 기존 산화박막의 적용이 불가능하여 새로운 고유전율 산화박막이 요구되고 있다. ALD법(원자층 증착법)을 이용하여 절연박막을 형성하며, 새로운 산화박막의 5 nm두께는 short channel 효과를 저지하

여 누설전류를 억제한다. 이로 인하여 기존의 산화박막보다 새로운 박막의 두께가 두껍지만, 그 박막의 특성이 개선되었기 때문에 이는 나노기술을 적용했다고 볼 수 있다.

이미 적용중인 나노기술을 살펴보면, 커패시터 제조공정에서 HSG (hemi-spherical grain)를 이용하여 커패시터 표면적을 늘리는 공정은 이미 64 M 때부터 적용하고 있다. HSG는 구불구불한 표면을 형성하여 커패시터 표면적을 최대화한다.

반도체공정에서의 나노기술은 양산성을 구비한 리소그라피기술과 결합하여 새로운 특성을 보이는 나노 생성물을 형성한다.

3. 차세대반도체

표6에서와 같이 차세대반도체는 향후 3년후의 단기전망으로 메모리와 로직을 복합화한 다기능 칩인 SoC, 5년후의 장기전망으로 기존 D램과 다른 동작

<표6. 포스트 D램의 전망>

구 분	실용화 시 기	주 요 사 항
단기전망	· D램, S램, Flash 현재 ~	· D램 기술 로드맵
	· SoC (시스템온칩) 현재 ~	· 휴전 기술 (메모리&비메모리 통합) · 디지털 컨버전스
장기전망	· F램(강유전체) 2~5년	
	· M램(자성) 5~10년	IBM (256 M?)
	· P램(상전이)	Cost Down, SoC용이
	· N램(나노튜브)	초고집적도(Terabit)
	· SET램(단전자)	Terabit

원리와 신재료를 이용하는 포스트 D램의 개발에 집중되고 있다.

SoC는 하나의 칩에 다기능회로를 집적한 반도체이며, PC, 이동전화기 등 각종 디지털 정보기에 내장되는 다수의 반도체 칩을 하나로 통합하는 디지털 컨버전스의 휴전 기술을 이용한다.

포스트 D램의 구비요건은 대용량, 고속, 비휘발성, 저전력 등을 들수 있다. 현재 유력한 차세대메모리로 F램과 M램이 부상하고 있으며, P램, Nano메모리, 단전자메모리가 연구개발 중이다. D램의 가격경쟁력을 증가하는 포스트D램은 아직 출현하지 않고 있는 실정이다.

1) SoC(시스템온칩)

SoC는 선폭 130~70 nm의 초미세회로 나노공정, 구리배선공정, 300 mm 웨이퍼공정 등의 기술을 적용하여 초소형·초박형으로 시스템화한 것이다.

그 적용사례를 살펴보면, 반도체단말기의 다기능 지원을 하는 원칩 휴대폰을 인텔이 출시할 예정이다. 플래시메모리와 S램에 DSP, 휴대폰프로토콜S/W, 주변장치 등을 하나의 칩으로 만든 셀룰러온칩은 2007년에 출시될 예정이다. 또한 그림3에서와 보는 바와 같이 D램, S램 및 Flash메모리를 하나의 칩으로 만든 메모리반도체 SoC 뿐만아니라 메모리반도체에 비메모리(시스템LST)를 통합한 반도체 통합칩 SoC들이 개발되고 있다.

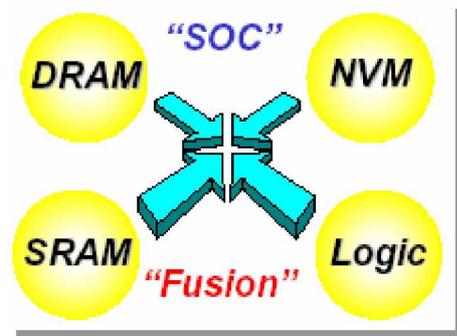


그림3. 메모리반도체와 비메모리반도체의 통합칩 SoC

2) 포스트 D램

가) F램 (Ferroelectric RAM) : 강유전체램

F램은 그림4에서와 같이 D램과 동일한 구조와 동작원리로 커패시터를 강유전체로 대체되었으며 가해진 전기장에 따라 잔류분극을 이용하여 0과 1을 저장하는 비휘발성 메모리이며, Flash 메모리를 대체할 대표적인 차세대 메모리로 부상되고 있다. 그 용도는 PC, 모바일기기 및 디지털가전기기 등의 메모리이다.

F램의 특징은 D램의 기록 횟수(> 1015)에는 못

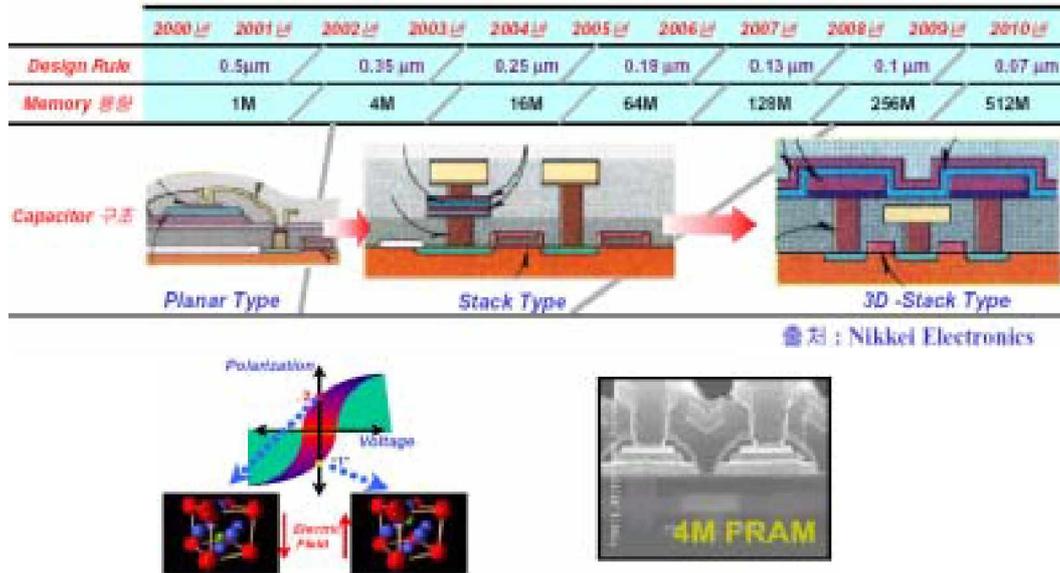


그림4. F램의 로드맵, 구조 및 동작원리

미치지만 Flash 메모리 (~106 회 반복 기록) 보다 더 긴 동작수명 (> 1013 회)을 가진다. 뿐만 아니라 대용량, 정보처리속도의 고속화, 저전력, 비휘발성을 나타낸다. D램과 동일한 동작 원리를 사용하기 때문에 원칙적으로 인접 셀 간의 간섭 등 초고집적화에 따른 문제가 거의 없다.

국내외 개발동향을 보면 국내업체가 외국업체에 비해 약간 앞서 나아가고 있다. 삼성전자는 '90년부터 F램 개발에 착수하여 '00년 7월에 4 Mb F램을 개발하였으며, '03~'04년에 상용화 예정으로 현재 32 Mb를 개발중에 있다. 일본의 Fujitsu와 Toshiba, 독일의 Infineon 등은 2003년에 양산할 예정으로 휴대기기용 및 IC카드용 8 Mb 및 16 Mb를 개발하고 있다.

그 동안의 수많은 연구개발결과로 인하여 생산공정 및 소재물질의 문제는 해결하였지만 가격경쟁력을 확보하지 못해 상용화가 지체되고 있다. 가격 경쟁력 문제는 전체적인 시장 규모와 장비, 재료 시장의 상황에 따라 크게 좌우된다. 따라서 이 분야에 대한 지원을 강화할 경우 매우 큰 파급효과가 기대된다.

나) M램 (Magnetic RAM) : 자성램

M램은 그림5에서와 같이 가해진 자기장에 의한 박막의 자화방향에 따른 자기저항효과를 이용한 비휘발성 차세대 메모리이다. 반도체 내부의 자기 메모리 셀의 자화 방향에 따라 0 또는 1의 데이터 비트가 기록되는 메모리이다.

M램의 특징은 기존의 전기 신호를 자기신호로 바

문 것이 가장 크며, 저전력, 비휘발성, 반영구적인 제품 수명을 가진다. 또한 Flash메모리의 1000배 빠른 쓰기 특성, 데이터접속(access) 시간도 D램보다 10배 빠른 5 ns, 사용전력은 D램의 1/100수준인 2 mA로 현재의 메모리중 최고의 동작성능을 가진다.

M램의 문제점은 자계를 이용하여 하나의 셀을 동작시키기 때문에 집적도가 증가될 수록 인접 셀 간의 간섭이 심해지는 문제를 안고 있다. 이 문제를 해결할 수는 있으나 공정이 어려워지고 양산성에 장애로 작용한다. 또한 TMR junction에서 사용되는 터널링 산화막의 두께를 웨이퍼 전면에서 0.1 nm 이하의 균일성을 갖도록 조절해야 하는데 현실적으로 불가능하다. 따라서 단위 셀의 성능은 우수하나 양산성 있는 공정으로 발전되기는 매우 어려운 것으로 판단되고 있다.

국내외 개발동향을 보면 IBM은 2004년에 256 Mbit 상용화제품의 출시 예정을 발표한바 있지만, IBM, Infineon 등은 최근 M램의 제품화의 문제점들에 의하여 오히려 이 분야에서의 투자를 줄이고 있는 상태이다. 삼성전자는 커패시터의 자성박막을 대체하여 2004년 Mb급 M램을 개발 진행중이다.

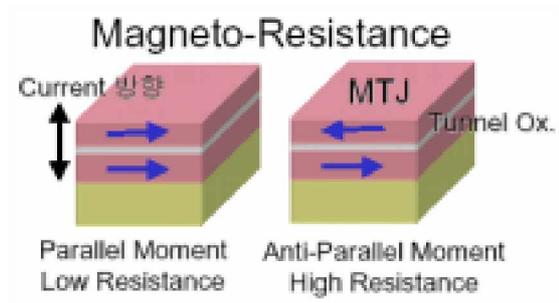


그림5. M램의 구조 및 원리

다) P램 (Phase-change Memory) : 상전이 메모리

P램은 그림6에서와 같이 물질의 상(Phase) 변환에 따른 전기저항 차이를 이용하여 정보를 저장하는 비휘발성 메모리이다. 가역적 구조 상전이 현상을 데이터저장 메모리로 활용하며, 칼코겐나이드 합금재료 (Ge₂Sb₂Te₅) 박막이 비정질상에서 결정질상으로 상변환을 하여 결정질 상태일때 저항 및 활성화 에너지가 낮고, 장거리 원자질서와 자유전자밀도는 높다.

P램의 장점은 SoC로 제작하기가 쉬우며, 생산가격이 차세대 메모리반도체중에서 낮은 편이다. P램은 5ns의 처리속도로 매우 빠르며, 저소비전력, 10

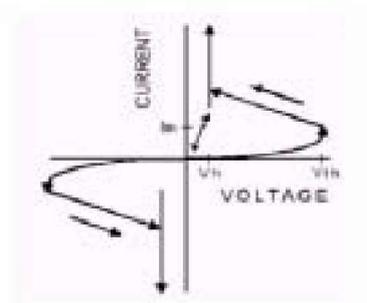


그림6. P램의 구조 및 원리

년 이상의 비휘발성을 가지며, 10조(10¹³) 이상까지의 동작수명을 가진다. 작동온도는 77 K(-196℃)의 저온에서 453 K (180℃)의 고온영역까지 넓은영역에 이른다.

P램은 아직 연구개발 단계에 있어 상용화 시기가 요원하지만, 차세대 메모리로 향후 전망이 좋다. Intel과 STMicroelectronics은 모바일 기기용의 P램을 개발하며 전반적으로 기술개발을 주도한다. 국내업체는 이제 관심을 가지기 시작하므로 산학연 컨소시엄하에서 연구개발해야 할 것이다.

라) N램 (Nanotube Memory) : 나노 메모리

N램은 그림7에서와 같이 탄소 나노튜브(CNT, 수~20 nm의 튜브형 소재)의 특성을 이용하여 제작한 나노메모리이며, MOS-FET의 소스와 드레인 사

이의 채널을 CNT로 대체하여 수직으로 성장시켜 제작한 트랜지스터 구조를 가진다.

1 Terabit이상의 초고집적 소자를 제작할 수 있는 기술로 주목받고 있으며 현재 연구개발단계로 차세대반도체에서 향후전망은 좋은편이다. CNT 특성 조절을 통한 band gap의 제어에 대한 연구가 진행 중이다. 또한 소자 설계 최적화 및 제작에 대한 연구도 진행 중이다.

N램의 문제점은 아직 이와 같은 나노 재료들을 웨이퍼 상에 원하는 형태와 크기로 배열시킬 수 있는 경제성 있는 공정이 없는 상태이고 가까운 장래에 실현하기도 어려워 보인다. 따라서 기초적인 연구는 계속하되 대규모의 연구비를 투입하는 것은 효과적이지 않은 것으로 판단된다.

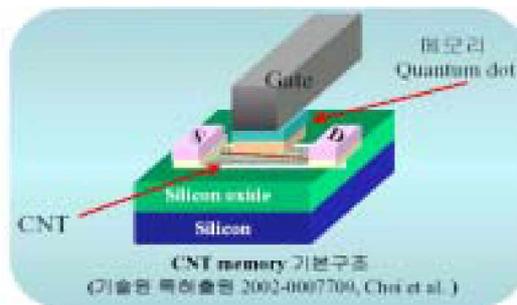
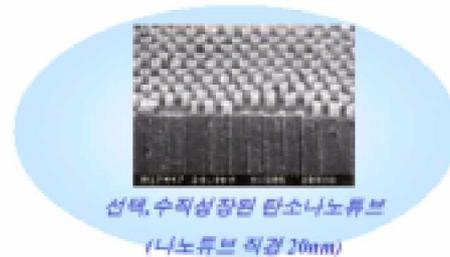
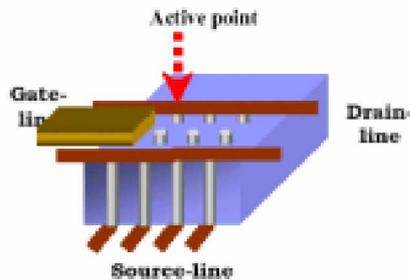


그림7. N램의 구조 및 원리

2010년 이후 약 1조달러 규모의 세계반도체시장이 예상된다. 삼성종합기술원은 세계최초로 CNT반도체소자 고집적도(0.2 Tera급)를 개발하였으며, 과기부의 21C프론티어사업으로 수행하고 있다.

마) SET램 (Single Electron Transistor) : 단전자 메모리

SET램은 반도체, 초전도체, 나노튜브 등을 사용하여 트랜지스터 내에서 단일전자의 이동을 이용한 단전자 메모리이다. 분자반도체는 기존 실리콘 트랜지스터를 분자 스위치로 대체하며, 나노기술 개발의 필요성이 매우 크며, 이론상으로 반도체 크기를 무한대로 축소할 수 있다.

SET램은 하나의 분자 혹은 원자가 스위치 역할을 하기 때문에 초전력구동 및 초고속 구동의 장점을 가진다.

세계 최초의 “나노 단분자 트랜지스터”는 재미 한국과학자인 하버드대 박흥근교수와 코넬대 박지용씨가 개발하였다. 금으로된 2개 전극사이에 단분자(바나듐2원자 혹은 코발트원자)를 배치하며, 그 전극의 간격은 2 nm로 머리카락의 5만분의 1이되는 극미세 전극이다. 바나듐 단분자 아래에 위치한 제3극인 게이트에 전기를 가하면 전자가 바나듐을 통해 전극 사이를 이동함으로써 전류를 조절한다. 이는 나노크기의 전자소자의 개발에 크게 기여할 것이다.

10여년 전부터 이 분야의 많은 연구개발이 진행되었으나, 현재 확실한 실현 방법이 어려워 단분자 트랜지스터의 실용화는 곤란한 실정이다.

4. 차세대반도체 기술개발 지원방향

향후 기술개발의 지원분야는 차세대반도체의 나

노공정 분야, 장비·재료 분야, 기초·설계 기술향상의 인력양성 분야 및 세계표준화 분야 등 기반구축이 우선적이며, 해당업체들의 적극적인 투자확대, 지적재산권확보 및 양산라인 구축 등을 들 수 있다.

반도체산업은 타이밍산업으로 시의 적절한 연구개발 지원의 중요성이 크며, 미국과 일본 선진국에서도 범국가적 반도체기술개발을 추진하고 있다. 미국은 반도체 선행공정 기술개발을 추진하며, 일본은 70 nm 나노기술개발을 추진하고 있다. 또한 EU도 SoC 설계기술개발을 추진하고 있다.

차세대반도체의 기술개발은 ALD법을 이용한 나노박막공정을 SoC 및 포스트 D램에 적용하고, 나노반도체용 나노리소그래피(EUV)의 핵심기술을 개발하는 차세대기술개발사업 뿐만아니라 수요업체와 장비업체가 협의체를 구성하여 공동개발 프로젝트의 추진 등을 들 수 있다.

비메모리반도체의 기초·설계 기술 및 인력양성 등 Infra 구축으로 반도체산업의 균형적 발전을 유도한다. 세부적 추진사례로 통신·디지털가전 분야의 SoC 기술개발 활성화로 비메모리 반도체의 적극적인 육성과 중소·벤처기업 연계의 제도적 지원체제를 구축하고 공동개발을 추진한다.

차세대반도체의 세계표준화를 위해 민관 공동 협력체제를 강화하여 국제규격(IEC)과 단체규격(JEDEC) 등에서 한국의 규격안을 채택시키는 등 규격제정 활동을 활성화하고자 한다. 또한 해당업체는 연구·개발단계인 공정·재료·구조 등의 유효특허, 개념정립단계인 원천 특허 확보의 유도로 지적재산권을 구축함으로써 국제경쟁력을 강화할 것이다.

