

PCS 대역 송신용 CMOS RF/IF 단일 칩 설계

Design of a CMOS Tx RF/IF Single Chip for PCS Band Applications

文 燿 燮*, 權 德 起*, 金 巨 成*, 朴 鍾 泰*, 劉 宗 根*
Yo-Sup Moon*, Duck-Ki Kwon*, Keo-Sung Kim*,
Jong-Tae Park*, Chong-Gun Yu*

요 약

본 논문에서는 기존에 값비싼 BiCMOS 공정으로 주로 구현되던 이동통신 단말기용 RF단 및 IF단 회로들을 CMOS 회로로 설계하고, 최종적으로 PCS 대역 송신용 CMOS RF/IF 단일 칩을 설계하였다. 설계된 회로는 IF PLL 주파수합성기, IF Mixer, VGA등을 포함하는 IF 단과, SSB RF Mixer 블록과 구동 증폭기를 포함하는 RF 단으로 구성되며, 디지털 베이스밴드와 전력증폭기 사이에 필요한 모든 신호처리를 수행한다. 설계된 IF PLL 주파수합성기는 100kHz의 오프셋 주파수에서 -114dBc/Hz의 위상잡음 특성을 보이며, lock time은 300 μ s보다 작고, 3V 전원에서 약 5.3mA의 전류를 소모한다. IF Mixer 블록은 3.6dB의 변환이득과 -11.3dBm의 OIP3 특성을 보이며, 3V 전원에서 약 5.3mA의 전류를 소모한다. VGA는 모든 이득 설정시 3dB 주파수가 250MHz 보다 크며, 약 10mA의 전류를 소모한다. 설계된 RF단 회로는 14.93dB의 이득, 6.97dBm의 OIP3, 35dBc의 image 억압, 31dBc의 carrier 억압 등의 특성을 보이며, 약 63.4mA의 전류를 소모한다. 설계된 회로는 현재 0.35 μ m CMOS 공정으로 IC 제작 중에 있다. 전체 칩의 면적은 1.6mm \times 3.5mm이고 전류소모는 84mA이다.

Abstract

In this paper, RF and IF circuits for mobile terminals which have usually been implemented using expensive BiCMOS processes are designed using CMOS circuits, and a Tx CMOS RF/IF single chip for PCS applications is designed. The designed circuit consists of an IF block including an IF PLL frequency synthesizer, an IF mixer, and a VGA and an RF block including a SSB RF mixer and a driver amplifier, and performs all transmit signal processing functions required between digital baseband and the power amplifier. The phase noise level of the designed IF PLL frequency synthesizer is -114dBc/Hz@100kHz and the lock time is less than 300 μ s. It consumes 5.3mA from a 3V power supply. The conversion gain and OIP3 of the IF mixer block are 3.6dB and -11.3dBm. It consumes 5.3mA. The 3dB frequencies of the VGA are greater than 250MHz for all gain settings. The designed VGA consumes 10mA. The designed RF block exhibits a gain of 14.93dB and an OIP3 of 6.97dBm. The image and carrier suppressions are 35dBc and 31dBc, respectively. It consumes 63.4mA. The designed circuits are under fabrication using a 0.35 μ m CMOS process. The designed entire chip consumes 84mA from a 3V supply, and its area is 1.6mm \times 3.5mm.

Keyword: CMOS, RF/IF, Mixer, VGA, PLL, Phase shifter, 구동 증폭기

* 仁川大學校 電子工學科

(Dept. of EE, Univ. of Incheon)

※본 연구는 IDEC 지원에 의해 일부 수행되었음.

接受日:2003年 8月 17日, 修正完了日:2003年 12月 6日

1. 서 론

이동통신 단말기의 구조로는 RF(Radio Frequency)

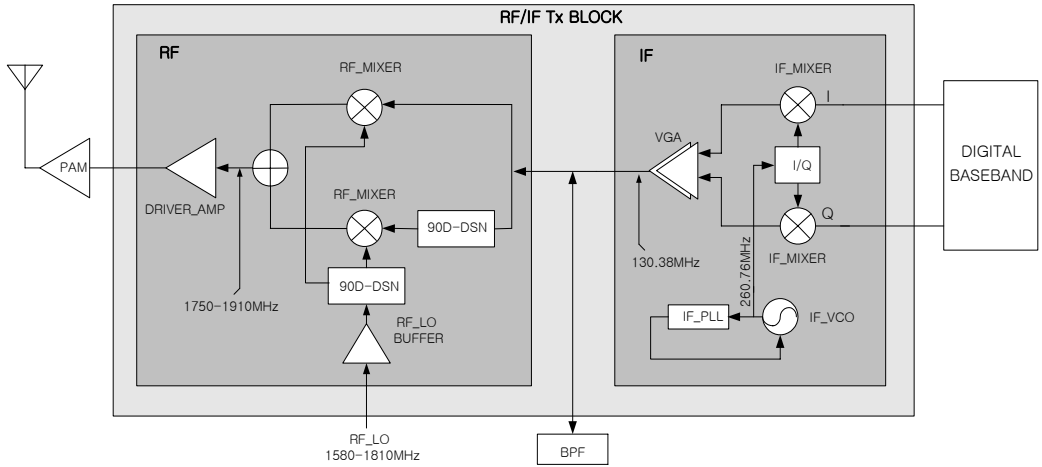


그림 1. PCS 송신단 블록 다이어그램
Fig. 1. Block diagram of a PCS transmitter

부분과 IF(Intermediate Frequency) 부분으로 구성된 슈퍼헤테로다인 방식이 많이 사용되고 있다. RF 부분은 주로 GaAs를 이용한 MMIC(Microwave Monolithic Integrated Circuits)로 구현되었으며, IF 부분은 주로 BiCMOS(Bipolar Complimentary Metal Oxide Semi-Conductor) 기술을 이용한 칩과 외부에 수동 소자를 연결하는 구조로 다수의 칩으로 구현되었다. 최근에는 송신단 구조에서 RF단과 IF단이 하나의 칩으로 집적되는 추세에 있고, 사용공정도 화합물 반도체보다 가격 면에서 유리한 실리콘 BiCMOS 공정을 주로 사용하고 있다. 현재 상용화 되어 있는 Tx RF/IF 단일 칩으로는 미국 Qualcomm사의 RFT3000과 RFT5000 시리즈의 칩[1]들과 삼성전자의 SIM8680 시리즈의 칩[2] 등이 있다. 이들 칩 모두 BiCMOS 공정을 사용하여 개발되었다.

그러나 최근에는 공정을 이용하기가 용이하고, 가격이 저렴하며, 베이스밴드와의 one-chip화가 가능하다는 CMOS 만이 가지고 있는 장점 때문에, CMOS RFIC에 대한 연구 개발이 활발히 이루어지고 있으며, 업계에서 개발된 CMOS RFIC들이 실제 상용화 제품에 채택되고 있는 등, RF 분야에서 CMOS에 대한 관심이 집중되고 있다. 아직은 CMOS가 RF를 정복하려면 극복해야할 문제가 많이 있지만, SOC(System-On-Chip)에 대한 시대적 요구와 SOC에 가장 적합한 공정이 CMOS라는 점으로 인해, CMOS에 의한 RF의 정복은

시간문제로 여겨지고 있다. 따라서 IF단 뿐만 아니라 RF단 역시 앞으로는 CMOS 기술이 주로 사용될 것으로 예상된다[3-5].

이러한 추세에 따라 본 논문에서는 PCS 대역 이동통신 단말기용 Tx RF/IF 단일 칩을 CMOS 회로로 설계하였다. 본 논문의 2장에서는 설계된 전체 회로의 구성에 대해 간단히 알아보고, 3장과 4장에서 각각 IF단과 RF 단 구성회로들의 설계 과정과 모의실험 결과에 대해 언급한다. 5장에서 설계된 회로의 레이아웃(layout)과 기존의 BiCMOS 공정으로 제작된 칩과의 성능 비교에 대해 언급한 후, 6장에서 결론을 맺는다.

II. 회로 구성

본 논문에서 설계한 PCS 응용을 위한 송신용 RF/IF 단일 칩의 블록다이어그램을 그림 1에 보였다. 설계된 회로는 크게 IF 블록과 RF 블록으로 구성되며, 디지털 베이스밴드와 전력증폭기 사이에 필요한 모든 신호처리를 수행한다. 디지털 베이스밴드 칩에서 출력된 기저대역 신호인 차동 I 신호와 Q 신호는 IF Mixer 단에서 QPSK(Quadrature Phase Shift Keying) 변조되어 IF 주파수(130.38MHz)로 변환된다. 이 신호는 80dB의 이득 조절범위를 갖는 VGA(Variable Gain Amplifier)에 입력되어 시스템에서 요구하는 출력 전력

레벨에 맞게 이득이 조절된 후, SSB(Single Side Band) RF Mixer 단에 입력되어 RF 주파수(1750~1910MHz)로 변환된다. 변환된 신호는 최종적으로 구동 증폭기(driver amplifier)에서 증폭된 뒤, PAM(Power Amplifier Module)으로 전달된다.

III. IF단 회로 설계

IF단은 그림 1에서 보듯이 크게 3개의 블록으로 구성된다. 즉, IF_PLL과 IF_VCO로 구성된 IF PLL 주파수합성기, IF Mixer 블록, 그리고 VGA로 구성된다.

3-1. IF PLL 주파수합성기 설계

IF_PLL과 IF_VCO는, 기저대역 신호를 IF 신호로 상향변환(up-conversion)할 때 필요한 LO(Local Oscillator) 신호를 발생하고 안정화시키는 역할을 한다. IF_VCO에서 발생된 신호는 I/Q 블록에서 주파수가 반으로 분주되고 90° 위상차를 갖는 quadrature 신호로 만들어져서 IF_Mixer에 전달된다. IF_VCO는 자동진폭조절 기능을 갖도록 설계하여, 외부의 LC 공진 회로의 Q-factor에 무관하게 항상 일정한 진폭의 발진을 하도록 하였다. 또한 IF_PLL은 3개의 직렬 포트를 내장하여, IF 주파수 및 동작 모드를 외부에서 프로그램할 수 있도록 설계하였다. IF_PLL 주파수합성기 회로는 본 연구진에 의한 선행 연구[6]에서 IC 제작 및 성능 검증을 마친 상태이다. 측정결과 설계된 회로는 100kHz의 오프셋 주파수에서 -114dBc의 위상잡음 특성을 보이며, lock time은 300 μ s보다 작고, 3V 전원에서 약 5.3mA의 전류를 소모한다.

3-2. IF Mixer 설계

그림 2에 설계된 IF Mixer 블록의 블록 다이어그램을 보였다. IF Mixer 블록은 디지털 베이스밴드 칩에서 출력된 기저대역 신호인 Tx_I, Tx_Q를 IF_PLL 주파수합성기에서 발생된 quadrature IF_LO 신호인 LO_I, LO_Q와 각각 혼합한 뒤 summing함으로써 QPSK 변조를 수행하여, IF 주파수로 끌어올리는 역할을 한다.

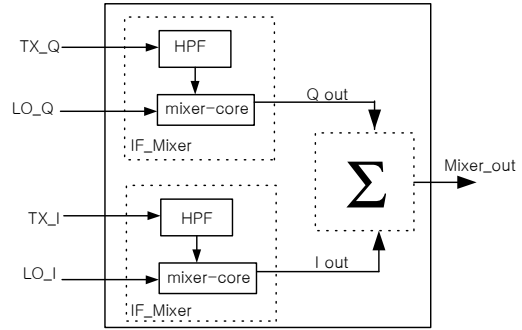


그림 2. IF Mixer 블록의 블록다이어그램
Fig. 2. Block diagram of the IF Mixer block

IF_Mixer는 고역통과필터(HPF: High-Pass Filter)와 Gilbert cell 구조의 double -balanced mixer-core로 구성된다. Mixer-core 전단에 HPF를 두는 이유는 베이스밴드에서 입력되는 신호가 dc 성분을 포함하고 있기 때문에 이러한 dc 오프셋 성분을 최소화하기 위함이다. HPF에 입력되는 신호가 베이스밴드 신호이기 때문에 HPF의 cutoff 주파수는 작은 값이어야 하며, 따라서 사용되는 수동소자의 값은 상대적으로 커지게 된다. 큰 값의 수동소자를 집적회로로 구현하기 위해서는 넓은 칩 면적이 필요하며 비용이 증가하게 된다. 이러한 문제점을 해결하기 위해 조절 저항열을 사용하여 상대적으로 작은 소자 값으로도 낮은 cutoff 주파수를 구현할 수 있는 방법[7]을 채택하였다. 모의실험 결과 설계된 IF Mixer 블록은 3.6dB의 변환이득과 -11.3dBm의 OIP3 특성을 보이며, 3V 전원에서 약 5.3mA의 전류를 소모한다.

3-3. VGA 설계

VGA는 향후 디지털 베이스밴드와의 one-chip화를 고려하여 디지털 데이터에 의해 이득이 조절되도록 설계하였다. 설계된 VGA는 그림 3에서와 같이 직렬 연결된 4개의 VGA cell과 버퍼 회로 그리고 오프셋제거 회로로 구성되며, 12-bit의 디지털 데이터에 의해 -40dB에서 +40dB까지 2dB step으로 이득이 조절된다.

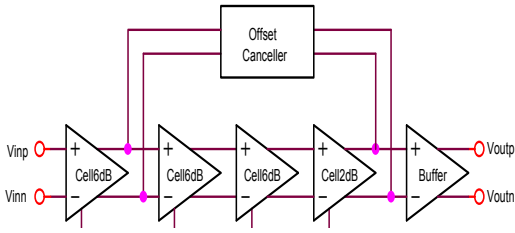


그림 3. VGA의 블록 다이어그램
Fig. 3. Block diagram of the VGA

VGA cell의 기본 구조로는 degenerated 차동 입력 단 구조를 사용하였으며, 이득 조절 방법으로는 소스 degeneration 저항을 조절하는 방법을 채택하였다. 또한, gm-boosting 기법[8]을 사용하여 이득 조절 범위와 이득의 정확도를 향상시켰다. 이득 조절을 위해 사용되었던 기존의 degeneration 저항이 가지고 있는 문제점인 degeneration 저항에서의 dc 전압 강하를 최소화한 새로운 가변 degeneration 저항[9]을 사용하여 고속의 VGA를 설계하였다. 설계된 회로를 HSPICE 모의실험한 결과 모든 이득 설정시 3dB 주파수는 250MHz 보다 크며, 약 10mA의 전류를 소모한다.

IV. RF단 회로 설계

RF 단 회로는 그림 4에서와 같이 SSB RF Mixer 단과 구동 증폭기(Driver Amp)로 구성된다. 본 설계에서는 RF mixer와 구동 증폭기 사이에 필요한 image-rejection filter를 제거하기 위해 SSB 변조 방식을 채택하였다. 외부에서 입력되는 RF_LO 신호(1580~1810MHz)는 LO_buffer에서 차동신호로 변환되고, 2단 polyphase filter 구조를 갖는 Phase_shifter_LO 블록에서 90° 위상차를 갖는 quadrature 신호로 만들어진 후, LO_limiter에서 이득이 보상되어 RF_Mixer-core에 입력된다. IF 단에서 출력된 차동 IF 신호도 Phase_shifter_IF에서 quadrature 신호로 변환되어 RF_Mixer-core에 입력된다. RF Mixer 단에서 출력된 신호는 PA(Power Amplifier)에서 충분히 증폭될 수 있도록 구동 증폭기에서 최적의 신호로 만들어진다.

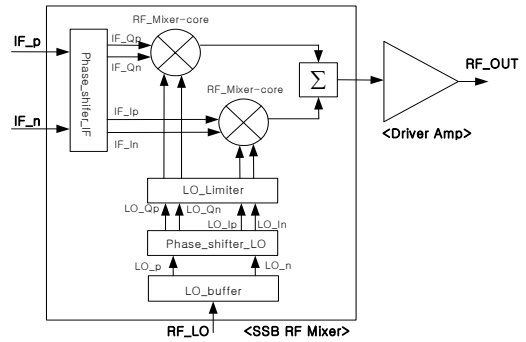


그림 4. RF 단 블록다이어그램
Fig. 4. Block diagram of the RF block

4-1. LO buffer

LO_buffer 회로는 칩 외부에서 입력되는 single-ended RF LO 신호를 차동신호의 형태로 만들어 주는 역할을 하며, 차동 LO 신호의 대칭적인 공급이 주된 목표이다. LO_buffer 회로는 그림 5와 같이 3단의 차동증폭기로 구성하였다. 첫 번째 단은 단일신호를 차동의 신호로 바꾸어 주는 역할을 하며, 두 번째와 세 번째 단은 보다 나은 대칭적인 신호 발생 및 이득 향상을 위해 사용되었다.

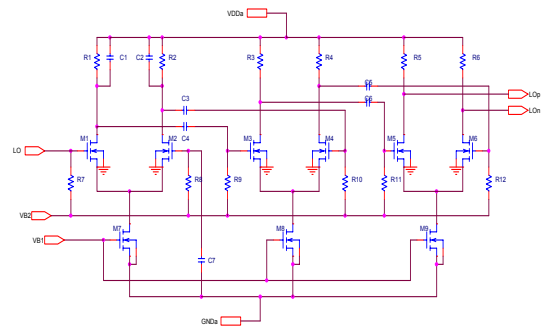


그림 5. LO_buffer 회로도
Fig. 5. Schematic of the LO_buffer

4-2. Phase Shifter

Phase_shifter_LO와 Phase_shifter_IF는 image-rejection mixer에 필요한 quadrature 신호를 발생시키는 회로로서 각각의 신호의 위상 오차를 줄이기 위해 그림 6과 같이 수동소자인 저항과 커패시터로 polyphase filter를

설계하였다. 원하는 주파수에서 quadrature 신호를 얻기 위한 식은 다음과 같다.

$$\omega_0 = \frac{1}{RC} \quad (1)$$

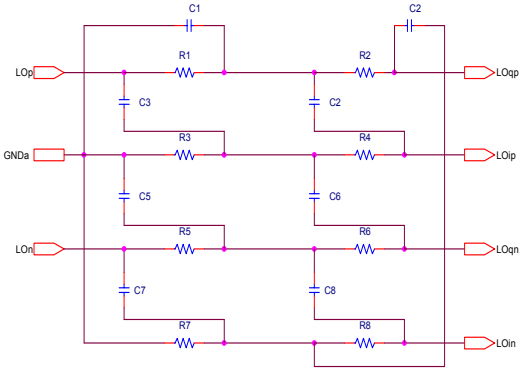


그림 6. Phase shifter 회로도
Fig. 6. Schematic of the Phase shifters

4-4. LO Limiter

LO_Limiter는 수동소자로 구성된 Phase_Shifter_LO에서 출력된 신호를 RF_Mixer-core에 공급하기 전에, 수동소자에 의한 이득의 감소를 보상하여 주고 신호 왜곡의 방지 그리고 일정한 신호의 출력을 얻기 위한 목적으로 설계되었다. LO_Limiter는 그림 7에서와 같이 I, Q 입력 각각에 대해 2단의 차동증폭기 형태로 구성하였으며, 부하 저항(R3~R5, R8-R10)의 크기를 조절하여 원하는 출력 신호를 얻도록 설계하였다.

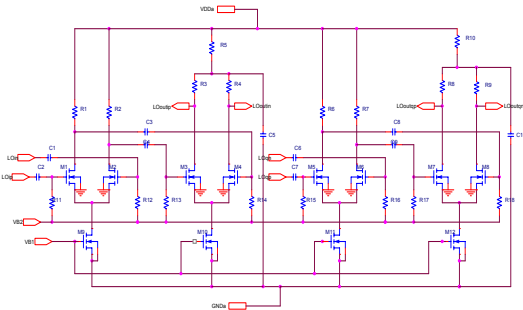


그림 7. LO_Limiter 회로도
Fig. 7. Schematic of the LO_Limiter

4-5. RF Mixer core

RF_Mixer-core는 IF신호와 LO신호를 입력으로 받

아 주파수 변환을 수행하는 역할을 한다. 그림 8과 같이 mixer core는 기본 Gilbert cell 구조에 mixer의 성능을 향상시키기 위하여 current reuse bleeding 기법 [10]을 사용하였다. 따라서 트랜지스터 MB1, MB2는 bleeding 역할뿐만 아니라 bleeding 전류를 다시 사용하여 입력 트랜스컨덕턴스단의 일부분으로도 동작한다. Current-reuse bleeding 기법을 사용하면 bleeding 전류의 재사용으로 인한 입력 단 바이어스 전류의 증가 효과가 있기 때문에 변환이득과 선형성이 향상된다. 그리고 트랜지스터 MC1, MC2는 cascode 구조로서 이러한 cascode 구조를 사용하면 트랜스컨덕턴스단의 출력 임피던스가 증가하기 때문에, mixer 출력에서의 2LO 성분이 감소하게 된다. 최종적으로 두개의 출력 RFp, RFn이 summing 회로로 연결이 되어 image rejection의 결과를 얻게 된다.

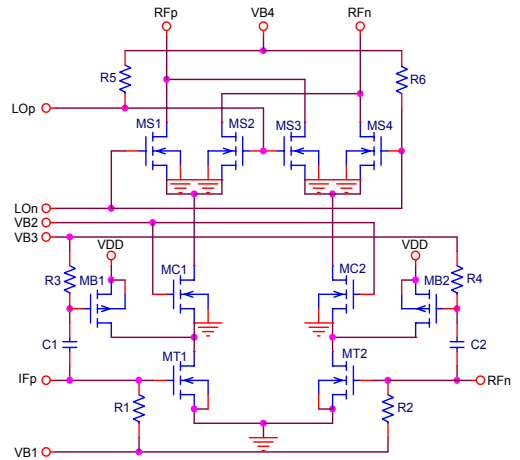


그림 8. RF_Mixer-core 회로도
Fig. 8. Schematic of the RF_Mixer-core

4-6. Summing 회로

Summing 회로는 그림 9와 같이 두개의 mixer 출력을 인덕터에 직접 연결하여 구성하였다. 부하(load) 소자로 인덕터를 사용함으로써 headroom 문제도 감소시킬 수 있으며, 출력 임피던스 정합(matching)에도 이용될 수 있다. 인덕터 모델링은 Cadence사의 Spectre tool을 사용하였다.

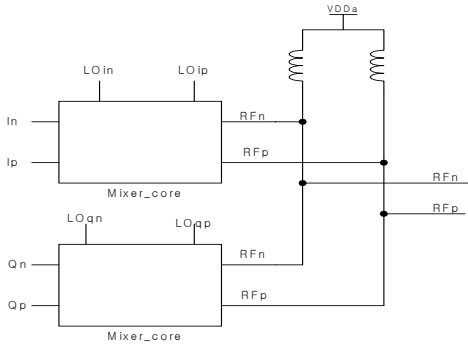


그림 9. Summing 회로의 블록 다이어그램
Fig. 9. Block diagram of the summing circuit

4-7. 구동 증폭기

RF Mixer에서 up-conversion 된 신호는 칩 외부의 PA가 충분히 증폭할 수 있도록 구동 증폭기에서 사전 증폭된다. 구동 증폭기는 그림 10과 같이 크게 차동증폭부분과 CDCS (Common-Drain Common-Source)구조의 버퍼로 구성하였다. 입력 신호는 트랜지스터 M1, M2를 통해 전류 신호로 변환되고 되고 cascode 트랜지스터 M3, M4를 거쳐 부하 인덕터 L1, L2에 전달된다. CDCS 버퍼는 차동의 신호를 단일신호로 바꾸어 주는 역할을 한다.

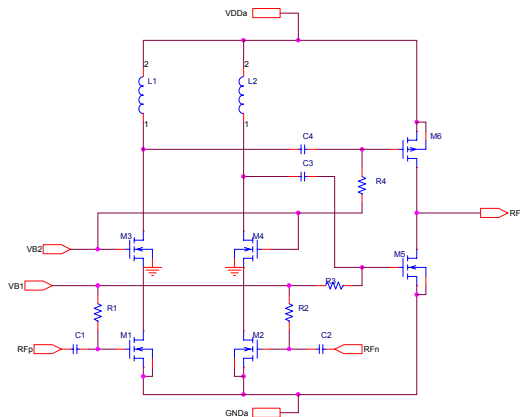


그림 10. 구동 증폭기 회로도
Fig. 10. Schematic of the Driver Amp

4-8. RF 블록 모의실험 결과

설계된 RF 단의 성능을 검증하기 위하여 0.35 μ m n-well CMOS 공정변수를 사용하여 Cadence Spectre

로 모의실험을 하였다. 그림 11은 RF 단 전체회로의 과도상태(transient) 모의실험 결과로, 130MHz의 IF 입력신호의 레벨이 -15.8dBm일 때 1.76GHz의 RF 출력신호의 레벨은 -0.94dBm이다. 그림 12는 OIP3와 P1dB 성능을 모의실험한 결과이다. 모의실험 결과 설계된 RF 단 회로는 14.8dB의 이득, 7.0dBm의 OIP3, 35dBc의 image 억압, 31dBc의 carrier 억압 등의 특성을 보이며, 3V 전원에서 약 63mA의 전류를 소모한다.

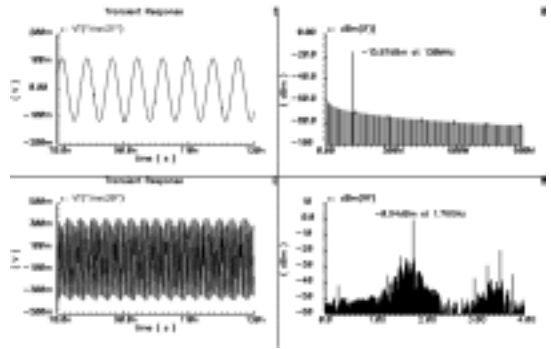


그림 11. RF단 전체회로의 과도상태 모의실험 결과
Fig. 11. Transient simulation results of the entire RF block

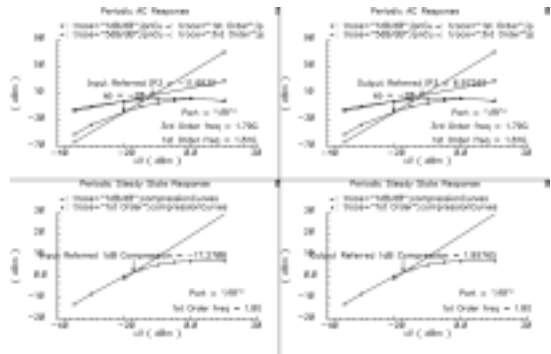


그림 12. RF단의 OIP3 및 P1dB 모의실험 결과
Fig. 12. OIP3 and P1dB simulation results of the RF block

V. 레이아웃 및 성능요약

그림 13은 설계된 PCS 대역 Tx RF/IF 단일 칩의 전체 레이아웃 도면이다. 그림에서 왼쪽부분은 IF PLL 주파수합성기이고, 오른쪽은 RF단 회로이다. 가운데 위 부분은 IF Mixer 블록이고 아래 부분은 VGA이다.

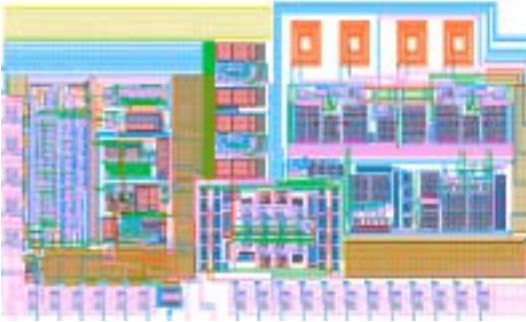


그림 13. Tx RF/IF 단일 칩의 전체 레이아웃
Fig. 13. Layout of the Tx RF/IF single chip

Tx RF/IF 단일 칩의 pad를 제외한 전체 면적은 1.6mm×3.5mm이다. 설계된 회로의 각 블록별 성능을 표 1에 요약하였다. 현재 상용화된 Qualcomm의 RFT3100[1]과 삼성전자의 SIM8659[2]와의 성능 비교를 표 2에 보였다. 본 논문에서 설계된 CMOS 칩이 상용화된 BiCMOS 칩보다 isolation 특성에서 다소 우수하며, 다른 성능에서도 유사한 특성을 보인다.

VI. 결론

본 논문에서는 PCS 대역 응용을 위한 송신용 CMOS RF/IF 단일 칩을 설계하였다. IF PLL 주파수 합성기, IF Mixer 블록, VGA 등으로 구성된 IF단과 SSB RF Mixer, 구동증폭기로 구성된 RF단 회로를 설계 및 모의실험을 통한 성능 검증을 하고, RF/IF 단일 칩의 layout 도면을 완성하였다. 설계된 회로는 현재 0.35 μ m CMOS 공정으로 IC 제작 중에 있다. 설계된 전체 칩의 면적은 1.6mm×3.5mm이고 전류소모는 3V 전원에서 84mA이다. 본 논문에서 설계한 CMOS Tx RF/IF 단일 칩의 성능은 기존의 BiCMOS 공정으로 제작된 칩의 성능과 유사하다. 따라서 향후 설계된 칩의 IC 제작 및 성능 검증이 완료되면 기존의 값비싼 BiCMOS 칩들을 대체할 수 있을 것으로 기대되어, 이동 통신 단말기의 저가격화에 기여할 수 있을 것으로 기대된다.

표 1. 설계된 CMOS Tx RF/IF 단일 칩의 성능 요약
Table 1. Performance summary of the designed CMOS Tx RF/IF single chip

Circuits	Characteristic	Typical Value	Test conditions
Tx RF/IF	Supply voltage	3V	
	Process	0.35 μ m CMOS	
	Chip area	1.6mm×3.5mm	w/o Pad
	Current	84mA	
IF PLL Freq. Synthesizer (measurement)	Phase noise	-114dBc/Hz@10kHz	VCO freq. =260.5MHz
	In-band phase noise	-89dBc/Hz	
	Reference spur	<-70dBc@1.23MHz	
	Lock time	< 300 μ s	
	Current	5.3mA	
IF Mixer block (simulation)	OIP3	-11.3dBm	two-tone 400kHz, 500kHz
	P1dB	-22.2dBm	
	Output power	-26.34dBm	Input: -29.94dBm, 630kHz LO : 14dBm, 130.38MHz
	Gain	3.6dB	
	Image suppression	44.0dBc	
	carrier suppression	30.4dBc	
Current	5.3mA		
VGA (simulation)	Gain range	-40dB ~ +40dB	
	Gain step	2dB	
	3dB Bandwidth	>250MHz	
	Current	10mA	
RF block (simulation)	OIP3	6.97dBm	two-tone 130MHz, 131MHz
	P1dB	1.99dBm	
	Output RF power	-0.94dBm	Input: -15.87dBm, 130MHz R F _ L O : -10dBm, 1630MHz
	Gain	14.93dB	
	Image suppression	35dBc	
	Carrier suppression	31dBc	
	RF_LO leakage @ RF	-31.1dBm	
	RF leakage @ RF_LO	-61.7dBm	
	RF output impedance	50 Ω	
	RF_LO impedance	50 Ω	
Current	63.4mA		

표 2. PCS Tx RF/IF 단일 칩들의 성능 비교

Table 2. Performance comparison of PCS Tx RF/IF single chips

Performance	Qualcomm RFT3100 [1]	Samsung SIM8659 [2]	본 논문에서 설계된 칩
Process	BiCMOS	BiCMOS	0.35 μ m CMOS
Supply voltage	3V	3V	3V
Current	79mA@0dBm	80mA@0dBm	84mA@-0.9dBm
Chip area	N/A	N/A	1.6mm \times 3.5mm
Power control range	85dB (analog)	90dB (analog)	80dB (digital)
Image suppression	>26dBc	35dBc	35dBc
Carrier suppression	>26dBc	35dBc	31dBc
RF leakage @RF_LO	-30dBm	-50dBm	-61.7dBm
RF_LO leakage @RF	<-10dBm	<-10dBm	-31.1dBm
RF output impedance	50 Ω	50 Ω	50 Ω
RF_LO impedance	50 Ω	50 Ω	50 Ω
Results	Measured	Measured	Simulated

참고문헌

[1] Qualcomm CDMA Technologies, <http://www.qualcomm.com>.
 [2] SAMSUNG Semiconductor, ICs for Mobile Phone, Data Book.
 [3] 유종근, "CMOS 과연 RF를 정복할 수 있을 것인가?", IDEC Newsletter, 기술동향컬럼, vol.54, no.7, pp.24-25, July 2001.
 [4] B. Razavi, RF Microelectronics, Prentice Hall, 1998.
 [5] W. S. T. Yan and H. C. Luong, "A 2-V 900MHz Monolithic CMOS Dual-Loop Frequency Synthesizer for GSM Receivers", IEEE J. Solid-State Circuit, vol.36, no.2, pp.204-216, Feb. 2001.

[6] Y. H. Kim, et al., "Design of a CMOS IF PLL Frequency Synthesizer," 제10회 한국반도체학술대회 논문집, pp.859-860, 2003.
 [7] ETRI 연구보고서, 고속 데이터 전송용 아날로그 ASIC 개발, 1999.
 [8] S. D. Willingham, et al., "A BiCMOS Low-Distortion 8-MHz Low-Pass Filter," IEEE Journal of Solid-State Circuits, vol. 28, pp.1234-1245, December 1993.
 [9] D. K. Kwon, et al., "A New Variable Degeneration Resistor for Digitally Controlled CMOS Variable Gain Amplifiers," ITC-CSCC 2003.
 [10] S. G. Lee and J. K. Choi, "Current-reuse bleeding mixer," Electronics Letters, vol.36, pp.1-2, Apr. 2000.

저 자 소개



文權燮 (正會員)
 2001. 2 : 인천대학교 전자공학과 학사
 2003. 8 : 인천대학교 대학원 전자공학과 석사
 2003. 11 ~ 현재 : 삼성전기 중앙연구소 주임연구원
 관심분야 : CMOS 아날로그/혼성모드 집적회로 설계, RFIC 설계



權德起 (學生會員)
 1988. 2 : 인천대학교 전자공학과 학사
 2000. 2 : 인천대학교 대학원 전자공학과 석사
 2001. 3 ~ 현재 : 인천대학교 대학원 전자공학과 박사과정
 관심분야 : CMOS 아날로그/혼성모드 집적회로 설계, RFIC 설계



金巨成 (學生會員)
2002. 2 : 인천대학교 전자공학과
학사
2002. 3 ~ 현재 : 인천대학교 대
학원 전자공학과 석사과정
관심분야 : CMOS 아날로그/혼성
모드 집적회로 설계, RF 회로설계



朴鍾泰 (正會員)
1981. 2 : 경북대학교 전자공학과
학사
1983. 8 : 연세대학교 대학원 전
자공학과 석사
1987. 2 : 연세대학교 대학원 전
자공학과 박사
1983. 8 ~ 1985. 8 : 금성반도체
(주) 연구소 연구원
1991. 1 ~ 1991. 12 : MIT Post

Doc.

2000. 7 ~ 2001. 8 : UC Davis 방문교수
1987. 3 ~ 현재 : 인천대학교 전자공학과 교수
관심분야 : CMOS Reliability, Nano-scale CMOS,
SOI/MOSFET, RF-CMOS



劉宗根 (正會員)
1985. 2 : 연세대학교 전자공학과
학사
1987. 2 : 연세대학교 대학원 전자
공학과 석사
1993. 12 : Iowa State University
전기 및 컴퓨터공학과 Ph.D.
1989. 9 ~ 1991. 8 : Texas
A&M University 전기공학과 연
구조교

1994. 3 ~ 현재 : 인천대학교 전자공학과 부교수
관심분야 : CMOS Analog/Mixed-mode IC 설계, RFIC 설계