

RF IC용 싸이리스터형 정전기 보호소자 설계에 관한 연구

A study on the design of thyristor-type ESD protection devices for RF IC's

崔 鎭 榮*, 趙 奎 相**

Jin-Young Choi* , Kyu-Sang Cho**

요 약

CMOS RF IC에서 중요한 문제가 되는 입력 노드에의 기생 커패시턴스 추가 문제를 줄이기 위해, 2차원 소자 시뮬레이션 결과 및 그에 따른 분석을 기반으로, 표준 CMOS 공정에서 쉽게 제작 가능한 pnpn 싸이리스터 구조의 ESD 보호용 소자를 제안한다. 제안된 소자의 DC 항복특성을 일반적으로 사용되고 있는 보호용 NMOS 트랜지스터 경우와 비교 분석하여 제안된 소자를 사용하였을 경우의 이점을 입증한다. 시뮬레이션을 통해 제안된 소자에 의한 특성 향상을 보이고 이와 관련된 미커니즘들에 대해 설명한다. 또한 제안된 소자의 최적 구조를 정의하기 위해 소자구조에 따른 특성변화를 조사한다. ESD 보호용으로 제안된 소자를 사용할 경우 추가되는 기생 커패시턴스의 감소 정도를 보이기 위해 AC 시뮬레이션 결과도 소개한다. 본 논문의 분석 결과는, CMOS RF IC에서 ESD 보호용으로 제안된 소자를 사용할 경우 NMOS 트랜지스터를 사용할 경우와 대비, 동일한 ESD 강도를 유지하면서 입력노드에 추가되는 커패시턴스의 양을 1/40 정도로 줄일 수 있는 가능성을 보여준다.

Abstract

Based on simulation results and accompanying analysis, we suggest a thyristor-type ESD protection device structure suitable for implementation in standard CMOS processes to reduce the parasitic capacitances added to the input nodes, which is very important in CMOS RF ICs. We compare DC breakdown characteristics of the suggested device to those of a conventional NMOS protection device to show the benefits of using the suggested device for ESD protection. The characteristic improvements are demonstrated and the corresponding mechanisms are explained based on simulations. Structure dependencies are also examined to define the optimal structure. AC simulation results are introduced to estimate the magnitude of reduction in the added parasitic capacitance when using the suggested device for ESD protection. The analysis shows a possibility of reducing the added parasitic capacitance down to about 1/40 of that resulting with a conventional NMOS protection transistor, while maintaining robustness against ESD.

Key Words: ESD, protection, thyristor, CMOS, RF IC

*弘益大學校 電子電氣컴퓨터工學部
(School of Electrical, Electronic & Computer
Engineering, Hongik Univ.)

**弘益大學校 大學院 電氣工學科
(Electrical Engineering Dept. Graduate School,
Hongik Univ.)

接受日:2003年 8月 14日, 修正完了日:2003年 11月 17日

I. 서론

근래의 RF IC 설계에서는 기술의 완속도 및 저비용의 장점을 활용하기 위해 표준 CMOS 공정 기술을 사용하려는 경향이 점차 심화되고 있다. 그러나 사용되는 게이트 산화막의 두께가 얇아 CMOS 칩은 정전기 방전(ESD) 문제에 보다 취약하므로 입력 패드에 NMOS 트랜지스터와 같은 보호용 소자의 장착이 필수적이다. 내부회로를 보호하는 동시에 과도한 방전전류에 의한 보호용 소자 자체의 열적 파괴를 방지하기 위해서는 큰 폭의 소자 사용이 필수적이다. 이러한 큰 소자의 사용은 입력노드에 큰 기생 커패시턴스를 추가하여 또 다른 문제를 야기한다. 그 예로서 이득 감소나 잡음특성의 저하를 들 수 있으며 이는 RF 수신단의 저잡음 증폭기와 같은 회로에서는 매우 심각한 문제이다[1].

추가되는 커패시턴스를 줄이기 위해 ESD 감지기술이 제안되었으나[2], 추가되는 기생성분의 양이 RF 칩에 사용되기에는 과도한 것으로 판단된다. 입력 임피던스 정합의 기능도 동시에 수행하도록 하는 분포형 ESD 보호 방식이 제안되었으나[3], 소모면적이 과도하여 적용에 제한이 있을 것으로 판단된다. 추가되는 기생성분을 제거하기 위해 보호용 능동소자를 사용하지 않고 온칩 인덕터를 이용하는 방식도 제안되었으나[1], 이 방식은 주파수에 따라 특성이 달라지므로 인체모델에는 적합하지 모르나 기계모델이나 충전소자모델에는 적합하지 않을 것으로 판단된다. 다른 연구자들은 보호용 소자의 크기를 줄임으로써 기생성분을 줄이기 위해 싸이리스터 형태의 보호용 소자를 제시하였다[4]. 그러나 제안된 소자 구조는 BiCMOS 공정과 같은 고가의 공정기술을 필요로 하므로 표준 CMOS 공정기술의 장점을 최대한 활용하기에는 부족하다고 할 수 있다.

본 논문에서는, 2차원 소자 시뮬레이션 결과와 이에 수반되는 분석을 근거로 하여 ESD 강도를 유지하면서도 기생성분을 줄일 수 있는, 표준 CMOS 공정에서 구현이 가능한 npn 싸이리스터 구조를 제안한다.

II절에서는 ESD 보호 미커니즘에 대해 설명하고, 간단한 보호방식을 기준으로 소자의 DC 항복특성과 과도 방전 특성의 상관관계에 대해 설명함으로써 보호용 소자의 DC 항복특성으로부터 보호회로의 실제

적 ESD 강도가 예측될 수 있음을 보인다. 또한 시뮬레이션에 의한 npn 소자의 DC 항복특성과 일반적으로 사용되고 있는 NMOS 트랜지스터의 특성을 비교 분석하여 제안된 소자 사용시의 장점에 대해 논의한다. III절에서는 제안된 소자의 최적구조를 규명하기 위해 세 가지 변형된 구조의 특성을 비교 조사하여 소자의 구조 설계에 대한 가이드 라인을 제공한다. IV절에서는 제안된 소자를 사용하였을 경우 기생성분의 감소량을 예측하기 위한 AC 소자 시뮬레이션의 결과를 소개하고, 소자 설계에 관한 추가의 고려사항들에 대해 논의한다.

II. NMOS 소자와 PNP 소자의 특성 비교

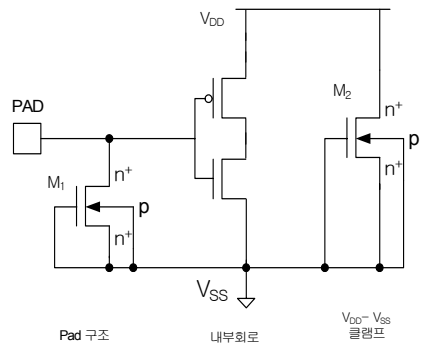


그림 1. 보호용 NMOS 트랜지스터를 이용한 간단한 정전기 보호회로 구조

Fig. 1. A simple ESD protection scheme utilizing NMOS protection transistors

우선 인체모델 ESD 사건을 기준으로 정전기 보호용 소자의 요구조건에 대해 알아본다. 그림 1은 입력노드와 접지 사이에 하나의 보호용 NMOS 트랜지스터(M1)가 연결되고, 또 하나의 보호용 트랜지스터(M2)가 VDD와 접지 사이에 클램프 소자로 연결된 보호회로의 예를 보여주고 있다. VSS 편 대비 양의 ESD 전압이 입력 핀에 인가되면 M1의 기생 npn 바이폴라 트랜지스터의 동작에 의해 방전이 일어나면서 내부회로의 게이트에 인가되는 전압이 제한되어 내부회로가 보호된다. VSS 편 대비 음의 ESD 전압이 입력에 인가되면 M1의 순방향 바이어스되는 pn 접합(p-기판/n+-드레인 접합)에 의해 해당 전압이 제한된다. VDD 편 대비 양의 전압이 입력에 인가되면 M1

의 기생 바이폴라 트랜지스터와 M2의 순방향 바이어스되는 pn 접합이 직렬로 동작하여 해당 전압이 제한된다. VDD 핀 대비 음의 전압이 입력에 인가되면 반대로 M2의 기생 바이폴라 트랜지스터와 M1의 순방향 바이어스되는 pn 접합이 직렬로 동작하여 해당 전압이 제한된다.

설명한 미케니즘으로 인해 그림 1의 보호회로는 모든 인체모델 ESD 유형의 전압에 대해 내부회로를 보호할 수 있다. 그러나 보호용 소자 자체도 큰 ESD 전류에 견딜 수 있도록 충분히 견고해야 함이 보다 중요하다. 보호용 NMOS 트랜지스터는 드레인-소스에 양의 전압이 인가되어 기생 바이폴라 트랜지스터가 동작되는 경우에 가장 큰 스트레스를 받으며, 이때 열적으로 가장 취약한 부위는 전류밀도와 전계 세기의 곱이 가장 큰 게이트쪽 드레인 접합인 것으로 알려져 있다[5]. 따라서 소자의 열적 파괴와 관련되는 문제를 줄이기 위해서는 전류밀도를 줄이는 것이 중요하다. 이를 위해서는 큰 폭의 소자 사용이 필수적이며, 소자 폭은 400 μm 를 넘는 것이 일반적이다. 기생 바이폴라 트랜지스터가 ON되어 있는 상황에서의 드레인-소스간 전압인 DC 유지전압(holding voltage)을 줄이는 것도 전계의 세기를 줄여 소자의 열적파괴와 관련된 문제를 줄이는 데 중요하다. 한편 기생 바이폴라 트랜지스터가 트리거되는 DC 스냅백(snapback) 전압은 ESD 사건 말기에 내부회로의 게이트와 기판 사이에 인가되는 전압을 결정한다. 이는 방전 말기 전류의 크기가 기생바이폴라 트랜지스터를 ON시킬 수 없을 정도로 크게 감소하기 때문이다. 따라서 스냅백 전압의 감소 또한 내부회로의 보호를 위해서 중요하다 할 수 있다. 일반적으로, 이상과 같은 이유에 의해 보호용 소자의 DC 항복특성으로부터 보호회로의 ESD 강도 예측이 가능하다.

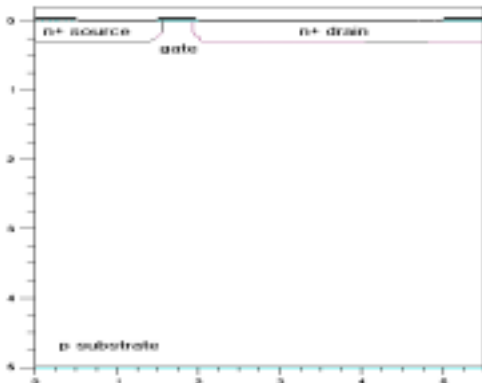


그림 2. 보호용 NMOS 트랜지스터의 단면도

Fig. 2. Cross section of the NMOS protection transistor

표 1. 보호용 NMOS 트랜지스터의 주요 구조 파라미터

Table 1. Principal structure parameters of the NMOS protection transistor

파라미터	값
유효채널길이	0.45 μm
게이트 산화막 두께	7.5nm
기판 및 채널 도핑	10 ¹⁶ /cm ³ , 10 ¹⁷ /cm ³
n ⁺ 드레인 접합 깊이, 길이	0.3 μm , 3.38 μm
n ⁺ 소스 접합 깊이, 길이	0.3 μm , 1.38 μm
게이트-드레인 콘택 간격	3 μm
게이트-소스 콘택 간격	1 μm

그림 2는 본 논문에서 비교의 기준으로 선정된 보호용 NMOS 트랜지스터의 구조를 보여주고 있다. 이 소자는 그림의 비교적 깊은 접합이 의미하듯이 n+ 드레인파 소스에 ESD 이온주입을 시행한 일반적인 ESD 보호용 소자를 대변한다. 게이트 쪽 드레인 접합에서의 격자온도 상승이 가장 심각하다는 점을 감안하여, 드레인 콘택 용융의 문제를 완화하기 위해 게이트와 드레인 콘택간 거리를 3 μm 로 비교적 크게 설정하였다. 하지만 이 간격도 최소한의 간격에 불과하다는 점을 주목하자[5]. 이 소자를 보호용 소자로 사용할 시 입력노드에 부가되는 주된 커패시턴스는 드레인 pn 접합 커패시턴스와 게이트 오버랩 커패시턴스이며, 게이트와 드레인 콘택간 거리를 증가시킴에 따라 그 값이 증가함을 주목하자. 표 1에는 주요 구조 파라미터들을 정리하였다. n+ 확산영역은 1020/cm³의 피크 농도를 갖는 가우시안 분포를 가정하였다.

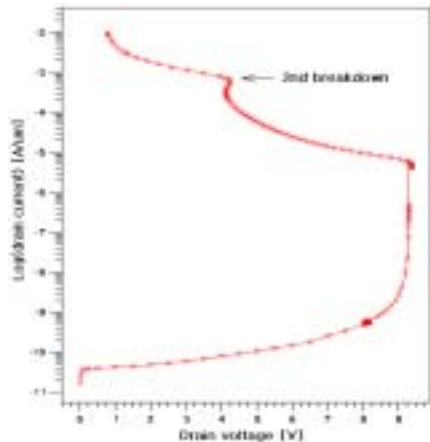


그림 3. NMOS 트랜지스터의 드레인 전류-전압 특성

Fig. 3. Drain current vs. voltage characteristics of the NMOS transistor.

2차원 소자 시뮬레이터인 PISCESIIB의 상용버전인 ATLAS[6]를 이용하여 DC 시뮬레이션을 시행하였다. 격자온도 상승과 관련되는 모델에는 주열열, 생성-결합 열, 펄터어-툽슨열들을 모두 포함하였다. 소스, 게이트 및 기판은 접지시킨 상태에서 드레인 전압 또는 전류를 증가시키며 특성을 시뮬레이션하였다.

그림 3은 그림 2에 보인 NMOS 트랜지스터의 시뮬레이션에 의한 반로그 스케일의 드레인 전류-전압 특성을 보여 주고 있다. 그림 3에서는 드레인 전압이 증가함에 따라 역바이어스된 n+-드레인/p-기판의 역방향 누설전류에 의해 드레인 전류가 완만히 증가하다가 드레인 전압이 9.2V 정도에 이르면 에벌랜치에 의한 접합의 항복이 일어남을 알 수 있다. 충돌이온화에 의해 생성되는 정공에 의한 전류는 기판 노드로 빠져나가고 이는 기판 내부의 전위를 상승시킨다. 충분한 정공 전류가 흐르게 되면 소스 접합 근처의 기판 전위는 n+-소스/p-기판 접합을 순방향 바이어스할 수 있을 정도로 상승하여 기생 횡방향 npn(소스/기판/드레인) 바이폴라 트랜지스터가 트리거된다. 이때 소스, 기판, 드레인은 각각 에미터, 베이스, 콜렉터의 역할을 한다. 이후 드레인 접합에서의 정공 생성은 소스에서 주입되는 전자에 의한 충돌이온화에 의해 증폭되므로 요구되는 드레인-소스간 전압은 감소하고 이에 따라 그림 3의 스냅백 현상이 야기된다. 스냅백 후 드레인-소스간 전압은 4.3V의 유지전압으로 감소한다. 이 상황에서 드레인 접합에서의 충돌이온화에 의한 정공전류가 기생 바이폴라 트랜지스터의 베이스 전류를 공급하게 된다.

그림 3에서 드레인 전류가 $6 \times 10^{-4} \text{A}/\mu\text{m}$ 정도에 이르면 2차항복(2nd breakdown)[7] 이 발생하고, 요구되는 드레인-소스간 전압은 크게 감소하여 실제 소자에서는 드레인 콘택 용융과 관계되는 소자의 파괴가 발생한다. 어떠한 ESD 상황에서도 소자가 2차항복에 들어가지 않아야 함이 중요하다. 따라서 2차항복이 발생하는 드레인 전류의 크기는 그 소자의 ESD 강도를 추정할 수 있는 중요한 판단 기준이 된다. 그림 3의 2차항복은 소자내 최고온도가 850. K를 넘을 시 발생함을 확인하였다.

그림 4는 본 논문에서 제안하는 pnpn 소자의 구조를 보여주고 있다. 이 소자는 표준 CMOS 공정에서 쉽게 제작이 가능하며 그림의 비교적 얇은 접합이 의미하는 바와 같이 ESD 이온주입 공정을 시행하지 않은 구조이다. 이 소자는 다음 절에서 논의될 변형된

구조들과 비교할 때 특성 면에서 최적인 소자로서 pnpn0 소자라 칭하기로 한다

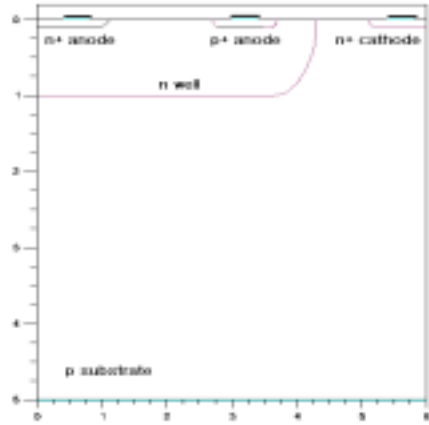


그림 4. 보호용 pnpn0 소자의 단면도

Fig. 4. Cross section of the pnpn0 protection device

표 2. 보호용 pnpn0 소자의 주요 구조 파라미터

Table 2. Principal structure parameters of the pnpn0 protection device

파라미터	값
n ⁺ 애노드 접합 깊이, 길이	0.1 μm , 1 μm
p ⁺ 애노드 접합 깊이, 길이	0.1 μm , 0.8 μm
n ⁺ 캐소드 접합 깊이, 길이	0.1 μm , 0.8 μm
n 웰 깊이, 길이	1 μm , 4.3 μm
p 기판 농도	$10^{16}/\text{cm}^3$
n 웰-캐소드 간격	0.8 μm
n ⁺ 애노드-p ⁺ 애노드 간격	1.8 μm

. 그림 4에서 n 웰 내 n+ 와 p+ 접합의 콘택은 서로 연결되어 하나의 애노드 역할을 하고 웰 외부의 n+ 접합은 캐소드 역할을 한다. 이 소자는 그림 1에서, 애노드는 입력노드에 캐소드와 기판은 접지에 연결함으로써 NMOS 보호용 소자(M1)를 대체할 수 있다. 이렇게 수정된 보호회로도 앞서 설명한 모든 ESD 전압 유형에 대해 내부회로를 보호할 수 있다는 것은 쉽게 설명될 수 있다. 표 2에는 pnpn0 소자의 주요 구조 파라미터들을 정리하였다. 그림 4의 n+ 및 p+ 확산영역은 $1020/\text{cm}^2$, n 웰은 $3 \times 10^{17}/\text{cm}^2$ 의 피크 농도를 갖는 가우시안 분포를 가정하였다. 캐소드와 기판

을 접지시킨 상태에서 애노드 전압 또는 전류를 증가시키며 특성을 시뮬레이션하였다.

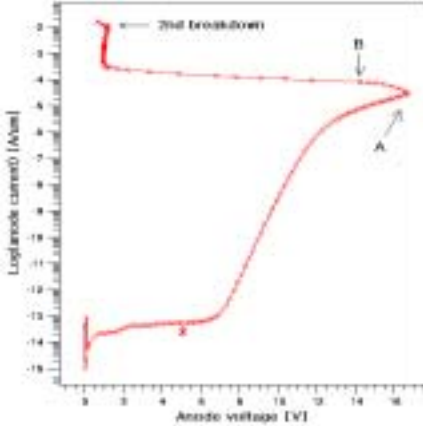


그림 5. 보호용 pnpn0 소자의 애노드 전류-전압 특성
Fig. 5. Anode current vs. voltage characteristics of the pnpn0 device.

그림 5는 그림 4에 보인 pnpn0 소자의 시뮬레이션에 의한 반로그 스케일의 DC 애노드 전류-전압 특성을 보여 주고 있다. 그림 5에서 볼 수 있듯이 애노드 전압을 증가시키에 따라 역바이어스된 n-웰/p-기판 접합의 역방향 누설전류에 의해 애노드 전류는 서서히 증가하다가 애노드 전압이 7V를 초과하게 되면 그 증가폭이 크게 상승한다. 이러한 전류 증가폭의 상승은 애노드 전압 증가에 따른 n-웰/n+-캐소드 간의 편치스투에 의한 함을 확인할 수 있었다. 편치스투에 의해 캐소드로부터 주입되는 전자는 역바이어스된 n-웰/p-기판 접합 부근에서 충돌이온화에 의해 정공전류에 의해 기판 내부의 전위는 상승한다. 충분한 정공전류가 흐르게 되면 캐소드 접합 근처의 전위가 캐소드 접합을 순방향바이어스 시킬 수 있는 정도로 높아지면서 횡방향 npn (n+-캐소드/p-기판/n-웰) 기생 바이폴라 트랜지스터가 트리거된다. 이때 캐소드, 기판, 웰은 각각 에미터, 베이스, 콜렉터의 역할을 하게 된다. 앞서 설명한 바와 마찬가지로 기생 바이폴라 트랜지스터가 트리거되면 요구되는 애노드-캐소드 간의 전압은 감소하므로 그림 5에 A로 표시한 스냅백 현상이 발생한다. 이 상황에서 n+ 애노드로부터의 바이폴라 트랜지스터 전류는 n 웰을 통해 흐르면서 n 웰 내 분포저항에서의 전압강하에 의해 p+ 애노드 아래 부분의 전위를 감소시킨다. 이 경우 바이폴라 전류가 충분히 크면 p+-애노드/n-웰 접합이 순방향 바이어스되면서 pnpn

싸이리스터가 트리거되면서 요구되는 애노드-캐소드 간의 전압이 크게 감소하여 그림 5에 B로 표시한 것과 같이 애노드 전압의 추가적 감소가 관찰된다. 결과적인 유지전압은 1V 정도의 값을 가지게 되며 이는 그림 3의 NMOS 트랜지스터 경우의 유지전압에 비해 현저히 작다. 이 상황에서 애노드 전류의 75% 정도는 p+ 애노드를 통해 흐르고, 나머지는 n+ 애노드를 통해 흐르면서 pnpn 싸이리스터 동작이 유지됨을 확인할 수 있었다.

그림 5에서 2차항복은 애노드 전류가 $94 \times 10^{-4} \text{A}/\mu\text{m}$ 정도일 때 발생함을 알 수 있는데, 이는 NMOS 트랜지스터 경우의 약 16배 정도에 해당된다. 2차항복은 NMOS 트랜지스터 경우와 마찬가지로 소자내 최고온도가 850. K를 넘을 시 발생함을 확인하였다. 2차항복이 일어나는 상황에서 소자내 온도분포를 조사한 결과 전류밀도와 전계의 세기의 곱이 가장 큰, n+ 애노드 근처의 비교적 넓은 n 웰 영역의 온도가 최고가 됨을 확인할 수 있었다. 순방향 바이어스되는 p+ 애노드 부근 경우 전류밀도는 높으나 전계의 세기가 작아 상대적으로 온도 상승이 제한됨을 알 수 있었다.

2차항복이 발생하는 소자폭당 전류의 크기를 비교할 때, 유사한 수준의 ESD 강도를 제공하기 위해 필요한 pnpn 소자의 폭은 NMOS 트랜지스터 폭의 1/16에 불과함을 알 수 있다. 이는 제안된 소자를 사용함으로써 입력노드에 추가되는 기생 커패시턴스를 크게 줄일 수 있음을 의미한다. 이 소자의 경우 추가되는 기생 커패시턴스는 주로 n-웰/p-기판 접합의 커패시턴스를 주목하자. n+ 애노드 접합의 길이나 깊이의 증가에 의해 n+ 애노드 콘택의 온도상승은 보다 억제될 것으로 기대된다. 접합 길이의 증가는 전류밀도를 감소시키는 반면, 깊이의 증가는 콘택을 최고온도 지점에서 보다 멀리 위치시킴으로써 콘택 온도의 상승을 억제하는데 도움이 된다. 한편 접합 길이의 증가는 필요한 n 웰 면적의 증가를 초래하므로 추가되는 기생 커패시턴스의 양도 그만큼 증가할 것이다.

III. 소자구조에 따른 특성변화

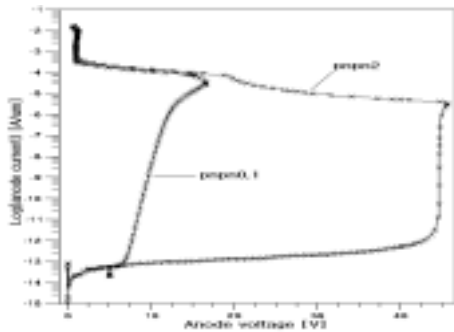
이 절에서는 소자구조의 변화에 따른 특성 변화를 조사해 본다. 3개의 변형 구조인 pnpn1, pnpn2, pnpn3를 정의하고 이들의 특성을 앞서 논의한 pnpn0 구조의 특성과 비교분석하여 최적구조에 관한 설계기준을 도출해 본다. pnpn1 소자는 pnpn0 소자에서 p+ 애노드의 위치를 좌로 이동 배치하여 n+ 애노드와의

간격을 감소시킨 구조이며, pnpn2 소자는 pnpn0 소자와 비교할 때 n 웰과 캐소드의 간격을 증가시킨 구조이다. pnpn3 소자는 pnpn0 소자와 동일하나 n+ 애노드와 p+ 애노드의 위치를 서로 바꾼 구조이다. 표 3에는 소자구조의 차이를 비교 정리하였다. 우선 pnpn1 소자와 pnpn2 소자에 대해 알아보고 pnpn3 소자에 대해서는 후에 논의하기로 한다.

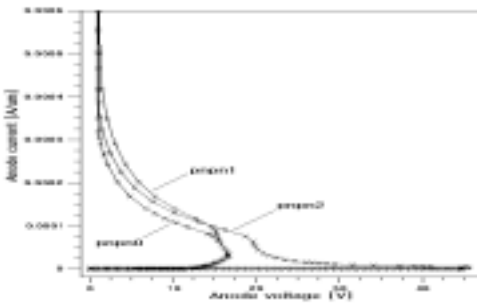
표 3. pnpn 소자들의 구조변수 비교

Table 3. Comparison of the structure parameters of pnpn devices

구조변수 \ 소자명	pnpn0	pnpn1	pnpn2	pnpn3
n ⁺ /p ⁺ 애노드 간격(S ₁)	1.8 μ m	0.6 μ m	1.8 μ m	pnpn 소자와 동일, n ⁺ /p ⁺ 애노드 위치 교환
n-웰/캐소드 간격(S ₂)	0.8 μ m	0.8 μ m	1.8 μ m	
전체 소자 길이	6 μ m	6 μ m	7 μ m	



(a)



(b)

그림 6. pnpn0, pnpn1, pnpn2 소자의 애노드 전류-전압 특성

(a) 반로그 스케일 (b) 선형 스케일

Fig. 6. Anode current vs. voltage characteristics of

the pnpn0, pnpn1, pnpn2 devices

(a) in a semi-log scale, (b) in a semi-log scale.

그림 6(a)에서 pnpn0 소자와 비교할 때 n 웰과 캐소드의 간격 S₂를 증가시킨 pnpn2 소자의 경우 스넵백 전압이 크게 증가함을 알 수 있다. S₂가 증가하면 펀치스루가 발생하지 않게 되고 역바이어스된 n-웰/p-기판 접합의 항복에 의해 바이폴라 트랜지스터가 트리거되므로 그림 6(a)에서 볼 수 있듯이 50V 정도의 큰 전압에서 스넵백 현상이 발생된다. 이 소자는 정전기 방전 말기에 내부 회로의 게이트에 큰 애노드 전압이 인가되므로 내부 회로의 보호에 좋지 않은 영향을 미칠 것으로 판단된다.

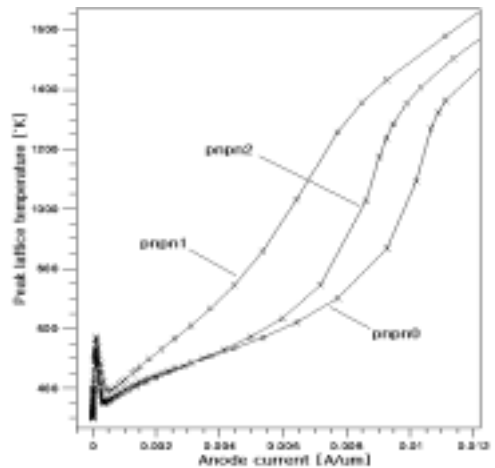


그림 7. pnpn0, pnpn1, pnpn2 소자의 애노드 전류에 따른 최고 격자온도 변화 특성

Fig. 7. Peak lattice temperature vs. anode current characteristics of the pnpn0, pnpn1, and pnpn2 devices.

그림 7은 pnpn0, pnpn1, pnpn2 소자의 애노드 전류에 따른 소자내 최고 격자온도의 변화 특성을 비교하여 보여 주고 있다. S₁의 감소는 앞서 설명한 미세니즘에 의해 pnpn1 소자내 온도 상승을 크게 증가시키고 이는 2차항복이 일어나는 애노드 전류 값을 크게 감소시킨다. pnpn2 소자도 pnpn0 소자와 비교하여 격자온도 상승 면에서 다소 열등한 특성을 보이고 있다.

그림 7의 낮은 전류 값에서 격자온도가 상승하고 다시 감소하는 부분은 사이리스터가 트리거 되기 전 바이폴라 트랜지스터 전류에 의한 격자온도의 상승임

을 쉽게 유추할 수 있다. 사이리스터가 트리거 되는 순간 애노드 전압이 크게 감소하므로 격자온도는 감소한다. 표 4에는 보호용 소자의 ESD 강도를 결정하는 주요 특성 변수들을 비교 정리하였다. 표 4에서 유지전압은 비교의 목적으로 애노드 전류가 $2\text{mA}/\mu\text{m}$ 가 되는 애노드 전압으로 정의하였다.

표 4. pnpn 소자들의 주요 특성변수

Table 4. Principal parameters of the pnpn devices.

특성변수 소자명	스냅백전압	유지전압	2차항복전류
pnpn0	16.8V	1.01V	$9.4\text{mA}/\mu\text{m}$
pnpn1	16.8V	1.08V	$6.5\text{mA}/\mu\text{m}$
pnpn2	45.2V	1.06V	$8.7\text{mA}/\mu\text{m}$
pnpn3	16.8V	1.46V	$3.8\text{mA}/\mu\text{m}$

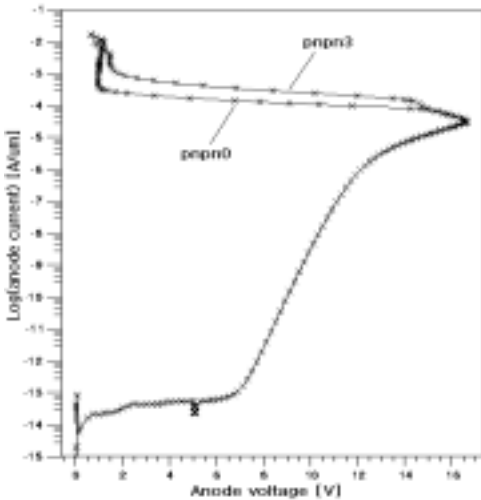


그림 8. pnpn0 소자와 pnpn3 소자의 애노드 전류-전압 특성

Fig. 8. Anode current vs. voltage characteristics of the pnpn0 and pnpn3 devices.

이제 pnpn3 소자의 특성에 대해 알아본다. 이 소자는 pnpn0 소자와 동일하나 n+ 애노드와 p+ 애노드의 위치가 서로 바뀐 구조이다.

그림 8은 반로그 스케일로 pnpn0 소자와 pnpn3 소자의 애노드 전류-전압 특성을 비교하여 보여 주고 있다. 두 소자의 n 웰 외부의 구조는 동일하므로 그

림에서 볼 수 있듯이 스냅백 특성은 동일하다. 그러나 사이리스터가 트리거되는 전류의 크기는 두 애노드 접합의 위치를 뒤바꿈에 따라 크게 증가함을 알 수 있다. pnpn3 소자에서는 n+ 애노드가 p+ 애노드의 우측에 위치하므로 npn 바이폴라 전류가 흐르는 상황에서 p+ 애노드 접합 아래 부분의 전위가 낮아지기 어려워 p+-애노드/n-웰 접합이 충분히 순방향 바이어스 되기 쉽지 않다. 따라서 사이리스터가 트리거되기 위해서는 보다 큰 바이폴라 전류가 요구된다. 사이리스터가 트리거된 후에도 이의 유지를 위해서는 p+ 애노드 보다는 상대적으로 큰 전류가 n+ 애노드를 통해 흐르게 되어 결과적인 유지전압도 증가하고 동일한 전류에서의 격자온도 상승이 크게 증가함을 확인하였다. 그 결과 2차항복이 일어나는 전류의 크기 또한 표 4에 나타난 것과 같이 크게 감소한다. pnpn 소자에서 pnpn 3와 같이 n+ 애노드와 p+ 애노드의 위치를 바꿀 경우 ESD 강도면에서 매우 치명적임을 알 수 있다.

IV. 추가 논의

III절의 분석은 제안한 보호용 소자의 최적 구조를 정의한다. n+ 애노드를 p+ 애노드 보다 캐소드로부터 멀리 위치시키는 것이 매우 중요하다는 것을 알 수 있다. n+ 애노드와 p+ 애노드의 간격을 증가시키는 것은 사이리스터의 트리거를 용이하게 하는 긍정적인 효과가 있는 반면, 그에 따른 n 웰 면적의 증가로 인해 추가되는 기생 커패시턴스가 커지는 단점이 있다.

원하는 수준의 스냅백 전압을 얻기 위해서는 n 웰과 n+ 캐소드의 간격을 줄여 펀치스루 현상을 활용하는 것이 중요하다. 스냅백 전압은 간격을 줄임에 따라 점차 감소할 것임을 쉽게 추측할 수 있다. 이는 소자의 전체 길이는 변화시키나 추가되는 기생 커패시턴스의 값을 변화시키지는 않는다. 스냅백 전압은 ESD 방전 말기에 내부회로의 게이트와 기판 사이에 인가되는 전압을 결정한다는 점을 상기하자.

제안된 pnpn 소자의 실용성 확인을 돕기 위해 ATLAS를 이용하여 2000V 인체모델 테스트 상황에 대한 혼합모드 과도 시뮬레이션을 수행하였다. 인체모델 혼합모드 과도 시뮬레이션을 위한 등가회로는 참고문헌 [8]에 제시된 모델을 사용하였으며, 소자 자체의 온도상승 측면에서 폭 $200\mu\text{m}$ 의 NMOS 트랜지스터 소자와 폭 $15\mu\text{m}$ 의 pnpn 소자가 유사한 수준의 특성

을 나타냄을 확인하였다. 또한 나머지 변형된 pnpn 구조들과의 비교에서도 DC 분석 결과와 유사한 추세를 확인하였다. 그러나 보다 실제 상황에 가깝다고 할 수 있는 위에 언급한 혼합모드 과도해석 결과에서 ESD 강도를 제공하는 소자 폭의 차이는 DC 분석결과보다 다소 적게 나타났으며, 이의 원인이 되는 다음의 추가 정보가 확인되었다. pnpn0 소자의 DC 특성에서 격자온도가 최고가 되는 지점은 n+ 애노드 접합 부근인 것으로 밝혀졌으나, 혼합모드 시뮬레이션 결과 오히려 n+ 캐소드 접합 부근의 온도가 최고가 되는 것으로 확인되었다. 이러한 현상은, 방전 초기의 방전 전류가 앞서 제시한 DC 해석의 전류값 보다 훨씬 커지며, 이 경우 DC 해석 결과와 다소 달리 애노드 전류의 대부분은 npn 기생 바이폴라 보다는 주로 pnpn 싸이리스터 경로로 흐르게 되기 때문임을 확인할 수 있었다. 이에 따라 n+ 애노드 쪽 전계의 세기가 크기는 하지만 전류밀도 면에서 n+ 캐소드 쪽이 훨씬 커져 캐소드 부근의 격자온도 상승이 심해지는 것임을 알 수 있었다. 당연히 p+ 애노드 접합부근의 전류밀도도 크나 웰의 도핑농도가 p 기판의 농도보다 훨씬 높아 저항률이 낮으므로 온도 상승이 상대적으로 낮음을 알 수 있었다. 따라서 실제 상황에서 온도 상승에 의한 콘택 용융 문제면에서 가장 취약한 부위의 순서는 캐소드, n+ 애노드, p+ 애노드 순이 될 것으로 판단된다. 그러므로 n+ 캐소드 접합의 면적과 깊이를 증가시키는 것도 필요할 것으로 판단된다. 이는 소자의 전체 길이를 증가시킬 수는 있으나 추가되는 기생 커패시턴스에는 변화를 주지 않는다.

NMOS 트랜지스터를 사용할 경우와 제안한 pnpn0 소자를 사용할 경우 추가되는 커패시턴스 크기의 차이를 비교하기 위해, ATLAS를 이용하여 AC 시뮬레이션을 수행해 보았다. 그 결과, 그림 2의 NMOS 소자 경우 단위 소자폭 당 추가되는 커패시턴스는 $3.3 \times 10^{-15} \text{F}/\mu\text{m}$ 인 반면, pnpn0 소자 경우에는 $1.2 \times 10^{-15} \text{F}/\mu\text{m}$ 로 약 1/2.7 배 정도임을 알 수 있었다. 앞서 논의한 DC 시뮬레이션 결과에서, 유사한 수준의 정전기 보호수준을 제공하기 위한 pnpn0 소자의 폭은 NMOS 소자 경우의 1/16에 불과하다는 것을 설명하였다. 이 두 결과는 pnpn0 소자를 사용할 경우 추가되는 기생 커패시턴스의 크기가 NMOS 소자 사용 경우의 1/43에 불과함을 의미한다. 하지만 II절 끝부분에서 논의한 바와 같이 n+ 애노드 접합의 길이를 어느 정도 증가시키는 것이 필요하다고 보이며 이로 인해 해당되는 커패시턴스 값이 다소 증가할 것이다.

또한 혼합모드 과도해석에서 확인된 캐소드 접합 부위의 온도 상승을 고려한다면 요구되는 소자 폭은 다소 커질 수 있으며, 이는 두 소자에 의해 추가되는 커패시턴스 양의 차이를 다소 감소시킬 것이다. 하지만 이러한 점들을 고려하여도 그 차이는 상당할 것으로 판단되므로 제안한 소자의 장점이 실제로 활용 가능할 것으로 판단된다.

입력 노드와 VSS 사이에 연결된 제안된 소자는 VDD와 VSS 사이에 pnpn 전류경로를 형성하지 않으므로 래치업(latch-up) 문제를 야기하지는 않을 것으로 판단된다. 하지만 제안된 소자를 그림 1의 클램핑 소자로 사용한다면 정상동작 시에 래치업을 야기할 수도 있다. 따라서 그림 1의 클램핑 소자로는 NMOS 트랜지스터를 그대로 사용하는 것이 안전할 것으로 판단된다. 다행스러운 점은 전원 버스에 추가되는 커패시턴스는 칩 동작에 전혀 해를 끼치지 않는다는 점이다.

소자 내 파괴현상을 조사하는데 있어서 소자 시뮬레이터를 이용한 연구는 소자의 제작 및 측정만으로는 알 수 없는, 소자 내부의 파라미터들을 볼 수 있다는 장점을 제공한다. 시뮬레이션에 의한 분석은 결과의 절대 수치 면에서의 정보제공에는 다소 부족할 수 있으나 본 논문에서와 같이 구조에 따른 상대적 특성을 비교하는 데에는 매우 유용하다고 할 수 있다. 따라서 소자 시뮬레이션에 근거한 본 논문의 분석 결과는 의미가 크다고 판단된다.

V. 결론

본 논문에서는, 2차원 소자 시뮬레이션 결과를 기반으로, 표준 CMOS 공정에서 쉽게 제작 가능한 pnpn 싸이리스터 구조의 보호용 소자를 제안하였다. 정전기 방전으로부터의 내부회로를 보호하기 위해 제안된 소자를 사용하였을 경우의 이점을 증명하기 위해, 제안된 소자의 DC 항복특성을 일반적인 보호용 소자인 NMOS 트랜지스터 경우와 비교 분석하였다. 제안된 소자에 의한 특성의 향상을 입증하였고 이와 관련된 미커니즘들에 대해 설명하였다. 최적 구조를 정의하고 소자 설계에 대한 가이드 라인을 제시하기 위해 소자 구조에 따른 특성변화를 조사하였다. DC 분석 결과의 보안을 위해 혼합모드 과도해석의 결과를 간단히 소개하였다. ESD 보호용으로 제안된 소자를 사용할 경

우 추가되는 기생 커패시턴스의 감소 정도를 알아보기 위해 AC 시뮬레이션 결과를 소개하였다. CMOS RF IC의 ESD 보호용으로 제안된 소자를 채택할 경우 ESD 강도를 유지하면서 입력노드에 추가되는 커패시턴스의 양을 크게 줄일 수 있을 것으로 판단된다.

참고 문헌

- [1] P. Leroux and M. Steyaert, High-performance 5.2GHz LNA with on-chip inductor to provide ESD protection. *Electronics Letters*, vol. 37, pp. 467-469, Mar. 2001.
- [2] M.-D. Ker, T.-Y. Chen, C.-Y. Wu, and H.-H. Chang, ESD protection design on analog pin with very low input capacitance for high-frequency or current-mode applications. *IEEE J. Solid-state Circuits*, vol. 36, pp. 1104-1199, Aug. 2000.
- [3] B. Kleveland, T. J. Maloney, I. Morgan, L. Madden, T. H. Lee, and S. S. Wong, Distributed ESD protection fro high-speed integrated circuits. *IEEE Electron Devices Lett.*, vol. 21, pp. 390-392, Aug. 2000.
- [4] H. Feng, K. Gong, and A. Z. Wang, A comparison study of ESD protection fro RF ICs: Performance vs. parasitics. *IEEE MTT-S Digest*, 2000, pp. 143-146.
- [5] S. Aur, A. Chatterjee, and T. Polgreen, Hot-carrier reliability and ESD latent damage. *IEEE Trans. Electron Devices*, vol. 35, pp. 2189-2193, Dec. 1988.
- [6] ATLAS II Framework, Version 5.0.0.R, Silvaco International, 1999.
- [7] A. Amerasekera, L. van Roozendaal, J. Bruines, and F. Kuper, Characterization and modeling of second breakdown in nMOST's for extraction and ESD-related process and design parameters. *IEEE Trans. Electron Devices*, vol. 38, pp. 2161-2168, Sept. 1991.
- [8] 최진영, 송광섭 "HBM ESD 현상의 혼합모드 과도 해석," *전자공학회논문지*, 제38권, D편, 제1호, pp. 1-12, 2001년 1월.

저 자 소 개

崔 鎮 榮 (正會員)



1956년 12월 10일생. 1979년 2월 서울대학교 전기공학과(공학사). 1986년 12월 University of Florida 전기공학과(석사). 1991년 5월 University of Florida 전기공학과(공학박사). 1991년 4월 ~ 1992년 8월 삼성전자 반도체부문 수석연구원. 1992년

8월 ~ 현재 홍익대학교 과학기술대학 전자전기컴퓨터공학부 부교수. 주관심 분야는 RF 반도체 소자 모델링, RF 집적회로 설계 및 신뢰성 연구 등임.

趙 奎 相 (學生會員)



1977년 10월 29일생. 2001년 2월 홍익대학교 전자전기컴퓨터공학부 졸업(학사). 2003년2월 홍익대학교 대학원 전기공학과 졸업(석사). 주관심 분야는 집적회로 내에서의 정전기 방전현상 분석과 보호회로 설계 및 RF 집적회로 설계 등임