

# CMOS 저잡음 기가비트급 광전단 증폭기 설계

## CMOS Gigahertz Low Power Optical Preamplifier Design

黃容熙\*, 姜晋球\*

Yong-Hee Whang\*, Jin-Koo Kang\*

### 요 약

일반적으로 p-i-n Photodiode 수신기의 광신호처리 전단증폭기의 설계에서 공통소스 입력단을 사용하는 트랜스 임피던스(Transimpedance)구조로 설계한다. 본 논문에서는 공통게이트 입력단을 사용하는 전류모드 광전단증폭기를 설계하였다. 이러한 광전단증폭기로 사용되는 전류모드 공통게이트 트랜스임피던스 증폭기의 특징은 높은 이득과 높은 대역폭을 동시에 얻을 수 있다는 것이다. 본 논문에서는 광전단 증폭기 설계에서 잡음 최적화를 이용하여 설계과정을 자동화 시킴으로써 보다 단순하게 트랜스임피던스 증폭기를 설계하는 기법을 제시하였다. 그리고 커패시턴스 피킹(Capacitive Peaking) 기술을 사용하여 대역폭을 더욱 증가시킬 수 있다. 제안하는 기법을 사용하여 설계된 전류모드 광전단 증폭기에 커패시턴스 피킹을 적용하여 0.35um CMOS 공정을 사용할 경우 대역폭이 1.57GHz이고, 트랜스임피던스 이득이 2.34k, 입력 잡음전류가 470nA이고 입력 잡음 전류의 주파수밀도(spectral density)가  $6.13\text{pA}/\sqrt{\text{Hz}}$  인 저 잡음의 고속 전류모드 트랜스임피던스 광전단증폭기를 설계 하였다. 시뮬레이션 결과 제안된 광전단증폭기의 전력소비는 3.3V 공급전압에서 16.84mW이었다.

### Abstract

Classical designs of optical transimpedance preamplifier for p-i-n photodiode receiver circuits generally employ common source transimpedance input stages. In this paper, we explore the design of a class of current-mode optical transimpedance preamplifier based upon common gate input stages. A feature of current-mode optical transimpedance preamplifier is high gain and high bandwidth. The bandwidth of the transimpedance preamplifier can also be increased by the capacitive peaking technique. In this paper we included the development and application of a circuit analysis technique based on the minimum noise. We develop a general formulation of the technique, illustrate its use on a number of circuit examples, and apply it to the design and optimization of the low-noise transimpedance amplifier. Using the noise minimization method and the capacitive peaking technique we designed a transimpedance preamplifier with low noise, high-speed current-mode transimpedance preamplifier with a 1.57GHz bandwidth, and a 2.34K transimpedance gain, a 470nA input noise current. The proposed preamplifier consumes 16.84mW from a 3.3V power supply.

*Keywords: CMOS, transimpedance amplifier, capacitive peaking, noise optimization, current mode*

\* 仁荷大學校 電子電氣工學部

(Dept. of Electronics Engineering, Inha Univ.)

接受日:2003年 3月 11日, 修正完了日:2003年 7月 28日

※ 본 연구는 2000년도 인하대학교의 지원에 의해 수행되었음(INHA-22096)

### I. 서론

최근 데이터 전송용량과 전송속도의 증가로 인하여 고속 광통신 시스템의 중요성이 점차 증가하고 있다. 광수신 회로의 성능은 광전단증폭기에 의해서 가장 크게 결정이 된다. 따라서 동작속도 등을 고려하여 과거

에는 대부분의 연구가 고속 소자인 바이폴라나 GaAs 공정에서 이루어졌다. 하지만 저비용에 특히 시스템온칩(System-On-Chip)이 가능하다는 장점을 지닌, CMOS 공정을 사용한 광 수신기에 대한 연구가 점차로 대두되고 있다[1,2]. 본 논문에서는 먼저 광통신 시스템에 사용되는 광전단증폭기 트랜스임피던스 증폭기설계(Transimpedance Amplifier-TIA)에 관해 잡음최적화 기법(Noise Optimization Method)를 제안하고 이를 통해 설계과정을 자동화 단순화 하였으며, 다양한 구조의 트랜스 임피던스 증폭기 설계에 적용해 보았다. 또한 최근 경향인 전류모드 트랜스임피던스 증폭기설계에 적용하여 설계하였고, 커패시티브 피킹(Capacitive Peaking Technique)[3,4]을 적용하여 대역폭을 증가시켰다. 이렇게 함으로써 고속, 저잡음, 전류모드 트랜스임피던스 광전단증폭기 설계의 최적화된 설계를 실현할 수 있었다.

본 논문의 Section II에서는 새로이 제안된 잡음최적화 설계법(Noise Optimization Method)를 사용하여 자동화되고 체계화된 여러 가지 구조의 광전단증폭기 설계에 대해서 설명하였다. Section III에서는 잡음최적화 설계법(Noise Optimization Method)를 사용하여 설계된 전류모드 트랜스임피던스 광전단증폭기 설계와 커패시티브 피킹에 대해서 서술하였다. 그리고 Section IV에서는 커패시티브 피킹이 적용되어 설계된 전류모드 광전단증폭기회로의 시뮬레이션결과를 설명하였다.

## II. 제안하는 잡음최적화 설계법에 의한 광 전단증폭기 설계

이번 섹션에서는 제안하는 잡음최적화 설계법을 이용한 광 전단증폭기 분석 및 설계에 대해서 설명하고 이 기법을 적용하여 광전단증폭기 회로설계의 예를 보였다. 그림1은 기존의 공통소스 TIA[5]의 회로도를 나타내었다. 그림1(a) 회로의 경우 설계 과정에서 결정해야 할 설계변수로는  $W, R_D, R_F, I_{DS}$ 임을 알 수 있다. 여기서  $I_{DS}$ 는 주어진 전력소비 제한(power consumption constraint)에 의해서 결정된다. 그러나 (a)회로를 반 회로(Half Circuit) (b)로 변환시키면

$I_{DS}$ 에 대한 설계변수가 제거되므로 전력소모에 대한 제한조건 없이 잡음최적화 조건에 의해서 트랜스임피던스증폭기의 설계가 가능해지게 된다. 물론 여기서 공통소스노드의 DC 전압은 전류거울회로의 트랜지스터가 포화영역에 있게 하고, 증폭기의 동작전압범위(dynamic range)를 제한하지 않도록 하는 전압으로 결정하여야 할 것이다.

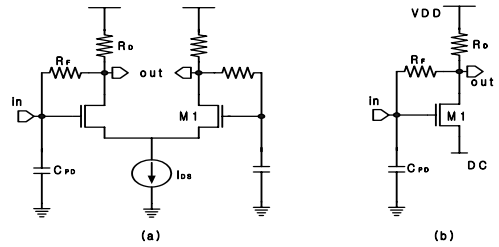


그림1 기존의 TIA회로 : (a) 차동회로 (b) 반 회로  
Fig 1. Simplified Circuit Diagram of Conventional TIA : (a) differential structure (b) half circuit

그림1.(b)의 회로를 이용한 광전단증폭기 설계는 우선 위상마진(Phase Margin)조건을 이용하여 최대전압이득을 결정하고, 다음으로 데이터전송속도에 따라 피드백저항( $R_F$ )을 결정하게 된다. 이후 나머지 설계 변수들을 결정하게 하고 이러한 과정을 회로의 모든 설계 변수들이 수렴할 때까지 반복 수행된다. 여기서 언급한 모든 과정이 SPICE 시뮬레이션과 같이 수행되기 때문에 자동적으로 최적화된 광전단증폭기 설계관련 변수를 얻을 수 있었다. 아래에 각 설계변수 결정에 대한 상세한 설명을 서술하였다.

### A. 트랜스임피던스 증폭기 전압이득 결정

트랜스임피던스 증폭기를 설계하기 위해서는 먼저 최대 전압이득을 결정해야 하는데 이를 위해서 열린루프/닫힌루프 전달함수식(open loop/closed loop transfer function)을 구해보면 아래와 같게된다.

$$Z_{Closed}(s) \approx \frac{A}{1+A} R_F \frac{1}{(1+s \frac{C_T R_F}{1+A})(1+s C_{out} R_{out})} \quad (1)$$

$$Z_{Open}(s) = \frac{A R_F}{(1+s C_T R_F)(1+s C_{out} R_{out})}$$

식 (1)에 의해서 위상마진(phase margin)을 구하면 식 (2)와 같게 된다.

$$180 - PM = ATAN(1+A) + ATAN(Aw_{TIA}/GBW_A) \quad (2)$$

여기서 TIA의 대역폭  $w_{TIA}$ 는 일반적으로 최적출력 파형[6]에 의해서 데이터전송속도의 0.65~0.75배로 결정되므로 식 (2)에서 미지의 변수는 A만의 식이 된다. 이렇게 함으로 최대 전압이득을 결정 할 수 있게 된다. 여기서 식 (2)는 실수 극점(real pole)의 경우의 식이므로 위상마진(PM)값은 SPICE 시뮬레이션에서 실수 극점을 가질 때의 최대값을 사용하였다. 물론 이때의 위상마진 값이 최적화된 값인가의 문제는 뒤에서 언급하게 될 커패시턴스 피킹에 의해서 위상마진이 향상되기 때문에 이것이 문제가 되지는 않을 것이다. 구현 시 목표로 하는 위상마진은 80도 이상이다. 여기서는 설명의 간략화를 위해서 제로(zero)와  $R_F$ 를 통한 전방 전달경로(forward path)를 통한 신호 전달을 포함하지 않았으나 실제 설계과정에서는 이것이 포함된 식을 사용하였다.

### B. 귀환 저항값 결정

귀환 저항( $R_F$ )는 식 (3)에 의해서 결정된다.

$$R_F = \frac{1+A}{w_{TIA}(C_g + (1+A)C_{gd} + C_{pd})} \quad (3)$$

여기서 TIA의 대역폭( $w_{TIA}$ )는  $w_{TIA} = 0.7 \cdot$ (데이터속도)이고 A는 식 (2)에 의해서 결정되므로 각 기생 커패시턴스(parasitic capacitance)는 초기값에 의해서  $R_F$ 값이 결정할 수 있게 된다. 물론  $R_F$ 의 결정은 처음에는 각 기생 커패시턴스(parasitic capacitance)의 초기값에 의해서 결정해지나 그 뒤로는 반복 시뮬레이션을 통해서 얻어지는 값을 사용할 것이다.

### C. 잡음 최적화에 의한 트랜지스터 사이즈와 부하저항 값 결정

잡음 최적화를 위해서 그림 1 회로의 입력잡음 전류의 주파수밀도(spectral density)를 구하면 다음과 같다.

$$dI_{in}^2(f) = \frac{4kT}{R_F} + 4kT \left( \frac{2}{3} \right) \frac{1 + \frac{(2\pi f)^2 (R_F C_T)^2}{g_m R_F^2}}{g_m R_F^2} + 4kT \left( \frac{1}{R_D} \right) \frac{1 + \frac{(2\pi f)^2 (R_F C_T)^2}{(g_m R_F)^2}}{(g_m R_F)^2} \quad (4)$$

여기서 첫 번째 항은 귀환 저항  $R_F$ 에 의한 잡음이고 두 번째 항은 M1의 열 잡음(Thermal Noise)에 의한 항이다. 그리고 마지막 항은 부하 저항  $R_D$ 에 의한 잡음이다. 그런데  $g_m R_D \approx A \gg 1$ ,  $g_m R_F \gg 1$ 이므로 식 (4)는 (5)로 변환이 가능하게 된다.

$$dI_{in}^2(f) = \frac{4kT}{R_F} \left( \left( 1 + \frac{2}{3g_m R_F} \right) + \left( \frac{2}{3} \right) \frac{(2\pi f)^2 (R_F C_T)^2}{g_m R_F^2} \right) = \frac{4kT}{R_F} + 4kT \left( \frac{2}{3} \right) \frac{(2\pi f)^2 [C_{gs} + C_{in} + C_{gd}]^2}{g_m} \quad (5)$$

여기서  $g_m = \mu C_{ox} (W/L) V_{eff}$  와  $C_{gs} = 2/3 \mu C_{ox} L W$  를 이용하면 식 (6)과 같이 된다.

$$g_m = \frac{3\mu V_{eff}}{2L^2} C_{gs} = \tau V_{eff} C_{gs} \quad (6)$$

즉 식(6)에 의해 잡음값은  $C_{gs}$  즉 M1 트랜지스터의 사이즈에 의해 결정될 식이 된다. 그러므로 만일  $R_F$ 가  $C_{gs}$ 와 무관하다면  $C_{gs} + C_{gd} = C_{pd}$ 를 만족할 때 최적입력 잡음을 얻게 된다.. 그러나 식 (3)에서도 알 수 있듯이  $R_F$ 는  $C_{gs}$ 의 함수이므로 새로운 잡음최적화 방법이 요구되어진다. 식 (5)의 첫 번째 항은 주파수에 무관한 항이고, 두 번째 항은 주파수의 제곱에 비례하는 항이기 때문에 위의 식 자체만으로는 잡음이 최소가 되는  $C_{gs}$ 를 구할 수가 없다. 즉  $R_F$ 를 고려하여 잡음을 최소화하기 위해서는 식 (5)에서 변수 주파수( $f$ )를 없애야 한다. 이를 위해 잡음대역폭( $B_{NB}$ )[7,8]을 이용한다. 잡음 대역폭 정의에 의해서 식 (6)을  $B_{NB}$

까지 적분하면 입력전류잡음전력을 얻을 수가 있다. 여기서 식 (3)을 식 (5)에 대입 후에  $B_{NB}$ 까지 적분한 결과를 식 (7)에 나타내었다.

$$\frac{-}{I_{in}^2} = 4kT \left( \frac{C_g + (1+A)C_{gd} + C_{PD}}{1+A} 2\pi f_{TIA} B_{NB} + \left( \frac{A}{27} \right) \frac{(2\pi)^2 L^2 [C_g + C_{PD} + (1+A)C_{gd}]^2}{\mu V_{eff} C_{gs}} B_{NB}^3 \right) \quad (7)$$

여기서  $C_g/C_{gs} = \alpha$ ,  $C_{gd}/C_{gs} = \beta$  라는 변수를 사용하여 위 식을  $C_{gs}$ 만의 식으로 변환후  $C_{gs}$ 로 미분하여 0이 되는  $C_{gs}$ 를 찾으면 잡음 최소화를 위한 조건을 다음 식과 같이 얻을 수 있게 된다.

$$C_{gs} = \sqrt{\frac{1}{\left( (\alpha + \beta)^2 + \frac{9}{2} \frac{1}{2\pi} \tau V_{eff} \frac{f_{TIA}}{B_{NB}^2} \frac{\alpha + (1+A)\beta}{(1+A)\alpha} \right)}} \quad (8)$$

따라서 식 (8)로부터 트랜지스터 M1의 사이즈가 결정이 된다. 식(8)의 분모의 제곱근안의 두 번째 항은  $R_F$ 의 영향을 고려한 결과이다. 만약 이 영향을 무시하면  $C_{PD} = C_g + C_{gd}$  라는 잘 알려진 결과를 얻을 수 있다[7,9]. 지금까지 서술한 것에 의해 결정되는 설계 변수는 트랜지스터 사이즈와 전압이득, 피드백 저항이므로 이제 남은 설계변수는 부하 저항( $R_D$ )이다.

부하 저항값은 TIA 이득에 의해서 결정할 수 있다.

$$Transimpedance\ Gain = \frac{A}{1+A} R_F \quad (9)$$

즉 시뮬레이션을 통해서 식 (9)를 만족하는 부하 저항을 결정 할 수 있게 된다.

따라서 광전단용 트랜스임피던스 증폭기를 설계하는데 필요한 모든 설계변수를 지금까지 설명한 과정의 반복 시뮬레이션을 통해서 얻을 수 있게 된다. 앞에서 설명한 방법들을 아래에 요약해놓았다:

- 1) 임의의 바이어스 조건에서 초기값들 ( $B_{NB}$

- $GBW_A$ ,  $\alpha$ ,  $\beta$ ,  $V_{eff}$ ,  $\gamma(C_d/C_{gs})$ ,  $\tau$ ) 설정한다.
- 초기값들과 식 (2)를 이용한 최대이득 결정한다.
- 식 (2)에  $R_F$  의한 결정한다.
- 잡음 최적화에 의한 트랜지스터 사이즈 결정한다.
- 식 (9)에 의해서 부하 저항 ( $R_D$ )을 결정한다.
- 5단계 과정에 의해 설계 변수값을 추출한 후 1~5 과정을 설계 변수값들이 수렴할 때까지 반복 수행한다.

지금까지 잡음최적화를 이용한 광전단증폭기의 자동 설계방법 설명을 위해서 공통소스구조의 증폭기설계에 적용 경우를 사용하여 서술하였다. 다음 섹션에서 서술한 전류모드 공통게이트 트랜스임피던스 증폭기 설계의 경우에는 설계변수 결정과정이 좀 더 복잡하게 된다.

### III. 제안하는 트랜스임피던스 증폭기 설계

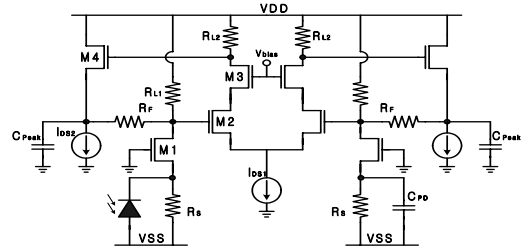


그림 2. 제안하는 전류모드의 공통게이트 트랜스임피던스 증폭기  
Fig. 2 Proposed current-mode Common Gate transimpedance Amplifier

#### A. 전류모드 트랜스임피던스 증폭기

그림 2에 제안하는 전류모드 공통게이트 트랜스임피던스 증폭기의 간략한 회로도를 나타내었다. 이 회로는 입력단인 공통 게이트(M1)과 캐스코우드 증폭기(M2, M3), 공통 드레인(voltage follower(M4)), 그리고 뒤에서 설명할 대역폭 확장을 위한 피킹 커패시턴스로 구성이 된다. 이 회로의 특징은 높은 동작대역폭과 높은 트랜스임피던스 이득을 동시에 얻을 수가 있다는데 있다.

이 회로의 설계변수들을 결정하기 위해서 앞의 섹션에서 서술된 잡음 최적화 과정을 적용하면 M1의 소스에서는  $C_{PD}=C_{gs1}+C_{sl}$ 을 만족하여야 하고 M2의 게이트 노드(gate node)에서는  $C_{d1}+C_{gd1}=C_{gs2}+C_{gd2}$ 를 만족해야 할 것이다. 우선 M1의 사이즈의 경우  $C_{PD}=C_{gs1}+C_{gd1}$ 을 만족해야 했던 기존의 TIA와 비교하여  $C_s$ 가  $C_{gd}$ 보다 훨씬 크기 때문에, 전류모드 트랜스임피던스 증폭기 설계의 경우에는 공통소스보다 적은 사이즈에서 잡음이 최적화된다. 채널 영역의 기생 커패시턴스에 의해서  $C_s$ 가  $C_d$ 보다 크므로 M2의 경우에는 훨씬 더 작은 M2의 사이즈에서 잡음이 최적화된다. 이러한 이유로 인하여 높은 대역폭과 높은 이득을 얻을 수가 있게 되는 것이다. 또한 제안하는 트랜스임피던스 증폭기의 경우에는 주요 극점(dominant pole)이  $C_{PD}$ 에 의해서 결정되는 기존의 공통소스 트랜스임피던스 증폭기와는 달리 M2의 게이트 노드에서 결정되기 때문에  $f_{TIA}$ 가  $C_{PD}$ 에 민감하지 않다는 장점도 있다. 하지만 기존의 공통소스 트랜스임피던스 증폭기에 비해서  $R_S$ ,  $R_{L1}$ , M1에 의한 열 잡음들이 추가되기 때문에 광전단증폭기의 감응도(Sensitivity)가 저하될 수도 있다. 그러나 기존의 공통소스 광전단증폭기의 경우  $R_F$ 가 1kΩ정도의 크기를 가지므로 세 저항  $R_S$ ,  $R_{L1}$ ,  $R_F$ 가 모두 3kΩ보다 크게만 설계된다면 추가된 저항의 열잡음에 의한 감응도의 저하는 일어나지 않을 것이다. 이 때문에  $R_S$ 를 처음부터 3.5kΩ으로 결정하고 최적화를 시도하였다. 실제로도  $R_{L1}$ ,  $R_F$  또한 2.5~4.0kΩ의 사이에서 결정이 되기 때문에 추가된 저항에 의해서는 감응도의 저하는 막을 수 있었다. 하지만 M1의 채널 열 잡음의 경우에는 경우에 따라 심각해 질 수가 있다. 만약 그림2의 M1의 소스 노드에서의 극점(pole)이  $B_{NB}$ 에 비해서 매우 크다면 M1의 채널 열 잡음의 영향이 거의 없는 설계가 가능하게 된다. 하지만 이것을 만족시키지 못할 경우에는 M1의 채널 열 잡음에 의한 감응도의 저하가 매우 심각하게 발생하게 된다.

제안하는 전류모드 광전단증폭기의 설계에서는

$B_{NB}$ 가 3.0~4.0GHz정도이므로 적어도 M1의 소스 노드에서의 극점이 적어도 10GHz가 되어야할 것이다. 그러나 본 설계에서 사용된 CMOS 공정의  $f_T$ 는 이것을 제공할 정도로 크지 못하기 때문에 M1에 의한 입력 잡음의 증가는 어쩔 수가 없게 된다. 하지만 이 영향을 조금은 줄이기 위해서 M1의 소스 노드에서의 극점이  $B_{NB}$ 보다는 큰 4.0~5.0GHz이 되도록 설계를 하였다.

### B. 잡음 최적화

제안하는 전류모드 공통게이트 광전단증폭기의 잡음 최적화를 위해서 우선 입력 잡음전류 주파수밀도와 증폭기의 대역폭을 보면 식 (10), 식 (11)과 같다.

$$dI_{in}(f) = \frac{4kT}{R_S} + \frac{4kT}{R_F // R_{L1}} + (2\pi f)^2 \frac{8kT}{3g_{m1}(1+\chi_1)^2} (C_{sl} + C_{gs1} + C_{PD})^2 + (2\pi f)^2 \frac{8kT}{3g_{m2}} (C_{d1} + C_{gd1} + C_{gs2} + C_{gd2})^2$$

$$w_{TIA} = \frac{1}{\left(\frac{R_{L1}}{R_F} // \frac{R_F}{(1+A)}\right) (C_{d1} + C_{gd1} + C_{gs2} + (1+A)C_{gd2})} \quad (11)$$

식 (10)의 잡음전류밀도 식의 첫 번째, 두 번째 항은  $R_S$ ,  $R_F$ ,  $R_{L1}$ 의 열 열 잡음의 영향이고 세 번째, 네 번째 항은 M1/M2의 열 잡음의 영향이다. 전류모드 공통게이트구조의 광 전단증폭기의 경우에는 사이즈를 결정해야 트랜지스터가 M1/M2/M3이기 때문에 앞 섹션의 트랜지스터 개수가 적은 공통소스 트랜스임피던스 증폭기의 설계과정과는 약간의 차이가 있게 된다. 우선 식 (10)에서  $C_{d1}+C_{gd1}$ 가 일정한 값이라고 가정하면  $R_S$ 가 주파수에 무관하게 고정된 것이므로 식 (11)을 식 (10)에 대입하면 다음과 같은 잡음 최적화결과를 얻을 수 있다.

$$C_{gs2} = X_{opt}(C_{gs1} + C_{db1})$$

$$X_{opt} = \frac{1}{\sqrt{\left( (\alpha_2 + \beta_2)^2 + \frac{g}{2} \frac{1}{2\pi} \tau_2 V_{eff} \frac{f_{TMA}}{B_{NB}^2} \frac{\alpha_2 + (1+A)\beta_2}{A'} \right)}} \quad (12)$$

where  $A' = (R_{L1} // R_F) / \left( R_{L1} // \frac{R_F}{1+A} \right)$

Section II에서와 마찬가지로 식 (12)와 최대 전압이득의 결정에 의해서 M2, M3의 사이즈와  $R_F$ ,  $R_{L2}$ 이 결정이 된다. 그러므로 남은 설계변수는 M1의 사이즈와  $R_{L1}$ 값이다. 먼저 M1의 크기를 결정하는 데는 또한번의 잡음 최적화조건을 찾아야 한다. 이 과정은 먼저 식(12)를 이용하여  $C_{gs2}$ 를  $C_{gs1}$ 으로 변환 후 식 (10)을 까지 적분한다. 이것을  $C_{gs1}$ 에 대해서 미분함으로써 최소 잡음발생 조건을 얻을 수가 있다. 그때의 결과를 식 (13)에 나타냈다.

$$C_{gs1} = \frac{1}{\sqrt{(1+\eta_1)^2 + b + c}} = X_{opt} C_{PD}$$

$$b = \frac{g}{2} \frac{1 + X_{opt}(\alpha_2 + (1+A)\beta_2)}{A'} (1 + \chi_1)^2 (\eta_1 + \beta_1) \tau_1 V_{eff} \frac{f_{TMA}}{B_{NB}^2 2\pi}$$

$$c = (\eta_1 + \beta_1)(1 + X_{opt}(\alpha_2 + \beta_2))^2 \frac{\tau_1 V_{eff}(1 + \chi_1)^2}{\tau_2 V_{eff} X_{opt}}$$

(13)

이제 식 (13)에 의해서 M1의 사이즈가 구해지면 M2 사이즈  $R_F$ ,  $R_{L2}$  등에 의해서 계산되는 M1의 게이트 전압을 이용하여 을 결정할 수 있다. 따라서 제안된 전류모드 공통게이트형 광전단증폭기 설계방법에서 모든 설계변수를 결정할 수 있게 됐다. 앞에서 설명한 방법들을 아래에 요약해 놓았다:

- 1) 초기  $C_{dl} + C_{gs1}$  값 와 M1/M2의 사이즈 초기값 설정.
- 2) 위상 여유 조건에 의해서 최대 전압이득 결정.
- 3) 식 (11)에 의한  $R_F$  결정.
- 4) 식 (12)에 의한 M2/ $R_{L2}$ 결정.
- 5) M2와  $R_F$ ,  $R_{L2}$ 가 결정된 상태에서 M2의 회로성분 추출.
- 6) 식 (13)에 의한 M1/ $R_{L1}$ 결정.

- 7) M1의 회로 추출 후 step 2)부터 step 6)까지 과정을 모든 설계변수들이 수렴할 때까지 반복.

### C. 커패시턴스 피킹(Capacitive peaking) 기술

광전단증폭기 설계에서는 높은 데이터 전송률이 요구되어 지기 때문에 광전단증폭기의 대역폭을 늘려주기 위한 연구가 끊임없이 계속되어 왔다. 이러한 광전단증폭기의 대역폭을 늘려주기 위한 방법으로 주로 사용되어지는 것으로 주로 인덕터나 커패시터를 통한 피킹 기술이 사용되어져 왔다. 본 논문에서는 인덕터 내부의 기생성분(R, C)으로 인하여 대역폭이 감소하고 구현하기가 쉽지 않은 인덕터(inductive 피킹)[6,10,11]과는 달리, 구현이 쉽고 또한 최적화 설계과정 또한 간단하며, 구현시 인덕터에 비해서 크기가 작기 때문에 기생 성분이 줄어 기생 성분에 의한 영향이 적은 커패시티브 피킹을 적용하였다[3]. 그리고 제안하는 광전단증폭기에서는 반복 시뮬레이션과정을 통한 최적화된 설계변수를 찾기 위해서 증폭기의 극점(pole)이 실수(real)이어야 하기 때문에 최적화된 위상마진을 가지지 못하게 된다. 구현시 목표로 하는 위상마진은 80도 이상이다. 그러나 커패시터를 변화시키면서 피킹을 발생시키는 커패시티브 피킹을 사용하므로 향상된 위상마진을 가지는 광전단증폭기를 설계할 수 있게 된다.

### IV. 시뮬레이션 결과

그림3은 제안하는 광 전단증폭기의 트랜스임피던스 이득 대비 주파수를 커패시턴스비율이

0.3pF  $C_{PD}/0.10pF C_{Peak}$ 를 나타내었다. 앞에서 서술한 최적설계변수를 찾은 다음 피킹 커패시턴스를 0.0pF부터 1.0pF 사이 값을 이용하여 시뮬레이션 결과, 피킹 커패시턴스 값을 증가시킴에 따라 3dB값이 증가하다가 감소하는 형태를 보였다. 최대 대역폭변동은 100MHz 미만 이었다. 증폭기 구조에 따라 최대 3dB 주파수를 나타내는 피킹커패시턴스 값이 다르게 나타났다. 0.1pF의 피킹커패시턴스를 적용하였을 때 세가지 구조에 대한 결과비교를 그림3에서 보였다. 제안하는 전류모드 공통게이트형구조의 경우 1.57GHz의

3dB 대역폭과  $2.34\Omega$  ( $67.4dB\Omega$ )의 결과를 얻을 수 있었다. 피킹 커패시턴스 없을 경우 대역폭은 1.50GHz로 나타났다. 설계1과 설계2는 기존의 공통소스형 트랜스임피던스 회로의 결과이다. 그림에서 보였듯이 제안된 회로의 이득이 가장 좋다. 3dB 대역폭은 기존구조가 약간 좋게 나타난 것은 제안된 회로가 더 많은 극점(pole)을 가지기 때문이다. 그러나 성능지수인 이득대역폭곱(Gain-Bandwidth Product)은 제안한 회로가 제일 나은 특성을 보인다. 시뮬레이션은 50 $\Omega$ 저항에 1pF출력을 구동하는 조건으로 수행되었다.

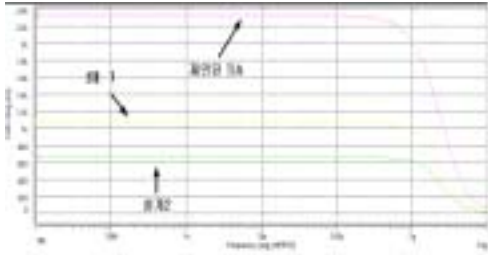


그림 3. 트랜스임피던스 이득 대비 주파수 시뮬레이션 결과

Fig 3 Simulated transimpedance gain vs frequency

표1. 성능요약(시뮬레이션)

Table 1 Performance Summary (Simulated)

Transimpedance 이득	2.34K $\Omega$ (67.4dB $\Omega$ )
입력 잡음 전류밀도	470nA
입력 잡음 주파수밀도	6.13pA/ $\sqrt{Hz}$ at 10MHz
최대 입력 전류	1mA
3dB 대역폭	1.57GHz
$C_{PD}$	0.3pF
피킹 커패시턴스( $C_{peak}$ )	0.10pF
$R_F$	4.149K $\Omega$
전력소모	16.84mW
$TZ^* f_{TIA}$	3.67THz
공정	0.35 $\mu m$ CMOS

그림 4는 제안하는 광전단증폭기의 등가 입력에 의한 전류 잡음 주파수밀도의 시뮬레이션 결과를 나타내었다. 그때의 입력 잡음 전류 주파수밀도는 10MHz에서  $6.13pA/\sqrt{Hz}$ 이었고 입력 잡음전류는 470nA이었다. 실제 구현시 측정을 위하여 내부의 서로 다른 세가지 전류를 가지는 회로를 이용하여 입력 전류신호를 제공하였다. 표 1에 제안한 회로의 성능을 요약하였다.

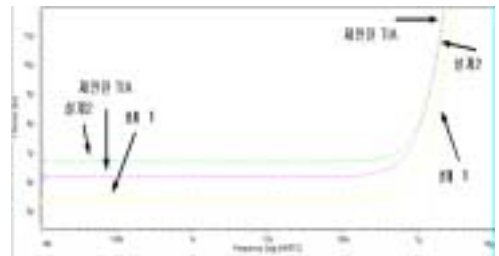


그림 4. 입력 전류 잡음 밀도

Fig. 4 Input current noise density

## V. 결론

본 논문은 반복 시뮬레이션 과정을 통한 새로운 잡음 최적화방법에 의해서 설계변수들이 최적화되고 커패시터 피킹을 통한 대역폭을 증가된 광전단증폭기 설계과정을 보였다. 이러한 설계과정을 기초로 0.35um CMOS 공정을 이용하여 입력 잡음 전류 470nA를 가지고 2.5Gbps의 속도를 갖고  $2.34\Omega$ 의 트랜스임피던스 이득을 가지는 광전단증폭기를 설계하였다.

## VI. 감사의 글

본 연구에 사용된 CAD Tool을 지원을 해준 IDEC에 감사 드립니다.

## 참고 문헌

- [1] Tongtod Vanisri and Chris Toumazou, "Integrated High Frequency Low Noise Current Mode Optical Transimpedance Preamplifier : Theory and Practice", IEEE JSSC vol.30,

pp.677-685, July. 1995

[2] S. M. Park and C. Toumazou, "Gigahertz Low Noise CMOS Transimpedance Amplifier" IEEE sym.on Circuit and System, pp.209-215, June. 1997

[3] Feng-Tso Chien and. Yi-Jen Chan, "Bandwidth Enhancement of Transimpedance Amplifier by Capacitive-Peaking Design", IEEE JSSC vol.34, pp.1167-1170, Aug. 1999

[4] Menachem Abraham, "Design of Butterworth-Type Transimpedance and Bootstrap-Transimpedance Preamplifiers for Fiber-Optic Receiver", IEEE Tran. on Circuit and System vol.29, pp.375-372, June. 1982

[5] Akira Tanabe, etc. "A Single-Chip 2.4Gb/s CMOS Optical Receiver IC with Low Substrate Cross-talk Preamplifier", IEEE JSSC vol.33, pp.2148-2153, Dec. 1998

[6] H. H. Kim, etc. "A Si BiCMOS Transimpedance Amplifier for 10Gb SONET Receiver", Symposium on VLSI Circuit Digest of Technical Paper, 2000.

[7] Analog Integrated Circuit Design, WILEY, 1997

[8] Analysis and Design of Analog Integrated Circuits, WILEY, 1997

[9] A. A. Abidi, "On the choise of optimum FET size in wide-band transimpedance amplifier", J. Lightwave Technol. vol.6, pp.64-66, Jan. 1988.

[10] Thomas H. Lee, etc, "A 2.125 Gbp/s 1.6k $\Omega$  Transimpedance Preamplifier in 0.5 $\mu$ m CMOS" IEEE CICC, pp.513-516, May. 1999.

[11] James J. Morikuni, etc, "An analysis of inductive peaking in photoreceiver design", J. Lightwave Technol. vol.10, No. 10, Oct. 1992.

[12] Norio Ohkawa, etc, "Fiber-Optic Multigigabit GaAs MIC Front-End Circuit with Inductive Peaking", J. Lightwave Technol. vol.23, No.6, Dec. 1988.

[13] Thomas H. Lee, etc, "Bandwidth Extension in

CMOS with Optimized On-Chip Inductors", IEEE JSSC vol.35, pp.346- 355, Mar. 2000

저 자 소 개

黃容熙 (學生會員)



2000년 인하대학교  
전자.전기.컴퓨터공학부 졸업  
2002년 인하대학교  
전자.전기컴퓨터공학부  
석사졸업. 현재 텔레칩스 주임  
관심분야 : 혼성모드 회로 설계,  
VLSI, 광 증폭기

姜晋球 (正會員)



1983 서울대학교 공학사.  
1990 New Jersey Institute of  
Technology 전자공학 석사,  
1996 North Carolina State  
University, 전자 및 컴퓨터공학  
박사. 1983-1988 삼성반도체,  
1996-1997 미국 INTEL선임  
설계 연구원. 1997. 3월 - 현재 인하대학교 공학부  
전자전기부교수  
관심분야: 고속 CMOS회로설계, 혼합모드 회로설계,  
통신용회로설계