

디지털 방식의 이득조절 기능을 갖는 CMOS VGA를 위한 새로운 가변 축퇴 저항

A New Variable Degeneration Resistor for Digitally Programmable CMOS VGA

權 德 起*, 朴 鍾 泰*, 劉 宗 根*

Duck-Ki Kwon*, Jong-Tae Park*, Chong-Gun Yu*

요 약

디지털 신호에 의해 이득이 조절되는 CMOS VGA의 구조로는 축퇴된 차동쌍 구조가 많이 사용되고 있다. 이 구조에서 가변 축퇴 저항을 구현하기 위해 기존에 사용되던 방법으로는 MOSFET 스위치와 함께 저항열 구조를 사용하는 방법과 R-2R 사다리 구조를 사용하는 방법이 있다. 그러나 이 방법들을 이용하는 경우에는 축퇴 저항에서의 dc 전압 강하에 의해 저전압 동작이 어려우며, 높은 이득 설정시 대역폭이 크게 제한되기 때문에 고속의 VGA 구현이 어렵다. 따라서, 본 논문에서는 이러한 문제점들을 해결하기 위해 축퇴 저항에서의 dc 전압 강하를 제거한 새로운 가변 축퇴 저항을 제안하였다. 제안된 이득조절 방법을 사용하면, 저전압에서 고속의 VGA 구현이 용이해 진다. 기존의 이득조절 방법들의 문제점과 제안된 이득조절 방법의 원리 및 장점 그리고 기존의 방법들과 성능 비교에 대해 자세히 언급하였다. 또한, 제안된 축퇴 저항을 사용하여 VGA 셀을 설계한 결과 -12dB에서 +12dB까지 6dB 단계의 이득 조절 범위에서 3dB 대역폭은 650MHz 보다 크고, 이득오차는 0.3dB 보다 작으며, 2.5V 전원에서 3.1mA의 전류소모 특성을 보였다.

Abstract

A degenerated differential pair has been widely used as a standard topology for digitally programmable CMOS VGAs. A variable degeneration resistor has been implemented using a resistor string or R-2R ladder with MOSFET switches. However, in the VGAs using these conventional methods, low-voltage and high-speed operation is very hard to achieve due to the dc voltage drop over the degeneration resistor. To overcome the problem a new variable degeneration resistor is proposed where the dc voltage drop is almost removed. The proposed gain control scheme makes it easy to implement a low-voltage and high-speed VGA. This paper describes the problems existed in conventional methods, the principle and advantages of the proposed scheme, and their performance comparison in detail. A CMOS VGA cell is designed using the proposed degeneration resistor. The 3dB bandwidths are greater than 650MHz and the gain errors are less than 0.3dB in a gain control range from -12dB to +12dB in 6dB steps. It consumes 3.1mA from a 2.5V supply voltage.

Keyword: CMOS VGA, 축퇴된 차동쌍, 가변 축퇴 저항, g_m -boosting 증폭기

* 仁川大學校 電子工學科

(Department of EE, Incheon Univ..)

接受日: 2003年 3月 12日, 修正完了日: 2003年 7月 4日

※ 본 연구는 인천대학교 멀티미디어 연구센터의 RRC 과제지원과 IDEC 지원에 의해 일부 수행되었음.

I. 서론

AGC (Automatic Gain Control) 회로는 전체 시스템의 다이내믹 범위(dynamic range)를 극대화시키기 위해 필수적으로 사용되며, VGA (Variable Gain Amplifier)는 AGC를 구현하기 위한 핵심 부품이다. VGA는 디스크 드라이브 (disk drive)^{[11],[2]}, 보청기 (hearing aids)^[3], 광 수신기 (optical-fiber receiver)^[4], 무선 통신 시스템 (wireless communication systems)^[5-7] 등 다양한 응용분야에 광범위하게 사용되고 있다.

VGA는 이득 조절 신호의 유형에 따라 디지털 방식^[6-11]과 아날로그 방식^[12-17]으로 구분된다. 최근 AGC는 같은 칩(chip)의 디지털부(DSP)로부터 조절을 받는 방식으로 피드백루프(feedback loop)를 많이 구현하기 때문에, 이런 경우에는 디지털 데이터에 의해 이득이 조절되는 디지털 방식의 VGA가 적합하다. 아날로그 방식은 하나의 아날로그 신호에 의해 이득이 조절되는 방식으로, 위와 같은 AGC 루프를 구현하기 위해서는 ADC와 같은 추가적인 회로가 필요하다는 단점이 있다.

다양한 VGA 구조 중에 가장 기본적으로 많이 사용되고 있는 구조는 축퇴된(degenerated) 차동 쌍(differential pair) 구조이다. 이 구조는 회로가 간단하며, 고주파 동작 특성이 좋다는 장점을 갖는다. 이 구조에서 디지털 방식으로 이득을 조절하는 방법으로는 부하(load) 저항을 조절하는 방법^[7,8]과 축퇴(degeneration) 저항을 조절하는 방법^[9,10]이 있다. 부하 저항을 조절하는 방법은 넓은 이득 조절 범위가 가능하지만, 이득에 따라 대역폭이 변하며 높은 이득일수록 대역폭이 감소한다는 단점이 있다. 축퇴 저항을 조절하는 방법은 이득 조절 범위는 대체로 작지만, 전체 이득 범위에서 거의 일정한 대역폭을 얻을 수 있다는 장점이 있다.

가변(variable) 축퇴 저항을 구현하기 위해 기존에 사용되던 방법으로는 저항열(resistor string) 구조^[10]를 사용하는 방법과 R-2R 사다리(ladder) 구조^[9]를 사용하는 방법이 있다. 그러나 이 방법들을 이용한 VGA는 축퇴 저항에서의 dc 전압 강하 때문에 저전압 동작이 어려우며, 높은 이득 설정시 대역폭이 크게 제한된다. 또한, 입력 공통모드 전압 범위가 작으며, 고속의 VGA

구현시 이득의 정확도도 떨어진다는 단점이 있다.

따라서, 본 논문에서는 이러한 문제점들을 해결하기 위해 새로운 가변 축퇴 저항을 제안하였다. 제안된 이득조절 방법을 사용하면, 축퇴 저항에서의 dc 전압 강하가 거의 없기 때문에 저전압에서 고속의 VGA 구현이 용이해진다. 2장에서는 축퇴된 차동쌍을 이용한 VGA 셀(cell)의 구조에 대해 알아보고, 3장에서 기존의 이득조절 방법들과 이들의 문제점에 대해 자세히 알아본다. 4장에서는 먼저 제안된 이득조절 방법에 대해 알아보고 기존의 방법들과 성능 비교에 대해 언급한다. 마지막으로 5장에서 결론을 맺는다.

II. VGA 셀 구조

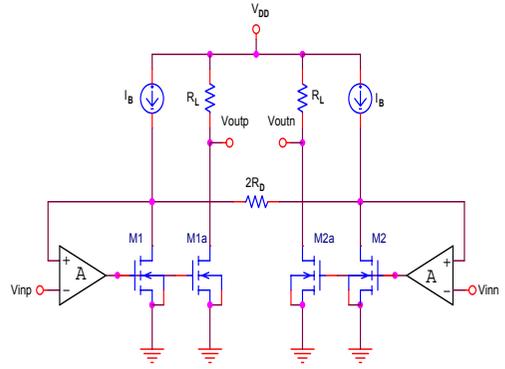
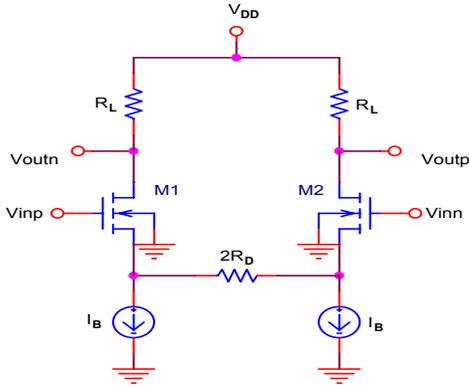
그림 1의 기본적인 축퇴된 차동쌍 구조의 VGA 셀에 대한 차동 전압 이득은 다음과 같다.

$$G = \frac{V_{outp} - V_{outn}}{V_{inp} - V_{inn}} = \frac{R_L}{R_D + \frac{1}{g_m}} \quad (1)$$

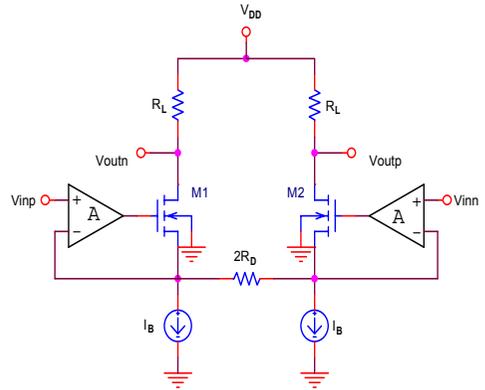
여기서 g_m 은 M1과 M2의 트랜스컨덕턴스이다. R_D 는 축퇴 저항이고 R_L 는 부하 저항이다. 이득의 정확도를 높이기 위해서는 이득이 저항 R_L 과 R_D 의 비(ratio)에 의해서만 결정되는 것이 바람직하다. 그러기 위해서는 $1/g_m \ll R_D$ 를 만족해야 하는데, 모든 경우에 이 조건을 충분히 만족시키기 어렵다. 특히 이득이 높은 경우 R_D 값이 작아야 하기 때문에 이득 오차는 증가하게 된다.

그림 1. 기본적인 축퇴된 차동 쌍 구조의 VGA 셀
Fig. 1 VGA cell using a basic degenerated differential pair

따라서 이득의 정확도와 범위를 향상시키기 위해서는 그림 2 또는 그림 3과 같이 g_m -boosting 증폭기



를 사용하는 방법이 있다^[18]. 그림 2에서 g_m -boosting 증폭기가 이상적이라면 입력전압이 축퇴 저항 $2R_D$ 에 전부 인가되고 R_D 에만 의존적인 전류가 R_L 에 공급되어 이상적인 이득 특성, R_L/R_D 을 얻게 된다. 그림 3의 VGA 셀 II에서도 마찬가지로 R_D 에만 의존적인 전류가 M1(M2)에 흐르게 되고, 이 전류가 M1a(M2a)에 복사되어 R_L 로 공급된다. VGA 셀 II가 VGA 셀 I보다 왜곡 특성이 좋으며^[18], R_D 값을 변화시키기 위한 스위치 기술을 적용할 수 있다는 장점을 갖는다^[9]. 그림 2와 3의 g_m -boosting 증폭기를 사용한 VGA의 이득은 다음과 같다.



VGA 셀 II의 이득 정확도는 g_m -boosting 증폭기

$$G = \frac{R_L}{R_D + \frac{1}{g_m A}} \quad (2)$$

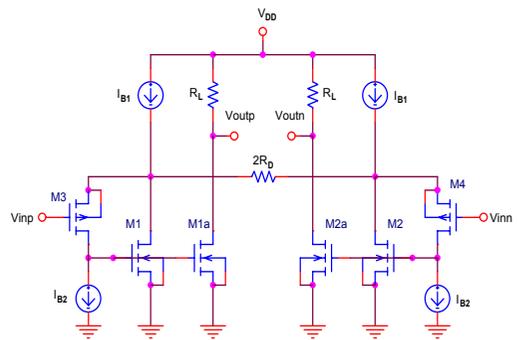
식 (1)의 g_m -boosting 증폭기를 사용하지 않은 경우에 비해 오차 항이 증폭기의 이득 A 만큼 감소하는 것을 알 수 있다.

그림 2. g_m -boosting 증폭기를 사용한 VGA 셀 I

Fig. 2 VGA cell I using g_m -boosting amplifiers

그림 3. g_m -boosting 증폭기를 사용한 VGA 셀 II

Fig. 3 VGA cell II using g_m -boosting amplifiers



$$G = \frac{R_L}{R_D + \left(\frac{R_D}{r_o} + \frac{R_D}{r_B} + 1 \right) / (g_m A)} \cdot \left(1 + \frac{R_D}{r_B} \right) \quad (3)$$

의

유한한 이득 A 뿐만 아니라, 바이어스 전류원의 내부 저항 r_B 와 M1의 출력 저항 r_o 에 의해서도 영향을 받는다. 이들을 고려한 경우 이득은 다음 식과 같다.

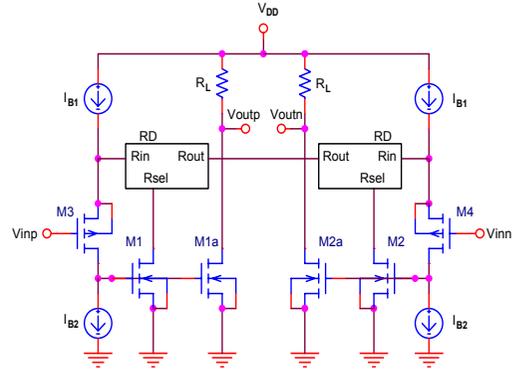
위 식에서 $r_B=r_o=\infty$ 일 때 식 (2)와 같아진다. VGA의 선형성을 제한하는 요인으로는 크게 두 가지로 볼 수 있다. 이득이 작은 경우는 R_D 값이 커져야 하므로 이득의 정확도는 r_o 와 r_B 값에 의해 영향을 받으며, 이득이 큰 경우에는 R_D 값이 작아야 하므로 g_m -boosting 증폭기의 이득 A 가 VGA 이득의 정확도를 좌우하게 된다. 즉, VGA의 낮은 이득 쪽의 선형성을 향상시키려면 r_o 와 r_B 값이 커야하며, 높은 이득 방향의 선형성을 향상시키려면 A 가 증가해야 한다.

PMOS 트랜지스터를 사용하여 간단하게 g_m -boosting 증폭기를 구현할 수 있다^[9]. 이 방법은 구현이 간단하고 추가적인 비용이 적게 든다는 장점은 있으나, 이득 A 가 작기 때문에 VGA의 다이내믹 범위가 14dB 정도로 작은 편이다. g_m -boosting 증폭기로 단일 단 cascode 증폭기를 사용한 경우^[10]는 이득이 크기 때문에 VGA의 다이내믹 범위가 36dB로 크게 향상되지만 추가적인 비용이 요구되며 고속 동작에 적합하지 않다.

그림 4에 g_m -boosting 증폭기로 PMOS 트랜지스터를 사용한 VGA 셀의 구조를 보였다. PMOS 트랜지스터 M3과 M4가 g_m -boosting 증폭기 역할을 한다. M1과 M2 그리고 M3와 M4가 매칭 되었다고 가정했을 때 전압 이득은 다음 식으로 주어진다.

$$G = \frac{R_L}{R_D + \frac{1}{g_{m1}(1+A)}} \cdot \frac{A}{1+A} \approx \frac{R_L}{R_D + \frac{1}{g_{m1}A}} \quad (4)$$

여기서 A 는 g_m -boosting 증폭기의 이득 $r_3 g_{m3}$



에 해당되며, r_3 은 M3의 드레인 단자에서 들여다 본 등가저항이다. A 가 1보다 상당히 크다면 이득은 이상적인 g_m -boosting 증폭기를 사용한 경우의 이득인 식 (2)와 같아지게 된다.

그림 4. PMOS 트랜지스터를 사용하여 g_m -boosting 증폭기를 구현한 VGA 셀

Fig. 4 VGA cell using PMOS transistors for g_m -boosting amplifiers

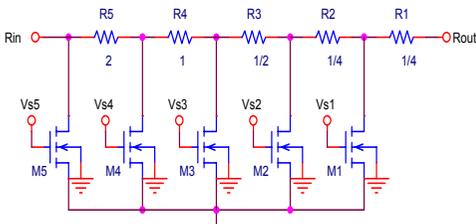
III. 기존의 이득조절 방법

축퇴 저항인 RD 값을 변화시켜서 VGA 셀 이득을 조절하는 방법으로는 그림 5에서와 같이 M1과 M2의 드레인 단자를 RD 블록의 'Rsel' 단자에 연결하여 이득을 조절하는 방법이 주로 사용된다. RD의 일부분, 즉 'Rsel' 단자와 'Rout' 단자에 연결된 부분만이 축퇴 저항으로 작용하기 때문에, 스위치를 사용하여 'Rsel' 단자의 위치를 변화시킴으로써 원하는 이득을 얻을 수 있다.

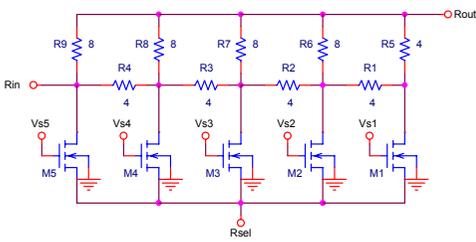
그림 5. VGA 셀의 이득 조절 방법

Fig. 5 Gain control scheme of a VGA cell

RD 블록을 구현하기 위해 기존에 사용된 방법으로는 그림 6의 (a)에서처럼 간단한 저항열(resistor string)과 스위치를 사용하는 방법^[10]과 그림 6의 (b)에서처럼 R-2R 사다리 구조를 사용하는 방법^[9]이 있다. 두 방법 모두 이득 조절 범위가 -12dB에서 +12dB까지 6dB 단계(step)인 경우에 대한 RD 블록을 나타내었다. 그림에서 저항 값들은 부하 저항 R_L 에 정규화된 값으로 표시하였다. 6dB 단계보다 세밀한 이득 조절을 위해서는, 저항열 구조의 경우 보다 세밀한 저항 값들을 사용함으로써 구현 가능하고, 사다리 구조의 경우에는 그림 7에서와 같이 보간된(interpolated) R-2R 사다리 구조^[9]를 사용하여 구현할 수 있다. 이득 조절 범위의 확대는 두 경우 모두 쉽게 가능하다. R-2R 사다리 구조를 사용하는 방법은 보간(interpolation) 법을 사용하여 세밀한 이득 조절을 쉽게 구현할 수 있다는 장점은 있으나, 저항열을 사용하는 방법에 비해 구조가 복잡하고 더 많은 저항과 더 큰 저항 값이 필요하다는 단점이 있다.



(a)



(b)

그림 6. 기존의 RD 블록 구조 (a) 저항열 (b) R-2R 사다리

Fig. 6 Conventional RD block structures (a) Resistor

string (b) R-2R ladder

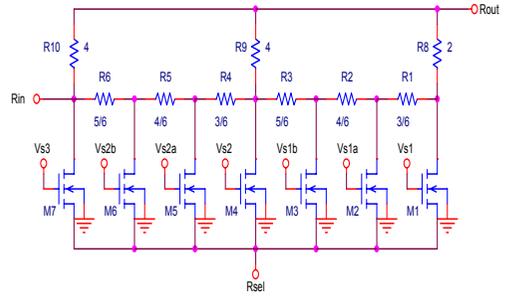
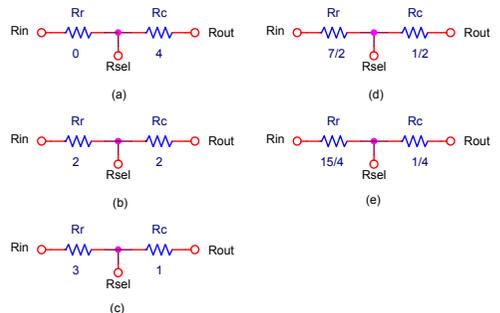


그림 7. 보간된 R-2R 사다리 (-6dB에서 +6dB까지, 2dB 단계)

Fig. 7 Interpolated R-2R ladder (-6dB to +6dB, 2dB step)

그림 6의 두 경우 모두 각각의 스위치 설정시 등가 회로는 그림 8과 같다. 여기서 R_r 는 각각의 이득 설정시 'Rin' 단자와 'Rout' 단자 사이의 등가 저항이고, R_c 는 'Rsel' 단자와 'Rout' 단자 사이의 등가저항이다. 전체 축퇴 저항 R_D 는 R_r 과 R_c 의 합이고, R_c 만이 실제 축퇴 저항으로 동작한다. V_{s5} 가 'high'가 되어 M5만 'on'이 되면 RD 블록의 등가회로는 그림 8의 (a)와 같게 되고, RD 저항 모두가 축퇴 저항으로 동작하게 된다. 따라서 VGA 셀의 이득은 $1/4(-12.04 \text{ dB})$ 가 된다. V_{s4} 가 'high'가 되어 M4만 'on'이 되면 그림



8의 (b)에서와 같이, RD 저항의 반만 축퇴 저항으로 동작하게 되고 이득은 $1/2(-6.02 \text{ dB})$ 가 된다. V_{s3} ,

V_{s2} , V_{s1} 이 'high'인 경우 각각의 이득은 1(0 dB), 2(+6.02 dB), 4(+12.04 dB)가 된다.

그림 8. 각각의 스위치 설정시 RD 블록의 등가회로

- (a) V_{s5} ='high' (b) V_{s4} ='high' (c) V_{s3} ='high' (d) V_{s2} ='high' (e) V_{s1} ='high'

Fig. 8 Equivalent circuit of the RD blocks at each switch setting (a) V_{s5} ='high' (b) V_{s4} ='high' (c) V_{s3} ='high' (d) V_{s2} ='high' (e) V_{s1} ='high'

V_{s3} ='high' (d) V_{s2} ='high' (e) V_{s1} ='high'

이와 같은 원리로 그림 5의 VGA 셀은 그림 9의 등가회로로 표시할 수 있다. 그림 9의 VGA 셀의 전압 이득은 다음 식과 같다.

$$G = \frac{R_L}{\frac{1}{g_{m1}A} + \left(\frac{R_D}{A} + R_c\right)} \quad (5)$$

식 (4)와 비교시 R_D/A 의 오차 향이 더 발생한 것을 알 수 있다. 이는 R_D 중 축퇴 저항으로 동작하는 부분인 R_c 를 제외한 나머지 저항 성분 R_r 에 기인한다. 요구되는 VGA의 낮은 쪽 이득이 작아지면 작아질수록 전체 축퇴 저항 R_D 값은 크게 설정 될 수밖에 없기 때문에 R_D/A 의 오차 향은 증가한다. 주어진 이득조절 범위에서는 이득 설정이 클 때 R_c 가 작아지기 때문에 오차 성분이 상대적으로 커진다. 또한, 큰 바이어스 전류를 사용하는 고속의 VGA의 경우 g_{m1} 은 증가하지만 A 는 감소하여 오차 성분은 증가하게 된다.

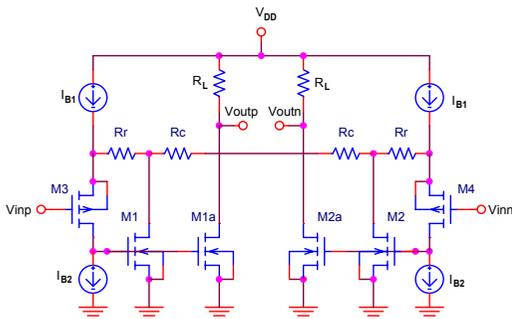
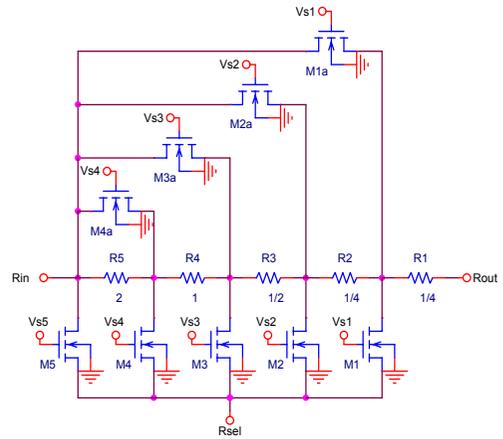


그림 9. 그림 5의 VGA 셀의 등가회로

Fig. 9 Equivalent circuit of the VGA cell in Fig. 5

이러한 문제점뿐만 아니라 그림 6의 RD 블록을 사용하는 경우는 두 가지 더 큰 문제점이 발생한다. 첫 번째는 R_r 에 인가되는 dc 전압강하에 의해 저전압 동작이 어려우며, 입력공통모드 범위(input common-mode range)가 제한된다는 것이고, 두 번째는 대역폭이 제한되어 고속 동작이 어렵다는 것이다.



$$V_{DD, \min} = (R_r + R_{sw})(I_{B1} - I_{B2}) + \Delta V_{IB1} + \Delta V_{M1} \quad (6)$$

그림 6(a)의 RD 블록을 사용한 경우 공급전원 전압의 최소값은 다음과 같다.

여기서, 우측의 첫 번째 항은 R_r 과 MOS 스위치의 온-저항, R_{sw} 에 인가되는 전압 성분이고, ΔV_{IB1} 과 ΔV_{M1} 은 각각 I_{B1} 으로 사용되는 MOS 트랜지스터와 M1의 포화(saturation) 전압이다. VGA의 이득 설정이 큰 경우, R_r 은 거의 R_D 에 가까운 큰 값을 갖기 때문에 첫 번째 항이 전원 전압의 최소값을 결정하는 중요한 요인이 된다. 따라서 저전압 동작을 위해서는 첫 번째 항을 감소시켜야 한다. R_r 또는 R_D 의 크기를 줄이는 방법은 비례적으로 부저항 R_L 의 크기를 줄여야하기 때문에, 출력신호의 swing 범위가 감소하고, 출력의 dc 레벨의 조정 필요성으로 전력소모의 증가와

같은 추가적인 비용이 요구된다. 따라서 R_r 의 크기를 줄이는데는 한계가 있다. ($I_{B1} - I_{B2}$)를 줄이는 방법은 M1의 바이어스 전류가 감소하고, g_{m1} 이 감소하게 된다. 이는 대역폭의 감소를 초래하고 VGA의 고속 동작에 제약이 된다.

2장에서 언급했듯이 이득의 정확도는 바이어스 전류원의 내부저항과 M1의 출력 저항에 의해서도 영향을 받기 때문에, 이들 저항을 증가시켜서 이득의 정확도를 향상시키기 위해서는 바이어스 전류원 I_{B1} 이나 M1을 cascode 구조로 구현해야 한다. Cascode 구조를 사용하는 경우 요구되는 포화전압 ΔV_{IB1} 와 ΔV_{M1} 는 증가하게 되고 저전압 동작은 더욱 어려워지게 된다.

그림 8(e)의 스위치 설정시 R_r 에 인가되는 전압은 $3.75R_L(I_{B1} - I_{B2})$ 이다.

예를 들어, $I_{B1} - I_{B2} = 300\mu A$, $R_L = 1k\Omega$, $\Delta V_{IB1} = \Delta V_{M1} = 0.65V$ 이고 스위치 저항에서의 전압강하를 무시한다면, $V_{DD, min}$ 은 $2.43V$ 가 된다. 이는 $300\mu A$ 보다 더 큰 바이어스 전류가 필요한 고속의 VGA를 얻기 위해서는 $2.43V$ 보다 훨씬 큰 전원전압이 필요하다는 것을 의미한다. 고속 특성을 얻기 위해서는 M1의 바이어스 전류 $I_{B1} - I_{B2}$ 가 증가해야 하고, 경우에 따라서는 포화전압도 증가해야 한다. 바이어스 전류가 증가하는데 포화전압이 일정하다면 트랜지스터의 크기가 커져야 하고, 결과적으로 기생 성분이 증가해서 고속 특성이 나빠지기 때문이다.

그림 6(b)의 RD 블록을 사용하는 경우는 상황이 더욱 심각해진다. 그림 8(e)의 스위치 설정시, ac 신호에 대해서는 R_r 이 $3.75R_L$ 이지만, R_{in} 과 R_{sel} 단자사이의 dc 전압 강하는 $6.172R_L(I_{B1} - I_{B2})$ 이다. 따라서, 위와 같은 조건에서의 최소 전원전압은 $3.15V$ 가 된다.

그림 6(a)의 RD 블록을 사용한 경우 입력공통모드 범위(ICMR)는 다음 식과 같다.

$$(R_r + R_{sw})(I_{B1} - I_{B2}) + \Delta V_{M1} - V_{SG3} \leq ICMR \leq V_{DD} - \Delta V_{IB1} - V_{SG3} \quad (7)$$

위 식에서 R_r 에 인가되는 전압에 의해 최소 ICMR이 제한되는 것을 알 수 있다. 그림 8(e)의 스위치 설정시 위의 조건을 이용하고 $V_{DD} = 2.5V$, $V_{SG3} = 0.65V$ 라고 가정한다면, 입력공통모드 범위는 $1.125V \leq ICMR \leq 1.2V$ 로 매우 작다.

또한, R_r 성분은 주변의 커패시터 성분과 함께 극점(pole)을 형성하여, VGA의 주파수 특성에 영향을 미친다. 이득 설정이 큰 경우 R_r 의 값은 커지기 때문에 R_r 에 기인한 극점은 낮은 주파수로 내려오게 되고, 결국 VGA의 대역폭을 제한하게 된다.

IV. 제안된 이득조절 방법

기존의 이득조절 방법이 가지고 있는 문제점들을 해결하기 위해 본 논문에서는 그림 10과 같은 새로운 RD 블록을 제안하였다. 기본 구조는 그림 6(a)의 저항 열 구조와 같으나, M1a~M4a의 스위치를 사용하여 각각의 이득 설정시 축퇴 저항으로 동작하지 않는 부분은 바이패스 시킴으로써 R_r 의 영향을 최소화할 수 있다. 스위치가 이상적이라고 가정하면 제안된 RD 블록을 사용했을 때의 이득은 다음 식과 같다.

$$G = \frac{R_L}{\frac{1}{g_{m1}A} + \left(\frac{1}{A} + 1\right)R_c} \approx \frac{R_L}{\frac{1}{g_{m1}A} + R_c} \quad (8)$$

따라서 식 (5)에서의 오차 성분 R_D/A 는 R_c/A 로 감소하고, R_D 중 필요한 부분만 이득 설정을 위한 회로 동작에 가담하게 된다.

그림 10. 본 논문에서 제안한 RD 블록

Fig. 10 Proposed RD block

기존의 RD 블록(그림 6)을 사용한 경우와 제안된 RD 블록을 사용한 경우에 대해, 식 (5)와 (8)를 이용하여 이득의 정확도를 계산한 결과를 그림 11에 보였다.

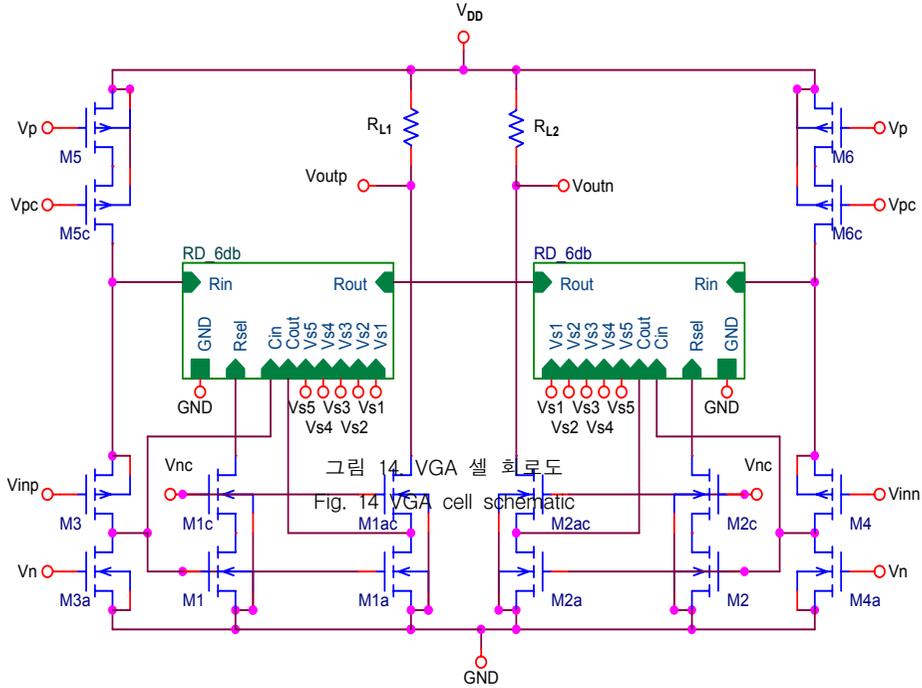
하게 된다. 포화전압과 게이트-소오스 전압이 각각

$\Delta V_{IB1} = \Delta V_{M1} = \Delta V_{M3} = 0.65\text{ V}$, $V_{SG3} = V_{GS1} = 0.65\text{ V}$ 로 일정하다고 가정하고, 식 (6), (9), (10)에 기초해서 바

$$ICMR+ = V_{DD} - \Delta V_{IB1} - V_{SG3}$$

$$ICMR- = \max\{[(R_r/R_{sw} + R_{sw})(I_{B1} - I_{B2}) + \Delta V_{M1} - V_{SG3}], [V_{GS1} - |V_{th3}|]\} \quad (11)$$

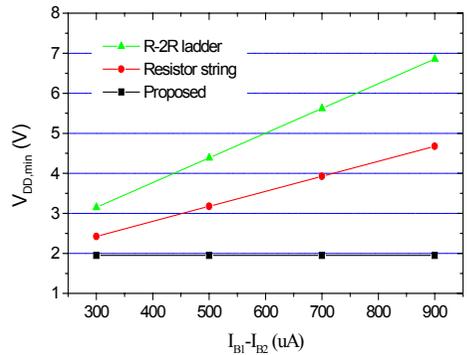
여기서 V_{th3} 는 M3의 문턱전압(threshold voltage)



이어서 전류의 변화에 대한 $V_{DD, \min}$ 의 계산치를 그림 13에 보였다. 기존의 RD 블록을 사용하면 $500\mu\text{A}$ 이상의 바이어스 전류에서는 3V 이하의 전원전압으로는 동작이 불가능하다.

그림 13. 바이어스 전류에 따른 최소 전원전압

Fig. 13 Minimum supply voltages versus bias current



제안된 RD 블록을 사용한 경우 $ICMR$ 은 다음 식과 같다. 의 상한 값은 식 (7)에서의 상한 값과 같으며, 하한 값은 다음 식으로 주어진다.

이다. 상한 값 $ICMR+$ 은 식 (7)에서의 상한 값과 같으나, 하한 값 $ICMR-$ 은 대략 0V 근처까지도 가능하다

다. 따라서 기존의 RD 블록을 사용하는 경우에 비해 넓은 *ICMR*을 제공한다.

또한, 제안된 RD 블록을 사용하는 경우는 R_f 성분이 $R_f//R_{sw}$ 로 작아지기 때문에 R_f 성분에 기인한 극점은 높은 주파수에 위치하게 되고, VGA의 대역폭은 크게 증가하게 된다.

*ICMR*과 대역폭 특성을 비교하기 위해 그림 14와 같이 VGA 셀을 구성하였다. 그림 5에서 M1 (M2)의 출력저항을 증가시키기 위해 M1, M1c (M2, M2c)로 구성된 cascode 구조를 사용하였으며, 바이어스 전류원 I_{B1} 또한 M5, M5c (M6, M6c)로 구성된 cascode 구조를 사용하여 출력저항을 향상시켰다. 바이어스 전류원 I_{B2} 는 M3a (M4a)로 구현하였다. 저전압 동작시의 특성을 알아보기 위해 V_{DD} 는 2.5V를 사용하였으며, 바이어스 전류 $I_{B1}-I_{B2}$ 는 300 μ A를 사용하였다. 그림 13에서 보듯이 2.5V의 전원에서는 R-2R 사다리 구조를 사용한 VGA는 동작하지 않기 때문에, 저항열을 사용한 경우만 제안된 회로와 특성을 비교하였다.

0.25 μ m CMOS 공정변수를 사용하여 SPICE 모의실험한 결과를 그림 15와 16에 보였다. 그림 15는 12dB 이득 설정시 입력 공통모드 전압 V_{CM} 이 0V에서 2V까지 변할 때, VGA의 이득 특성을 보여준다. 기존의 저항열 구조를 사용한 VGA의 경우 12dB의 이득을 유지하는 입력의 범위가 0.9V~1.2V로 매우 작은 반면, 제안된 RD 블록을 사용한 경우는 0.1V~1.3V로 기존의 저항열 구조를 사용한 경우에 비해 *ICMR*이 훨씬 크다. 그림 16의 파형은 12dB로 이득을 설정하고 출력단에 0.2pF의 부하 커패시턴스를 연결했을 때의 주파수 응답이다. 두 경우 모두 저주파에서는 12dB의 이득을 유지하나, 기존의 저항열 구조를 사용한 VGA의 경우 이득의 감소가 일찍 진행되어 3dB 대역폭이 65MHz로 제한되지만, 제안된 회로의 경우는 350MHz로 크게 확대된다. 따라서 제안된 RD 블록이 고속의 VGA를 구현하는데 적합함을 알 수 있다.

그림 15. *ICMR* 특성 비교

Fig. 15 *ICMR* comparison

그림 16. 3dB 대역폭 특성 비교

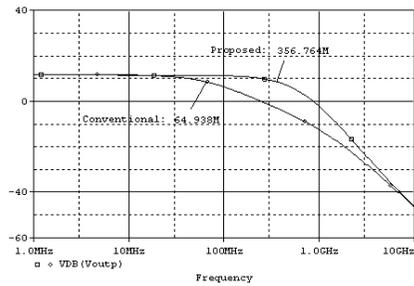
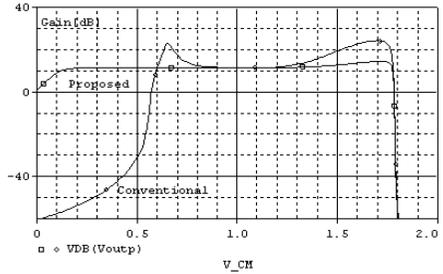


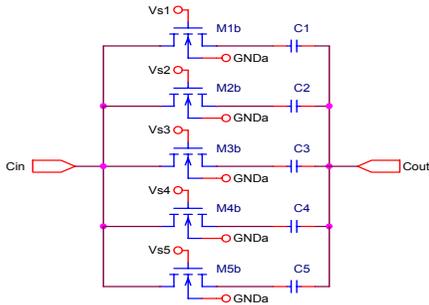
Fig. 16 3dB bandwidth comparison

좀 더 고속의 VGA를 구현하기 위해 바이어스 전류를 증가시키고 제안된 RD 블록을 사용하여 그림 14의 VGA 셀을 설계하였다. 전원전압은 2.5V를 부하저항 R_L 은 2k Ω 을 사용하고 바이어스 전류 $I_{B1}-I_{B2}$ 는 560 μ A를 사용하였다. 이러한 조건하에서는 기존의 RD 블록을 사용한 VGA는 동작하지 않는다. 그림 14의 RD 블록에서 'Cin'과 'Cout' 단자에는 주파수 특성을 보상하기 위해 커패시터가 연결된다. 각각의 이득 설정에 따라 요구되는 커패시터의 값이 다르기 때문에 그림 17과 같이 스위치를 사용하여 각각의 이득 설정에 따라 필요한 커패시터가 연결되도록 하였다.

출력단에 0.15pF의 부하 커패시턴스를 연결하고, 각각의 이득 설정시 주파수응답 특성을 모의실험한 결과를 그림 18에 보였다. 3dB 대역폭은 모든 이득설정에서 650MHz 보다 크며, 이득 오차는 0.3dB 보다 작다. 설계된 VGA 셀의 전류소모는 3.1mA@2.5V 이다.

그림 17. 주파수 보상용 커패시터 블록

Fig. 17 Capacitor block for frequency ompensation



	R5	R4	R3	R2	R1
R_L 에 정규화된 값	13/40	10/40	8/4	7/4	25/4
R_L 이 2kΩ일 때의 값(Ω)	650	500	400	35	1,25
오차(dB)	-0.05	-0.06	0	0.06	-0.08

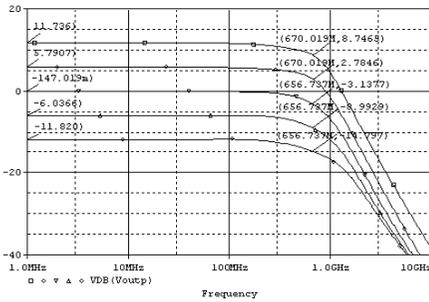


그림 18. 제안된 VGA 셀의 주파수 응답 특성

Fig. 18 Frequency responses of the proposed VGA cell

제안된 RD 블록의 이득 조절을 보다 세밀하게 하기 위해서는 저항 열의 저항 값들을 보다 정교하게 구현해야 한다. 예를 들어 -4dB에서 +4dB까지 2dB 단계으로 이득을 조절하기 위해서는 그림 10의 회로에서 저항 값들이 표 1과 같아야 한다. 부하저항 R_L 에 정규화된 값과 R_L 이 2kΩ일 때 요구되는 값들 그리고 각 스위치 설정시 이득오차를 표에 표시하였다. R_L 이 2kΩ일 때 요구되는 저항 값들의 해상도는 50Ω이며, 이 정도의 해상도는 layout 기법을 사용하여 어느 정도 정확하게 구현이 가능하다. 각 스위치 설정시 이득 오차는 0.1dB 보다 작은 것을 알 수 있다.

표 1. 2dB 단계의 이득 조절을 위한 저항 값

Table 1 Resistor values for gain control in 2dB step

V. 결론

본 논문에서 제안한 이득조절 방법을 사용하면, 기존의 방법을 사용하는 경우에 비해 다음과 같은 장점을 갖는다. 첫째, 축퇴 저항에서의 dc 전압 강하가 거의 없기 때문에 저전압 동작이 가능하며, 입력 공통모드 전압 범위가 크게 향상된다. 두 번째, 높은 이득 설정시 대역폭이 크게 향상되어, 넓은 이득조절 범위를 갖는 고속의 VGA 구현이 가능하다. 마지막으로, 고속 동작시 기존의 방법에 비해 이득의 정확도가 향상될 수 있다. 이와 같은 장점 때문에, 제안된 이득조절 방법은 저전압 동작이 필요한 고속의 CMOS VGA 구현에 유용하게 적용될 수 있다. 제안된 축퇴 저항을 사용하여 VGA 셀을 설계한 결과 -12dB에서 +12dB까지 6dB 단계의 이득 조절 범위에서 3dB 대역폭은 650MHz 보다 크고, 이득오차는 0.3dB 보다 작으며, 2.5V 전원에서 3.1mA의 전류소모 특성을 보였다.

참고 문헌

[1] R. Gomez and A. A. Abidi, "A 50-MHz CMOS variable gain amplifier for magnetic data storage systems," *IEEE Journal of Solid-State Circuits*, vol. 27, pp.935-939, June 1992.

- [2] R. Harjani, "A low-power CMOS VGA for 50 Mb/s disk drive read channels," *IEEE Transactions on Circuits and Systems II*, vol. 42 pp.370-376, June 1995.
- [3] W. A. Serdijn, A. C. van der woerd, W. J. Davidse, and A. H. M. van Roermund, "A Low-Voltage Low-Power Fully-Integratable Automatic Gain Control for Hearing Instruments," *IEEE Journal of Solid-State Circuits*, vol. 29, pp.943-946, August 1994.
- [4] T. H. Hu and P. R. Gray, "A Monolithic 480 Mb/s Parallel AGC/Decision/ Clock-Recovery Circuit in 1.2- μ m CMOS," *IEEE Journal of Solid-State Circuits*, vol. 28, pp.1314-1320, December 1993.
- [5] S. Tadjpour, F. Behbahani, and A. A. Abidi, "A CMOS variable gain amplifier for a wideband wireless receiver," *Symposium on VLSI Circuits*, pp. 86-89, 1998.
- [6] F. Piazza, P. Orsatti, Q. Huang, and H. Miyakawa, "A 2mA/3V 71MHz IF Amplifier in 0.4 μ m CMOS Programmable over 80dB Range," *ISSCC*, pp. 778-79, 1997.
- [7] M. A. I. Mostafa, S. H. K. Embabi, and M. A. I. Elmala, "A 60dB, 246MHz CMOS variable gain amplifier for subsampling GSM receivers," *International Symposium on Low Power Electronics and Design*, pp. 117-122, 2001.
- [8] M. Mostafa, H. Elwan, A. Bellaour, B. Kramer, and S. H. K. Embabi, "A 110 MHz 70 dB CMOS variable gain amplifier," *ISCAS '99*, vol. 2, pp. 628-631, 1999.
- [9] J. J. F. Rijns, "CMOS low-distortion high-frequency variable-gain amplifier," *IEEE Journal of Solid-State Circuits*, vol. 31, pp.1029-1034, July 1996.
- [10] D. K. Kwon, et al., "A CMOS VGA Cell with 36dB Gain Range," *2002 SOC Design Conference*, P1-15, 2002.
- [11] H. O. Elwan and M. Ismail, "Digitally programmable decibel-linear CMOS VGA for low-power mixed-signal applications," *IEEE Transactions on Circuits and Systems II*, vol. 47 pp.388-398, May 2000.
- [12] W. C. Song, C. J. Oh, G. H. Cho, and H. B. Jung, "High frequency/high dynamic range CMOS VGA," *Electronics Letters*, vol. 36, pp. 1096-1098, June 2000.
- [13] P. C. Huang, L. Y. Chiou, and C. K. Wang, "A 3.3-V CMOS wideband exponential control variable-gain-amplifier," *ISCAS '98*, vol. 1, pp. 285-288, 1998.
- [14] M. M. Green and S. Joshi, "A 1.5 V CMOS VGA based on pseudo-differential structures," *ISCAS 2000*, vol. 4, pp. 461-464, 2000.
- [15] T. Yamaji, N. Kanou, and T. Itakura, "A temperature stable CMOS variable gain amplifier with 80-dB linearly controlled gain range," *Symposium on VLSI Circuits*, pp. 77-80, 2001.
- [16] C.-C. Chang, M.-L. Lin, and S.-I. Liu, "CMOS current-mode exponential-control variable-gain amplifier," *Electronics Letters*, vol. 37, pp. 868-869, July 2001.
- [17] G. Chunbing and H. C. Luong, "A 70-MHz 70-dB-gain VGA with automatic continuous-time offset cancellation," *Proceedings of the 43rd IEEE Midwest Symposium on Circuits and Systems*, vol. 1, pp. 306-309, 2000.
- [18] S. D. Willingham, K. W. Martin, and A. Ganesan, "A BiCMOS Low-Distortion 8-MHz Low-Pass Filter," *IEEE Journal of Solid-State Circuits*, vol. 28, pp.1234-1245, December 1993.



[19] T. Cho, P. R. Gray, "A 10b 20Msamples/s, 35mW pipeline A/D converter" *IEEE J. of Solid-State Circuits*, vol. 30, no.3, pp.166-172, March 1995.



학과 Ph.D.
 1989. 9 ~ 1991. 8 : Texas A&M University 전기공학과 연구조교
 1994. 3 ~ 현재 : 인천대학교 전자공학과 부교수
 주관심분야 : CMOS Analog/Mixed-mode IC 설계, RF IC 설계

저 자 소 개

權德起(學生會員)

1988. 2 : 인천대학교 전자공학과 학사
 2000. 2 : 인천대학교 대학원 전자공학과 석사
 2001. 3 ~ 현재 : 인천대학교 대학원 전자공학과 박사과정
 주관심분야 : CMOS 아날로그/혼성모드 집적회로 설계, RF IC설계



林鍾泰(正會員)
 1981. 2 : 경북대학교 전자공학과 학사
 1983. 8 : 연세대학교 대학원 전자공학과 석사
 1987. 2 : 연세대학교 대학원 전자공학과 박사
 1983. 8 ~ 1985. 8 : 금성반도체(주) 연구소 연구원

1991. 1 ~ 1991. 12 : MIT Post Doc.
 2000. 7 ~ 2001. 8 : UC Davis 방문교수
 1987. 3 ~ 현재 : 인천대학교 전자공학과 교수
 주관심분야 : CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS

劉宗根(正會員)

1985. 2 : 연세대학교 전자공학과 학사
 1987. 2 : 연세대학교 대학원 전자공학과 석사
 1993. 12 : Iowa State University 전기 및 컴퓨터공

