

HSDPA 모뎀용 동기추적회로의 설계 및 성능분석

Design and Performance Analysis of Non-coherent Code Tracking Loops for HSDPA MODEM

양연실*, 박형래*

Yeon-Sil Yang* and Hyung-Rae Park*

요 약

본 논문에서는 3GPP HSDPA 모뎀용 비동기식 동기추적회로를 설계하고, 설계된 동기추적회로에 대하여 정상상태 지터 분산과 타이밍 에러의 과도응답 특성을 이론적으로 분석하였다. 우선 AWGN 환경에서의 지터 분산을 펄스성형 필터, 타이밍 오프셋, 신호 대 잡음비, 루프 대역폭에 대한 식으로 유도하였으며, 과도응답 특성 또한 이론적으로 해석하였다. 끝으로 설계된 동기추적회로의 성능을 컴퓨터 시뮬레이션을 통하여 확인하였다.

ABSTRACT

In this paper, a non-coherent code tracking loop is designed for 3GPP HSDPA MODEM and its performance is analyzed in terms of steady-state jitter variance and transient response characteristics. Analytical closed-form formula for steady-state jitter variance is first derived for AWGN environments as a function of pulse-shaping filter, timing offset, signal-to-interference ratio, and loop bandwidth. Also obtained is the transient response characteristic of a tracking loop. Finally, the performance of the designed tracking loop is confirmed by computer simulations.

Key words : code tracking, CDMA, HSDPA

1. 서 론

차세대 이동통신 서비스의 핵심은 인터넷 서비스를 포함한 고속 패킷 서비스라고 할 수 있으며, 현재 3GPP(third generation partnership project)에서 고속 패킷 전송을 위한 규격 (HSDPA : high speed downlink packet access)의 개발을 거의 완성한 단계에 있다[1]. 일반적으로 CDMA 시스템에서 동기

회로는 전체 시스템의 안정성과 성능을 좌우하는 가장 핵심이 되는 블록이라고 할 수 있다[2]. 동기회로는 크게 동기획득회로와 동기추적회로로 구별되며 본 논문에서는 동기추적회로에 대해 고찰한다. 동기획득 과정에 의해 송, 수신기 사이에 1 PN 칩의 오차 이내로 동기 획득이 이루어지면, 보다 정확한 동기를 위해 동기추적회로가 동작하게 되며 이 추적회로를 통해 지속적으로 송, 수신기 사이의 동기를 유지하게 된다. 동기추적회로는 일반적으로 DLL

* 한국항공대학교 전자·정보통신·컴퓨터 공학부(School of Electronics, Telecommunications and Computer Engineering, Hankuk Aviation University)

· 논문번호 : 2003-1-2

· 접수일자 : 2002년 12월 2일

(delay locked loop)방식의 비동기식 동기추적회로 (non-coherent code tracking loop)가 대표적으로 사용되나[2],[3], 파일럿 채널이 존재하는 WCDMA 시스템의 경우는 판정 궤환 동기식 동기추적회로 (decision-feedback coherent code tracking loop)도 사용될 수 있다[4]-[6]. 본 논문에서는 3GPP HSDPA 모델을 위한 비동기식 동기추적회로를 설계하고 설계된 동기추적회로에 대한 지터 분산(jitter variance)과 과도응답 특성(transient response characteristics)을 이론적으로 해석한다. 한편, HSDPA 모델의 경우 공통 파일럿채널(CPICH : common pilot channel)을 이용할 수 있으므로[1] 이 신호를 목표신호(target signal)로 설정하여 동기추적회로를 설계한다. 끝으로, 설계된 동기추적회로의 성능을 컴퓨터 시뮬레이션을 통해 검증한다.

II. 신호의 모델과 시스템 기술

2-1 신호 모델과 복조기 출력의 통계치 해석

WCDMA 순방향 링크에서 각 채널은 QPSK 데이터 변조와 복소 확산(complex spreading)의 변조 형태를 취하며 따라서, 기지국에서의 송신신호는 다음과 같이 표현할 수 있다[7].

$$\begin{aligned}
 s(t) = & \sum_{j=1}^{N_u} \sqrt{\frac{E_{c,t}^{(j)}}{2}} \left[d_I^{(j)}(t)c^{(j)}(t)s_I(t) - d_Q^{(j)}(t)c^{(j)}(t)s_Q(t) \right] \\
 & \times \cos(\omega_c t) \\
 & - \sum_{j=1}^{N_u} \sqrt{\frac{E_{c,t}^{(j)}}{2}} \left[d_I^{(j)}(t)c^{(j)}(t)s_Q(t) + d_Q^{(j)}(t)c^{(j)}(t)s_I(t) \right] \\
 & \times \sin(\omega_c t) \\
 & + \sqrt{\frac{E_{c,p}}{2}} \left[d_{pl}(t)s_I(t) - d_{pQ}(t)s_Q(t) \right] \cos(\omega_c t) \\
 & - \sqrt{\frac{E_{c,p}}{2}} \left[d_{pl}(t)s_Q(t) + d_{pQ}(t)s_I(t) \right] \sin(\omega_c t). \quad (1)
 \end{aligned}$$

위 식에서 $E_{c,t}^{(j)}$ 는 j 번째 가입자의 칩 당 에너지이고, $c^{(j)}(t)$ 는 j 번째 가입자의 채널코드이다. $s_I(t)$ 와 $s_Q(t)$ 는 I/Q 채널의 확산코드이고, $d_I^{(j)}(t)$ 와

$d_Q^{(j)}(t)$ 는 j 번째 가입자의 I/Q 채널 데이터이다. 또한, $E_{c,p}$ 는 파일럿 신호의 칩 당 에너지이고, $d_{pl}(t)$ 와 $d_{pQ}(t)$ 는 파일럿 신호의 I/Q 채널 심볼 패턴을 나타낸다. 따라서 단말기에서의 수신 신호는 다음의 식으로 표현할 수 있다.

$$\begin{aligned}
 r(t) = & \alpha \sum_{j=1}^{N_u} \sqrt{\frac{E_{c,t}^{(j)}}{2}} \left[d_I^{(j)}(t)c^{(j)}(t)s_I(t) - d_Q^{(j)}(t)c^{(j)}(t)s_Q(t) \right] \\
 & \times \cos(\omega_c t + \phi) \\
 & - \alpha \sum_{j=1}^{N_u} \sqrt{\frac{E_{c,t}^{(j)}}{2}} \left[d_I^{(j)}(t)c^{(j)}(t)s_Q(t) + d_Q^{(j)}(t)c^{(j)}(t)s_I(t) \right] \\
 & \times \sin(\omega_c t + \phi) \\
 & + \alpha \sqrt{\frac{E_{c,p}}{2}} \left[d_{pl}(t)s_I(t) - d_{pQ}(t)s_Q(t) \right] \cos(\omega_c t + \phi) \\
 & - \alpha \sqrt{\frac{E_{c,p}}{2}} \left[d_{pl}(t)s_Q(t) + d_{pQ}(t)s_I(t) \right] \sin(\omega_c t + \phi) \\
 & + n_I(t) \cos(\omega_c t) - n_Q(t) \sin(\omega_c t). \quad (2)
 \end{aligned}$$

위 식에서 $n_I(t)$ 와 $n_Q(t)$ 는 배경잡음에 의한 I/Q 채널 가우시안 노이즈 프로세스를 나타내며 분산은 각각 N_0 로 주어진다. 또한, α 와 ϕ 는 신호의 페이딩 포락선과 위상을 나타내며 N_u 는 사용자 수이다.

그림 1은 공통 파일럿 신호를 복조하기 위한 블록 다이어그램을 나타낸 것이다. 그림에서 타이밍 에러가 τ 인 경우의 I/Q 복조기 출력은 다음과 같다[3].

$$\begin{aligned}
 Y_I = & \alpha N \sqrt{E_{c,p}} R(\tau) \cos \phi + n_I \\
 Y_Q = & \alpha N \sqrt{E_{c,p}} R(\tau) \sin \phi + n_Q. \quad (3)
 \end{aligned}$$

위 식에서 $N = N_{SF} \cdot N_p$ 로 주어지며, 이때 N_{SF} 는 확산 계수, N_p 는 누적되는 파일럿 심볼의 수를 나타낸다. $R(t)$ 는 펄스성형 필터의 임펄스 응답과 정합 필터의 임펄스 응답의 컨벌루션이며 다음과 같이 쓸 수 있다[2].

$$R(t) \equiv h(t) * h(-t) = \int_{-\infty}^{\infty} |H(f)|^2 \cos(2\pi f t) df. \quad (4)$$

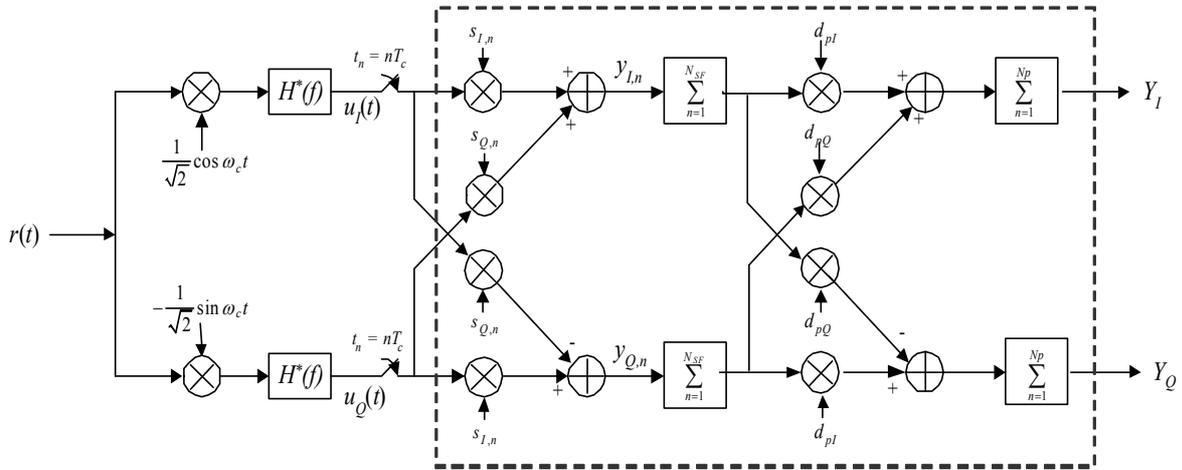


그림 1. 공통파일럿 신호를 복조하기 위한 블록 다이어그램
 Fig. 1. Block diagram for demodulation of CPICH.

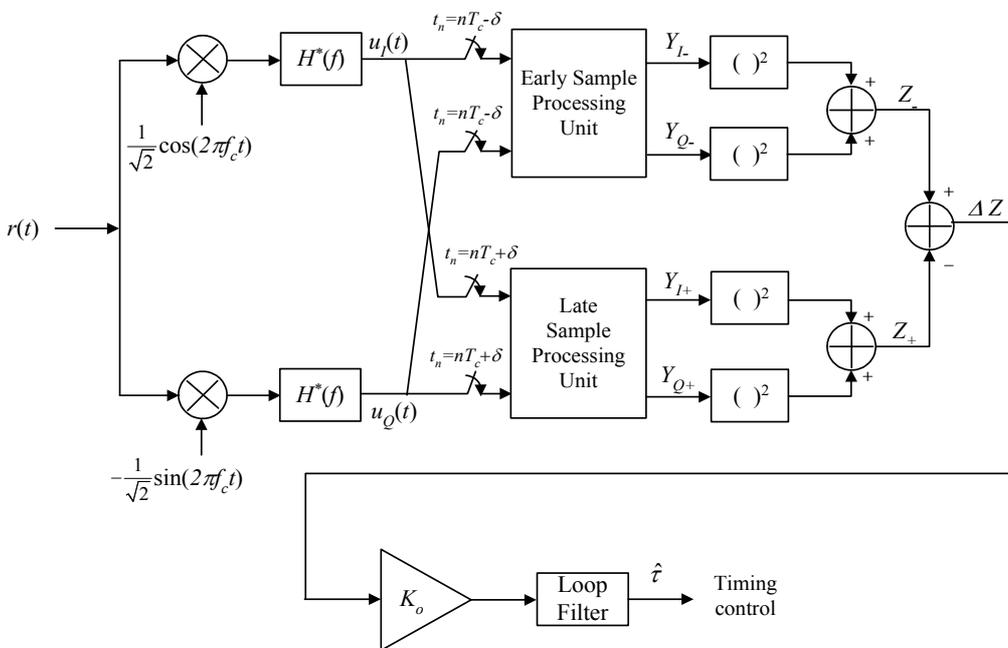


그림 2. 기저대역 동기추적회로의 기본 개념
 Fig. 2. Basic concept of baseband code tracking loop.

또한, 일반적으로 $R(0) = 1$ 로 정규화 할 수 있다. 식(3)에서 n_I 와 n_Q 는 배경 잡음, 칩간 간섭, 다른 사용자 간섭에 의한 I/Q 채널 잡음으로서 각각 독립적인 가우시안 랜덤 변수로 모델링 될 수 있으

며, 간섭의 분산은 다음과 같이 주어진다.

$$E[n_I^2] = E[n_Q^2] = NI_0/2. \quad (5)$$

이때 I_0 는 간섭전력밀도이다.

2-2 시스템 기술

그림 2는 기저대역 동기추적회로의 기본 개념을 나타낸 것이다. 그림에서 $Y_{I-}, Y_{Q-}, Y_{I+}, Y_{Q+}$ 는 전진 및 지연 샘플 처리기(early/late sample processor)의 I/Q 채널의 출력을 나타낸다. 또한 위의 그림에서 K_0 와 $\hat{\tau}$ 은 각각 VCO(voltage controlled oscillator)의 이득과 추정된 타이밍 에러를 나타내며, 전진 및 지연 샘플 처리기의 내부 구조는 그림 1에서 점선으로 표시된 블록과 동일하다.

수신된 신호는 먼저 기저대역으로 주파수 하향변환(frequency down-conversion)되며 신호 대 잡음비를 최대화 하기 위해 정합필터를 이용하여 저역 필터링 한다. I/Q 채널의 기저대역 신호는 일반적으로 8배로 샘플링 된다. 전진 또는 지연 샘플들은 I/Q 채널 PN 코드 생성기에서 발생시킨 PN 시퀀스와의 코릴레이션을 취함으로써 에러신호 ΔZ 를 생성한다. 이때 ΔZ 를 위상검출기 출력(phase detector output)이라고 하며 VCO 이득으로 크기 조절을 한 뒤 루프 필터를 통해 저역 필터링 된다. 루프 필터의 출력은 타이밍 에러의 추정 값에 해당하는데, 이 루프 필터의 출력에 따라 세 개의 샘플 시퀀스(early, late, on-time)를 위한 데시메이션 점들이 갱신된다.

III. 동기추적회로의 성능 해석

3-1 위상검출기 출력의 통계적 해석

AWGN 채널 환경에서 전진 또는 지연 복조기 출력은 다음과 같이 모델링 할 수 있다[2],[3]

$$\begin{aligned} Y_{I-} &= N\sqrt{E_{c,p}}R(\tau-\delta)\cos\varphi+n_{I-} \\ Y_{Q-} &= N\sqrt{E_{c,p}}R(\tau-\delta)\sin\varphi+n_{Q-} \end{aligned} \quad (6)$$

$$\begin{aligned} Y_{I+} &= N\sqrt{E_{c,p}}R(\tau+\delta)\cos\varphi+n_{I+} \\ Y_{Q+} &= N\sqrt{E_{c,p}}R(\tau+\delta)\sin\varphi+n_{Q+}. \end{aligned} \quad (7)$$

위 식에서 δ 는 타이밍 오프셋을 나타낸다. 식 (6)과

(7)을 이용하여 위상검출기의 에너지 Z_-, Z_+ 를 다음과 같이 도출할 수 있다.

$$\begin{aligned} Z_- &\equiv Y_{I-}^2 + Y_{Q-}^2 \\ &= N^2 E_{c,p} R^2(\tau-\delta) \\ &\quad + 2N\sqrt{E_{c,p}}R(\tau-\delta)\times(\cos\varphi\cdot n_{I-} + \sin\varphi\cdot n_{Q-}) \\ &\quad + n_{I-}^2 + n_{Q-}^2. \end{aligned} \quad (8)$$

$$\begin{aligned} Z_+ &\equiv Y_{I+}^2 + Y_{Q+}^2 \\ &= N^2 E_{c,p} R^2(\tau+\delta) \\ &\quad + 2N\sqrt{E_{c,p}}R(\tau+\delta)\times(\cos\varphi\cdot n_{I+} + \sin\varphi\cdot n_{Q+}) \\ &\quad + n_{I+}^2 + n_{Q+}^2. \end{aligned} \quad (9)$$

대부분의 CDMA 시스템의 펄스성형 필터는 $H(f) = 1/\sqrt{W} (-W/2 \leq f \leq W/2)$ 인 이상적인 저역통과 필터로 모델링 될 수 있으며, $R(\tau) = \text{sinc}(\tau/T_c)$ 로 근사화 될 수 있다. 한편, 위상검출기 출력의 평균값은 다음과 같이 주어진다.

$$\begin{aligned} E[\Delta Z] &\equiv E[Z_- - Z_+] \\ &= N^2 E_{c,p} \{R^2(\tau-\delta) - R^2(\tau+\delta)\}. \end{aligned} \quad (10)$$

이때, $\tau \approx 0$ 라고 가정하면 위상 검출기 출력의 분산은 다음의 식으로 나타낼 수 있다.

$$\begin{aligned} \text{var}(\Delta Z) &\approx 2N^2 I_0^2 \{1 - R^2(2\delta)\} \\ &\quad + 4N^2 I_0 E_{c,p} R^2(\delta) \{1 - R^2(2\delta)\}. \end{aligned} \quad (11)$$

3-2 지터 분산 (Jitter Variance) 의 해석

에러측정 신호(error metric signal)를 다음과 같이 정의한다.

$$G(\tau) \equiv R^2(\tau-\delta) - R^2(\tau+\delta). \quad (12)$$

위의 에러측정 신호를 타이밍 오차에 따라 그린 곡선을 S-커브라고 한다. 그림 3은 펄스성형 필터를 이상적인 저역통과 필터라고 가정하였을 때 여러 타이밍 오프셋에 대한 S-커브를 나타낸 것이다. 그림으로부터 타이밍 오프셋이 증가할수록 동기추적회로

의 동작 범위(pull-in range)가 커짐을 알 수 있으며, S-커브의 기울기가 증가함을 알 수 있다. 식 (12)를 $\tau \approx 0$ 인 점에서 미분하면 $\delta = 0.5, 0.25, 0.125$ 에 대한 각각의 기울기는 $\kappa = 3.242, 2.783, 1.578$ 로 주어진다.

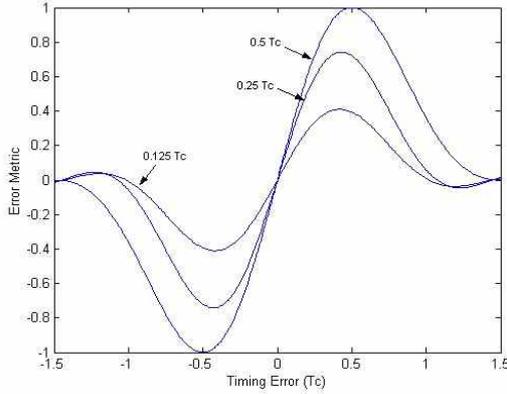


그림 3. 타이밍 오프셋에 따른 S-커브
Fig. 3. S-curve as a function of timing offset.

동기추적회로의 성능을 분석하기 위해서 그림 4와 같이 동기추적회로를 선형 등가회로로 모델링한다[2].

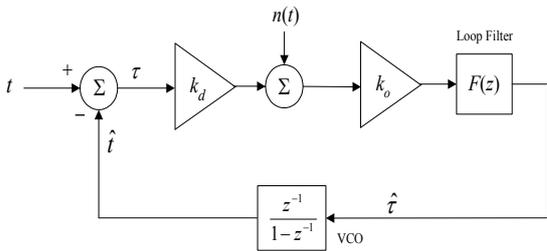


그림 4. 동기추적회로의 선형 등가모델
Fig. 4. Linear equivalent model of code tracking loop.

위의 그림에서 $F(z)$ 는 루프 필터의 전달함수를 나타내며, $K_d = N^2 E_{c,p} \kappa$ 는 위상검출기의 이득을, κ 는 $\tau \approx 0$ 일 경우의 S-커브 기울기를 나타낸다. 그림 4로부터 폐회로 전달함수 (closed-loop transfer function) $H(z)$ 를 다음의 식으로 유도할 수 있다.

$$H(z) \equiv \frac{\hat{t}(z)}{t(z)} = \frac{K_0 K_d F(z) z^{-1}}{1 - \{1 - K_0 K_d F(z)\} z^{-1}} \quad (13)$$

한편, 위상검출기 출력의 잡음 성분은 주파수적으로 일양하다고 가정할 수 있으므로 타이밍 에러의

지터 분산은 다음의 식으로 표현된다[3].

$$\text{var}(\tau) = \frac{2 V_0 B_L}{(N^2 E_{c,p})^2} \quad (14)$$

위 식에서 B_L 은 루프 대역폭(loop-bandwidth)으로서 다음의 식으로 정의된다[2],[9].

$$B_L = \frac{1}{2} \oint_c H(z) H(z^{-1}) \frac{dz}{j2\pi z} \quad (15)$$

식(11)과 (14)를 이용하여 $E_{s,p}/I_0$ 펄스성형 필터, 타이밍 오프셋 그리고 루프 대역폭에 따른 지터 분산을 다음의 식으로 도출할 수 있다.

$$\text{var}(\tau) = \frac{4\{1 - R^2(2\delta)\}}{(E_{s,p}/I_0)^2 \kappa^2} B_L + \frac{8\{1 - R(2\delta)\}R^2(\delta)E_{s,p}/I_0}{(E_{s,p}/I_0)^2 \kappa^2} B_L \quad (16)$$

이때 $E_{s,p} = N E_{c,p}$ 이다.

3-3 과도 응답 특성 해석

그림 4에서 개회로 전달함수 (open-loop transfer function) $G(z)$ 를 구하면 다음과 같다.

$$G(z) = \frac{\hat{t}(z)}{\tau(z)} = \frac{K_0 K_d F(z) z^{-1}}{1 - z^{-1}} \quad (17)$$

만일, 초기 동기오차가 τ_0 이고 외부에서 인가되는 오차가 단위 계단함수(unit step function)의 형태로 주어진다면 타이밍 에러 $\tau(z)$ 는 다음의 식으로 표현된다.

$$\tau(z) = \frac{t(z)}{1 + G(z)} = \tau_0 \left(\frac{1}{1 - z^{-1}} \right) \frac{1}{1 + G(z)} \quad (18)$$

일반적으로 동기추적회로는 1차 루프 필터를 사용하므로 $\tau(z)$ 의 pole은 degree가 2인 함수가 되며 따라서 다음과 같이 나타낼 수 있다.

$$\tau(z) = \frac{\tau_0(1 - z^{-1})}{(1 - a_1 z^{-1})(1 - a_2 z^{-1})} = \tau_0 \left[\frac{A}{(1 - a_1 z^{-1})} + \frac{B}{(1 - a_2 z^{-1})} \right] \quad (19)$$

위 식에 대해 inverse Z-transform을 취하면 타이밍 에러에 대한 초기 응답특성을 얻을 수 있으며 다음과 같이 주어진다.

$$\tau[n] = \tau_0 \left[\frac{a_1 - 1}{a_1 - a_2} a_1^n + \frac{1 - a_2}{a_1 - a_2} a_2^n \right]. \quad (20)$$

IV. 동기추적회로의 설계 및 시뮬레이션

4-1 루프 필터의 설계

동기추적회로의 설계 시 대부분의 경우 1차 루프 필터를 사용하므로 전체 동기추적회로는 2차 추적회로가 된다. 본 논문에서는 type-III 1차 루프 필터를 이용하여 동기추적회로를 설계하였으며 이 때 루프 필터의 구조는 다음과 같다[2],[3].

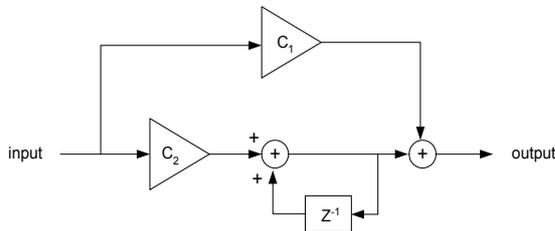


그림 5. Type-III 루프 필터의 구조

Fig. 5. Structure of Type-III loop filter.

위의 그림에서 type-III 루프 필터의 전달함수는 다음의 식으로 표현된다.

$$F(z) = C_1 + \frac{C_2}{1 - z^{-1}} = \frac{(C_1 + C_2) - C_1 z^{-1}}{1 - z^{-1}}. \quad (21)$$

위의 식을 식 (13)에 대입하면 동기추적회로의 폐회로 전달함수를 구할 수 있으며, 이를 정리하면 다음의 식으로 유도할 수 있다.

$$H(z) = \frac{K_0 K_d z^{-1} \{C_1 + C_2 - C_1 z^{-1}\}}{1 - \{2 - K_0 K_d (C_1 + C_2) z^{-1}\} + (1 - C_1 K_0 K_d) z^{-2}} = \frac{K_0 K_d z^{-1} \{C_1 + C_2 - C_1 z^{-1}\}}{(1 - \beta_1 z^{-1})(1 - \beta_2 z^{-1})}. \quad (22)$$

이때, β_1 과 β_2 는 다음과 같이 주어진다.

$$\beta_{1,2} = \frac{2 - K_0 K_d (C_1 + C_2)}{2} \pm \frac{\sqrt{K_0 K_d \{K_0 K_d (C_1 + C_2)^2 - 4C_2\}}}{2}. \quad (23)$$

한편, 2차 동기추적회로의 성능은 natural frequency ω_n 과 damping factor ζ 에 의해 성능이 결정되며 동기추적회로의 설계는 ω_n 과 ζ 가 주어졌을 때 루프 필터의 계수 C_1 과 C_2 를 결정하는 것이라고 할 수 있다. 식 (22)에 bilinear transform을 취하여 정규화 된 아날로그 전달함수 (normalized analog transform function)와 비교하면 [8] C_1 과 C_2 를 다음과 같이 표현할 수 있다.

$$C_1 = \frac{1}{K_0 K_d} \frac{8\zeta\omega_n T_d}{4 + 4\zeta\omega_n T_d + (\omega_n T_d)^2}$$

$$C_2 = \frac{1}{K_0 K_d} \frac{4(\omega_n T_d)^2}{4 + 4\zeta\omega_n T_d + (\omega_n T_d)^2}. \quad (24)$$

위 식에서 T_d 는 타이밍 갱신 주기이다.

4-2 동기추적회로의 설계

앞에서 고찰한 이론을 바탕으로 WCDMA 공통 파일럿 신호를 목표신호 (target signal)로 설정하여 동기추적회로를 설계한다. 기지국에서의 송신 다이버시티를 지원하기 위해서 파일럿 심볼의 수 N_p 는 2의 배수가 되어야 하며, 본 설계에서는 최소 심볼 수인 2로 설정하였다. 따라서, 동기추적회로의 타이밍 갱신주기 (timing update interval) T_d 는 $1/7.5 \text{ ms} = 0.1333 \text{ ms}$ 가 된다. 동기추적회로의 설계에 있어서 VCO 이득과 위상 검출기 출력의 곱 $K_0 K_d$ 는 1, ζ 는 0.707, ω_n 은 각각 0.01, 0.02, 0.04로 설정하였으며 이때의 루프 대역폭은 각각 33 Hz, 66 Hz, 132 Hz가 된다. 식(24)에 각각의 파라미터를 대입하여 구한 루프 필터의 계수 C_1, C_2 와 $E_{c,p}/I_o$ 이 22 dB 일 때의 rms 지터의 이론치는 표 1과 같다.

표

1. ω_n 에 따른 루프 필터의 계수 및 rms 지터

Table 1. Loop filter coefficients and rms jitter according to normalized natural frequency ω_n .

ω_n	0.01	0.02	0.04
C_1	0.014	0.028	0.055
C_2	9.93×10^{-5}	3.9×10^{-4}	1.6×10^{-3}
σ	$0.027 T_c$	$0.033 T_c$	$0.053 T_c$

4-3 성능 검증

설계된 동기추적회로의 성능을 부동 소수점 시뮬레이션을 통해 검증한다.

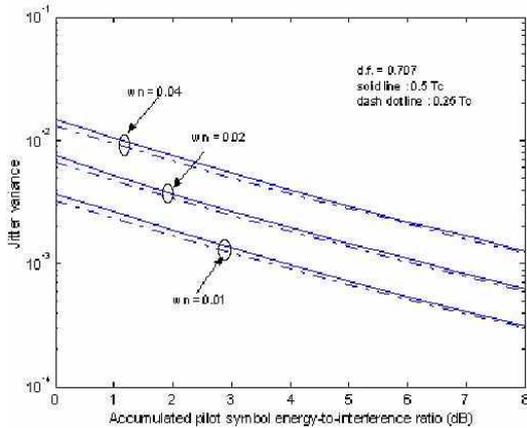


그림 6. 타이밍 오프셋에 따른 추적회로의 성능비교
Fig. 6. Performance comparison according to timing offsets in code tracking loop.

그림 6은 타이밍 오프셋이 각각 $0.5 T_c$, $0.25 T_c$ 인 경우에 대해서, ω_n 이 0.01, 0.02, 0.04일 때의 지터 분산을 비교한 것이다. 그림에서 모든 조건에 대해 타이밍 오프셋이 $0.25 T_c$ 인 경우가 $0.5 T_c$ 일 때 보다 대략 $0.2 \sim 0.3 dB$ 의 이득을 얻을 수 있음을 알 수 있다. 그러나 그림 3에서와 같이 $0.25 T_c$ 인 경우는 $0.5 T_c$ 인 경우에 비해 동기추적회로의 동작 범위가 줄어드는 단점이 있으므로, 본 논문에서는 δ 를 $0.5 T_c$ 로 설정하여 동기추적회로를 설계하였다.

그림 7은 타이밍 오프셋이 $0.5 T_c$ 인 경우, 동기추적회로의 이론적 성능과 부동 소수점 시뮬레이션 결

과를 비교한 것이다. 그림에서 실선은 이론치를 나타내며, 심볼 *은 시뮬레이션 결과를 나타낸다. 그림에서 모든 경우에 대해 이론치와 시뮬레이션 결과가 일치함을 확인할 수 있다.

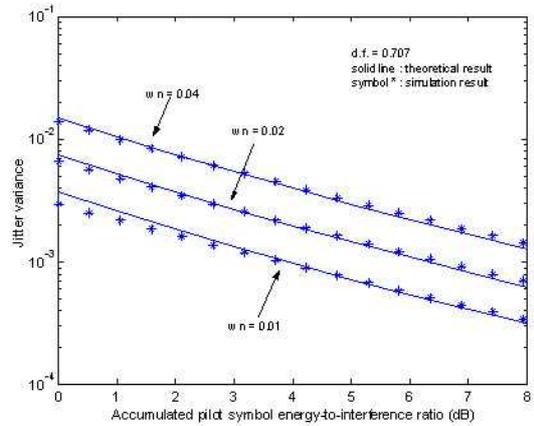


그림 7. 지터 분산의 이론치와 시뮬레이션 결과의 비교
Fig. 7. Performance comparison of theoretical result with simulation result in terms of jitter variance.

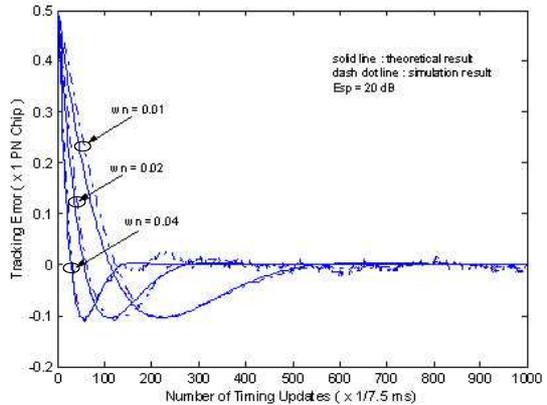


그림 8. 과도응답 특성의 이론치와 시뮬레이션 결과의 비교
Fig. 8. Performance comparison of theoretical result with simulation result in terms of transient response characteristic.

그림 8은 타이밍 에러의 과도응답 특성에 대한 이론치와 시뮬레이션 결과를 비교한 것이다. 시뮬레이션 시 누적된 파일럿 심볼 에너지 대 잡음 비는 $20 dB$ 로 설정하였다. 그림 8에서 ω_n 이 0.04일 경우에 타이밍 에러가 최초로 0으로 수렴하는데 걸리는 시간은 대략 $4 ms$ 이고, ω_n 이 0.02, 0.01인 경우

에 대하여 각각 8ms, 15ms의 수렴시간이 소요됨을 알 수 있으며, 모든 경우에 대해 이론치와 시뮬레이션 결과가 거의 일치함을 확인할 수 있다.

V. 결 론

본 논문에서는 3GPP 공통 파일럿 신호를 이용하여 HSDPA 모델을 위한 동기추적회로를 설계하고 설계된 동기추적회로의 성능을 시뮬레이션을 통해 검증하였다. 먼저, WCDMA 신호 모델을 바탕으로 동기추적회로의 지터 분산과 과도응답 특성을 이론적으로 유도하였으며 이를 바탕으로 동기추적회로의 루프 필터를 설계하였다. 루프 필터의 설계 시, 지터 분산과 과도응답 특성을 고려하여 루프 대역폭을 결정하였으며 시뮬레이션을 통해 지터 분산과 과도응답 특성의 이론치와 시뮬레이션 결과가 일치함을 확인하였다.

참 고 문 헌

[1] 3GPP TR 25.858, 3GPP High Speed Downlink Packet Access : Physical Layer Aspects (Release 5), March 2002

[2] A. J. Viterbi, CDMA : Principles of spread spectrum communication, Addison-Wesley wireless communications series, 1995

[3] H. R. Park, K. J. Lee, H. Lee, and C. Cho, "A comparative performance analysis of non-coherent delay-lock code tracking loops for DS-CDMA systems", *Proc. ACTS*, pp. 611-616, 1997

[4] M. Sawahashi and F. Adachi, "Decision-directed coherent delay-locked PN tracking loop", *Proc. Virginia Tech. 5th Symp. On WPC*, pp. 10-1~10-8, May 1996.

[5] R. De Gaudenzi and M. Luise, "Decision-directed coherent delay-lock tracking loop for DS-spread-spectrum signals", *IEEE Trans. Commun.*, vol. 39, pp. 758-765, May 1991.

[6] M. Sawahashi and F. Adachi, "Coherent delay-locked code tracking loop using time-multiplexed pilot for DS-CDMA mobile radio", *IEICE Trans. Commun.*, vol. E81-B, no. 7, pp. 1426-1432, July 1998

[7] 3GPP TS 25.211 V5.0.0, Physical Layer General Description (Release 5), Dec. 2001.

[8] A. Blanchard, Phase-locked loops, John Wiley & Sons, 1976.

[9] R. E. Ziemer and R. L. Peterson, Digital communications and spread spectrum systems, Macmillan publishing company, 1985.

양 연 실 (梁娟實)



2002년 : 한국항공대학교 항공통신 정보공학과 (공학사)
 2002~현재 : 한국항공대학교 정보통신공학과 석사과정
 관심분야 : CDMA시스템동기, OFDM등

박 형 래 (朴亨來)



1982년 : 한국항공대학교 전자공학과 (공학사)
 1985년 : 연세대학교 전자공학과 (공학석사)
 1993년 : 미국 Syracuse University 전기공학과 (공학박사)
 1985~1998년 : 한국전자통신연구원 책임연구원(신호기술연구

실장)
 1999~2000년 : (주)씨앤에스테크놀로지 전무이사
 2001~현재 : 한국항공대학교 전자·정보통신·컴퓨터공학부 조교수
 관심분야 : 신호처리, CDMA 모델설계, 스마트 안테나, 레이다 신호처리 등