

개선된 동작영역을 갖는 복합 트랜지스터 설계

정회원 이근호*, 유영규**

Design of Composite Transistors with an Improved Operating Region

Geun-Ho Lee*, Young-Gyu Yoo** Regular Members

요 약

본 논문에서는 문턱 전압의 감소에 의해 넓은 동작 영역을 갖는 새로운 구조의 트랜지스터를 제안하였다. 문턱 전압을 감소시키기 위해 제안된 복합 트랜지스터 I 은 P형 폴디드(P-type folded) 복합 트랜지스터를 이용하였고, 복합 트랜지스터 II는 제너 다이오드를 이용하였다. 제안된 트랜지스터가 전류원에 의해 동작 영역이 제한되는 현상을 고찰하여 검증하였으며, 제안된 회로들은 0.25 μm CMOS n-well 공정 파라미터를 이용하여 2.5V 공급 전압 하에서 Hspice 시뮬레이션을 통해 그 특성을 검증하였다.

ABSTRACT

In this paper, we propose two CMOS composite transistors with an improved operating region by reducing the threshold voltage. The proposed composite transistor I and transistor II employ a P-type folded composite transistor and a composite diode in order to decrease the threshold voltage, respectively. The limitation of the operating region of these transistors by current source is described. All circuits are simulated by Hspice using 0.25 μm n-well process with 2.5V supply voltage.

Key word : composite, transistor, operating region, threshold voltage

I. 서 론

현재 CMOS 공정에서 트랜지스터의 최소 길이는 서브마이크론 이하로 감소되었다. 이러한 공정 기술의 발전은 고집적화된 칩 제작으로 제품의 가격을 줄이고 시스템을 소형화할 수 있는 장점을 갖지만 트랜지스터의 안정된 동작을 위해서는 공급 전압의 감소를 요구하고 있다^[1]. 또한 아날로그 회로와 디지털 회로가 동일 칩상에서 집적화되는 혼성모드 집적회로와 각종 개인용 무선통신 기기, 휴대용 컴퓨터 및 비디오 신호처리 장치 등에서 저전압 회로 설계가 필요하다^{[2][3]}. 이러한 공급 전압의 감소추세에 따라, 디지털 회로뿐만 아니라 아날로그 회로에서도 저전압으로 동작이 가능한 새로운 회로 구조에 대

한 연구가 활발히 진행되고 있다^[4].

OTA (operational transconductance amplifier), 아날로그 멀티플라이어, 아날로그 필터 등은 아날로그 신호처리를 위하여 많이 사용되고 있는데 이들 회로들은 그림 1에서 보여지는 기본적인 복합 트랜지스터를 이용하는 경우가 있다^[5~7]. 이러한 복합 트랜지스터는 NMOS 트랜지스터와 PMOS 트랜지스터가 직렬 연결된 구조로 높은 문턱 전압을 갖고 동작 영역이 감소하여 저전압 회로 구현이 어려운 단점을 지니고 있다. 기본적인 복합 트랜지스터의 문턱 전압은 식(1)과 같다.

$$V_{Teq} = V_{Tn} + |V_{Tp}| \quad (1)$$

* 전주대학교 정보기술컴퓨터공학부(ghlee@jeonju.ac.kr), ** 전북대학교 전자정보공학부 회로및시스템연구실(ie3cas@netian.com)
논문번호 : 020158 0412, 접수일자 : 2002년 4월 12일

이때 V_{Tn} , V_{Tp} 는 각각 MOS 트랜지스터의 문턱 전압을 나타낸다. 그림 3은 복합 트랜지스터의 동작 영역을 보여주는 것으로 $V_{gs} \geq V_{Tn} + |V_{Tp}|$ 의 조건을 만족할 때 동작함을 보여준다.

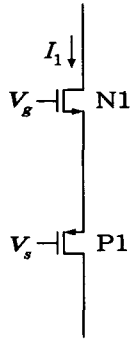


그림 1. 기본적인 복합 트랜지스터

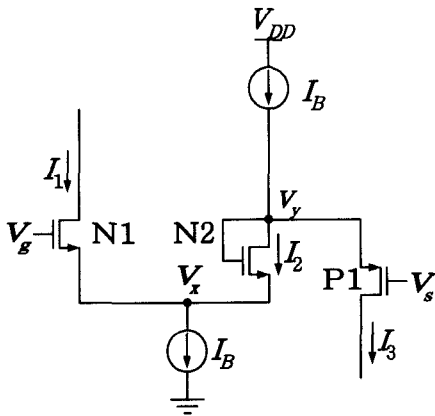


그림 2. 저전압 복합 트랜지스터

그림 2에서는 문턱 전압이 감소된 저전압 복합 트랜지스터 구조를 보여준다^[8]. 그림 1의 바이어스 전류원 I_B 와 N1과 P1 사이에 전압 레벨 시프트 역할을 위해 다이오드 연결된 N2에 의해 문턱 전압이 감소한다. 저전압 복합 트랜지스터의 문턱 전압은 다음 식(2)와 같다.

$$V_{Teq} = |V_{Tp}| - \sqrt{\frac{2(I_B - I_1)}{K_{N2}}} \quad (2)$$

여기서 K_{N2} 는 다이오드 연결된 트랜지스터 N2의 트랜스컨덕턴스 파라미터값이다. 식(2)에서

의 문턱 전압이 식(1)의 문턱전압 보다 작게 되어 그림 4의 동작 영역이 그림 3보다 증가함을 알 수 있다.

하지만 그림 2의 저전압 복합 트랜지스터는 그림 1의 구조에 비해 향상되었음에도 여전히 개선의 여지를 지니고 있다. 따라서 본 논문에서는 문턱 전압의 감소를 통해 동작 영역이 증가하는 개선된 복합 트랜지스터를 제안하고자 한다.

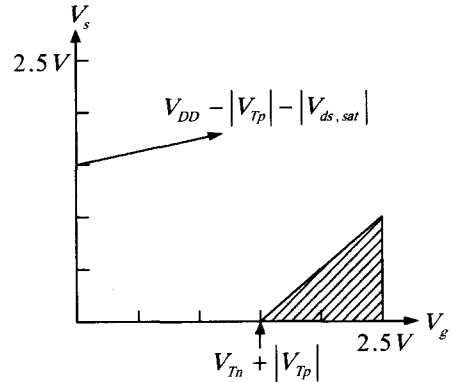


그림 3. 기본적인 복합 트랜지스터 동작영역

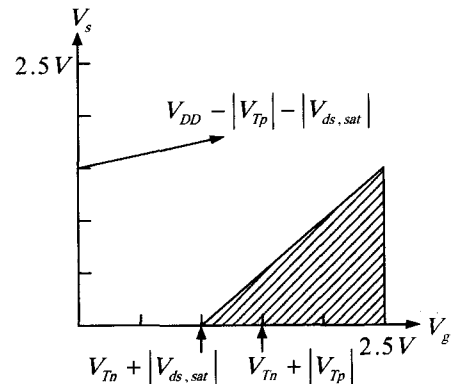


그림 4. 저전압 복합 트랜지스터 동작 영역

II. 제안된 복합 트랜지스터

그림 5(a)는 새로운 구조의 복합 트랜지스터 I의 형태를 보여주고 있다. 그림 2의 다이오드 연결된 N2에 P형 폴디드(P-type folded) 복합 트랜지스터를 연결한 형태이다. 이때 트랜지스터 P2의 외형비를 P1보다 크게 해 주면 문턱 전압이 감소한다. 그림 3(a)에서 각 트랜지스터 N1, N2, P1, P2의 드레인 전류를 계산하면 다

음과 같다.

$$I_1 = \frac{K_{n1}}{2} (V_g - V_x - V_{Tn})^2 \quad (3)$$

$$I_2 = \frac{K_{n2}}{2} (V_y - V_x - V_{Tn})^2 \quad (4)$$

$$I_3 = \frac{K_{p2}}{2} (V_z - V_y - |V_{Tp}|)^2 \quad (5)$$

$$I_4 = \frac{K_{p1}}{2} (V_z - V_s - |V_{Tp}|)^2 \quad (6)$$

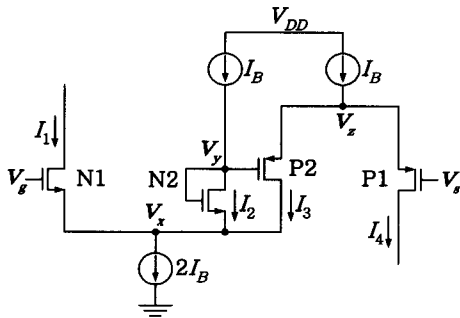
식(3)~(6)을 전압에 대하여 정리하면 다음의 식들과 같이 표현 가능하다.

$$V_g - V_x = \sqrt{\frac{2I_1}{K_{n1}}} + V_{Tn} \quad (7)$$

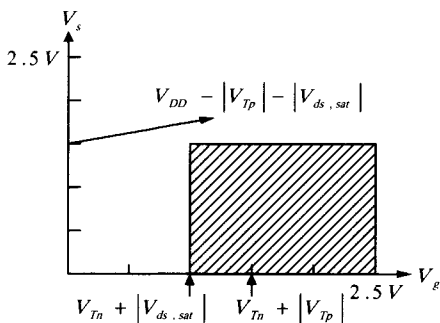
$$V_y - V_x = \sqrt{\frac{2I_2}{K_{n2}}} + V_{Tn} \quad (8)$$

$$V_z - V_y = \sqrt{\frac{2I_3}{K_{p2}}} + |V_{Tp}| \quad (9)$$

$$V_z - V_s = \sqrt{\frac{2I_4}{K_{p1}}} + |V_{Tp}| \quad (10)$$



(a)



(b)

그림 5. (a) 제안된 복합 트랜지스터 I (b) 동작 영역

식(7)~(10)을 V_{gs} 로 나타내면 식(11)과 같다.

$$V_{gs} = \sqrt{\frac{2I_1}{K_{n1}}} - \sqrt{\frac{2I_2}{K_{n2}}} - \sqrt{\frac{2I_3}{K_{p2}}} + \sqrt{\frac{2I_4}{K_{p1}}} \quad (11)$$

그림 5(a)에서 I_B 는 I_2 와 같은 값이며, $2I_B = I_1 + I_2 + I_3$, $I_B = I_3 + I_4$ 이므로 $I_B = I_1 + I_3 = I_3 + I_4$ 가 되어 위의 식(11)은 식(12)와 같이 전류에 대해 나타낼 수 있다.

$$I_1 = \frac{K_{eq}}{2} (V_{gs} - V_{Teq})^2 \quad (12)$$

이때 K_{eq} 는 제안된 복합 트랜지스터 I의 등가 트랜스컨덕턴스 파라미터이며 식(13)과 같이 표현될 수 있다.

$$\frac{1}{\sqrt{K_{eq}}} = \frac{1}{\sqrt{K_{n1}}} + \frac{1}{\sqrt{K_{p1}}} \quad (13)$$

또한 V_{Teq} 는 제안된 복합 트랜지스터 I의 문턱전압을 나타내며 다음의 식(14)로 표현될 수 있다.

$$V_{Teq} = - \left(\sqrt{\frac{2I_B}{K_{n2}}} + \sqrt{\frac{2(I_B - I_1)}{K_{p2}}} \right) \quad (14)$$

앞의 식(1), (2)와 식(14)로부터 제안된 트랜지스터가 낮은 문턱 전압을 갖게 되어 동작 영역이 증가하게 됨을 알 수 있다.

그림 5(a)에 제안된 트랜지스터의 N1과 P1이 동작하기 위한 조건은 $V_g \geq V_{ds,sat,2IB} + V_{Tn}$ 이고, $V_s \leq V_{DD} - V_{ds,sat,IB} - |V_{Tp}|$ 이다. 여기에서 $V_{ds,sat,2IB}$ 와 $V_{ds,sat,IB}$ 는 바이어스 전류원 I_B 가 포화 영역에 동작하기 위한 전압이다. V_{gs} 의 최소값은 V_g 의 최소값에서 V_s 의 최대값을 빼면 얻을 수 있으며 식(15)와 같이 나타낼 수 있다.

$$\begin{aligned} V_{gs, \min} &= V_{g, \min} - V_{s, \max} \\ &= V_{ds, \text{sat}, 2I_B} + V_{Tn} - V_{DD} \\ &\quad + V_{ds, \text{sat}, I_B} + |V_{Tp}| \end{aligned} \quad (15)$$

$V_{Tn} = |V_{Tp}| = V_T$, $V_{ds,sat,2IB} = V_{ds,sat,IB} = V_{ds,sat}$ 라고 가정하면 식(15)는 다음의 식(16)과 같이

간략화 할 수 있다.

$$V_{gs, \min} = 2(V_{ds, \text{sat}} + V_T) - V_{DD} \quad (16)$$

식(16)을 식(14)보다 크게 설계하면, N1과 P1이 동작하는 모든 영역에서 동작이 가능하게 되므로 앞의 그림 5(b)와 같은 동작 영역을 얻을 수 있다.

그림 5(a)의 제안된 복합 트랜지스터는 N2와 P2를 동작시키기 위해서 각각의 바이어스 전류원이 필요하다. 따라서 그림 2의 복합 트랜지스터 구조에 비해 전력 소모가 증가하는 단점을 가진다. 이러한 단점을 보완하기 위해 그림 6과 같이 그림 1의 N1과 P1의 소스에 제너다이오드를 삽입하여 복합 트랜지스터를 구성하였다. 제안된 복합 트랜지스터 I 과 같은 방법으로 그림 6 복합 트랜지스터 II의 전류를 식(17)과 같이 구할 수 있고, 각각의 V_{Teq} 와 K_{eq} 는 식(18)과 (19)로 나타낼 수 있다.

$$I_1 = \frac{K_{eq}}{2} (V_{gs} - V_{Teq})^2 \quad (17)$$

$$\frac{1}{\sqrt{K_{eq}}} = \frac{1}{\sqrt{K_{n1}}} + \frac{1}{\sqrt{K_{p1}}} \quad (18)$$

$$V_{Teq} = -\left(\sqrt{\frac{2(I_B - I_1)}{K_{n2}}} + \sqrt{\frac{2(I_B - I_1)}{K_{p2}}} \right) \quad (19)$$

식(19)와 (14)에서 문턱 전압은 차이를 보이지만 $I_B \gg I_1$ 조건에 의해 두 식은 같다고 볼 수 있다.

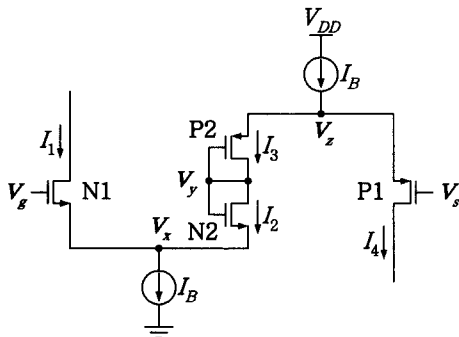


그림 6. 제안된 복합 트랜지스터 II

제안된 복합 트랜지스터는 $V_g + V_s$ 가 상대적으로 큰 값을 갖거나 또는 작은 값을 갖게 될 때 바이어스 전류원으로 동작하는 트랜지스터는 선형 영역에서 동작하거나 음의 드레인-소스 전압을 갖게 된다. 따라서 제안된 회로는 바이어스 전류원에 의해 동작 영역이 제한된다.

그림 6에서 $K_{n1} = K_{p1}$ 라 가정하고 식(19)를 이용하면 바이어스 전류원이 포화 영역에서 동작하기 위한 전압 V_x , V_y 의 조건은 다음과 같이 표현 가능하다.

$$V_x = \frac{V_g + V_s + V_{Teq} - 2V_{Tn}}{2} \geq V_{ds, \text{sat}, I_n} \quad (20)$$

$$V_z = \frac{V_g + V_s - V_{Teq} + 2|V_{Tp}|}{2} \leq V_{DD} - V_{ds, \text{sat}, I_p} \quad (21)$$

여기서 각각의 V_{DD} , V_{Tn} , $|V_{Tp}|$, V_{ds, sat, I_n} 를 일정한 값으로 가정하면 V_x 와 V_z 는 음의 문턱 전압을 갖는 V_{Teq} 에 반비례하게 된다. 다시 말해서 바이어스 전류원이 포화 영역에서 동작하기 위한 최소 전압 $V_{x, \min}$ 과 $V_{z, \max}$ 을 얻기 위해서는 V_{Teq} 는 최대 값인 0이 되어야 한다. 따라서 $V_{x, \min}$, $V_{z, \max}$ 와 $V_{Teq, \min}$ 사이에서는 trade-off가 존재하고 이와 같은 관계를 그림 7에 도시하였다.

앞의 식(20)과 (21)을 이용하여 $V_g + V_s$ 에 대한 각각의 동작 영역을 얻을 수 있고 다음의 식 (22)와 (23)으로 표현 가능하다.

$$V_g + V_s \geq 2(V_{ds, \text{sat}, I_n} + V_{Tn}) - V_{Teq} \quad (22)$$

$$V_g + V_s \leq 2(V_{DD} - V_{ds, \text{sat}, I_n} - |V_{Tp}|) + V_{Teq} \quad (23)$$

여기서 $V_{DD} = 2.5V$, $V_{Tp} = 0.6V$, $V_{Tn} = 0.55V$, $V_{Teq} = -0.1V$, $V_{ds, \text{sat}} = 0.25V$ 로 가정하면 식(22)와 (23)으로부터 $(V_g + V_s)_{\min} \geq 1.7V$ 과 $(V_g + V_s)_{\max} \leq 3.2V$ 의 범위를 갖는다. 따라서 V_s 가 0V일 때 V_g 는 1.7V이상을 유지해야 함을 알 수 있고, V_g 가 2.5V일 때 V_s 는 0.7V이하의 값을 가져야 한다.

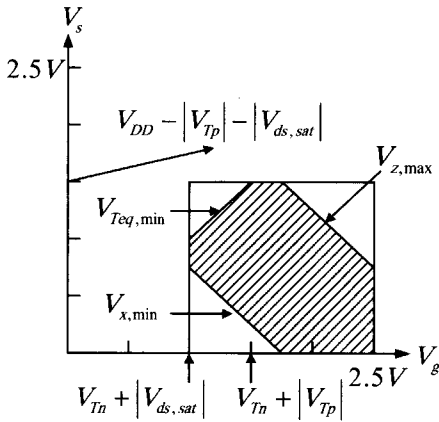


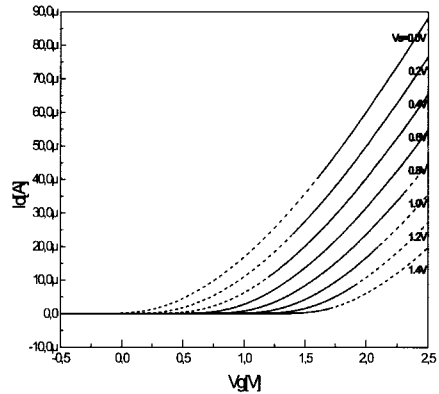
그림 7. 복합 트랜지스터II의 동작 영역의 제한범위

비록 제안된 복합 트랜지스터가 바이어스 전류원에 의해 그림 7과 같이 동작 영역이 제한되지만 V_g 가 낮은 전압에서 동작 영역의 감소가 상대적으로 작다. 하지만 그림 2의 저전압 복합 트랜지스터는 $V_g - V_s$ 가 문턱 전압 보다 높은 값을 가져야 하기 때문에 V_g 가 낮은 전압을 갖게 되면 동작 영역이 크게 줄어들게 된다.

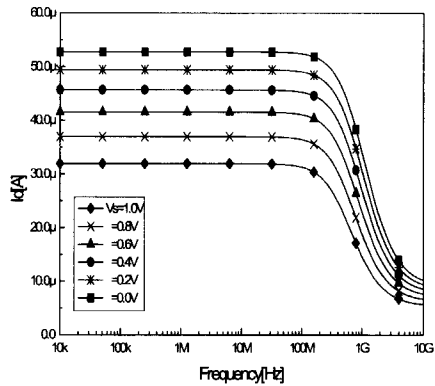
III. 시뮬레이션 결과

각각 설계된 새로운 구조의 복합 트랜지스터들을 0.25 μm CMOS n-well 공정 파라미터를 이용하여 2.5V 공급 전압에서 시뮬레이션 하였다. 본 논문에서 사용된 트랜지스터의 외형비는 $N1 = 1\mu\text{m}/1\mu\text{m}$, $P1 = 3\mu\text{m}/1\mu\text{m}$, $N2 = 30\mu\text{m}/0.25\mu\text{m}$, $P2 = 90\mu\text{m}/0.25\mu\text{m}$ 이고 바이어스 전류 I_B 는 150 μA 이다.

그림 8(a와 9(a)는 제안된 복합 트랜지스터 I, 복합 트랜지스터II의 DC 특성을 각각 나타낸 것으로서 $V_s = 0.0\text{V}$ 에서 1.4V까지 0.2V 간격으로 시뮬레이션 하였다. 그림 8(a)와 그림 9(a)에서 점선 부분으로 나타낸 영역은 바이어스 전류원이 포화 영역에서의 동작을 벗어나 선형 영역에서 동작하거나 음의 드레인-소스 전압을 갖는 영역을 나타낸 것이고, 실선은 제안된 회로가 실제 이용될 수 있는 영역으로 앞에서 해석된 동작 영역과 같다. 그림 8(b)와 그림 9(b)는 복합 트랜지스터 I, 복합 트랜지스터 II 각각에 대한 AC 특성으로 이 역시 $V_s = 0.0\text{V}$ 에서 1.0V까지 0.2V 동일 간격으로 시뮬레이션 하였다.

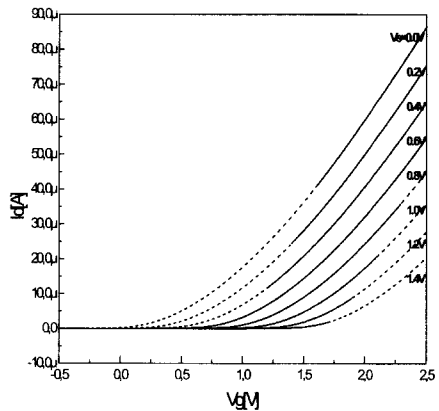


(a)

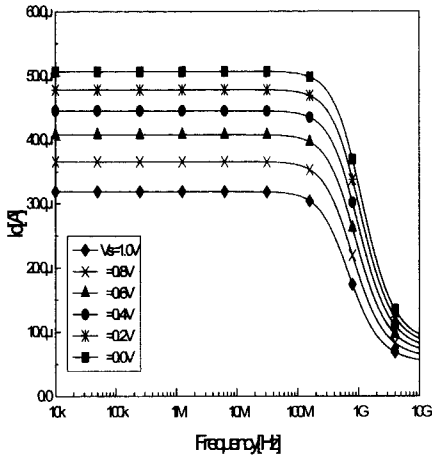


(b)

그림 8. 제안된 복합 트랜지스터 I (a) DC특성 (b) AC특성



(a)



(b)

그림 9. 제안된 복합 트랜지스터II (a) DC특성 (b) AC특성

IV. 결 론

본 논문에서는 문턱 전압의 감소에 의해 넓은 동작 영역을 갖는 새로운 구조의 복합 트랜지스터들을 제안하고 그 특성을 검증하였다. 첫 번째 제안된 복합 트랜지스터 I 은 P형 폴디드(P-type folded) 복합 트랜지스터를 이용하여 문턱 전압을 감소시켰고, 두 번째 제안된 복합 트랜지스터 II 는 제너 다이오드 방식을 이용하였다. 또한 제안된 회로의 바이어스 전류원에 의한 동작 영역의 제한에 대해서 고찰하였다. 제안된 회로들의 특성을 검증하기 위해서 0.25 μ m CMOS n-well 공정 파라미터를 이용하여 2.5V 공급 전압에서 hspice 시뮬레이션하였다. 시뮬레이션 결과 제안된 복합트랜지스터는 기존의 복합 트랜지스터에 비해 넓은 동작 영역을 지니고 있음을 확인할 수 있었다. 또한 2.5V의 저전압하에서 동작가능함을 알 수 있었다.

제안된 복합 트랜지스터는 그 특성이 우수하여 트랜스컨덕터, 아날로그 멀티플라이어, 아날로그 Gm-C 필터 등과 같은 연속시간 아날로그 신호처리를 위한 기본 블록 설계 등에 이용 가능할 것으로 사료된다.

참고문헌

- [1] R. Batruni, P. Lemaitre, and T. Fensch, "Mixed Digital/Analog Signal Processing for a Single-Chip 2B1Q U-Interface Transceiver," IEEE J. Solid-State Circuits, vol. SC-26, pp. 1414-1425, Dec. 1990.
- [2] J. Y. Michel, "High-Performance Analog Cells in Mixed-Signal VLSI : Problems and Practical Solutions," Analog Integrated Circuits and Signal Processing, vol. 171-182, Nov. 1991.
- [3] 이제일, 황대환, 소운섭, 김진태, "ISDN 시스템 통합 칩 설계 및 구현," 한국통신학회논문지, vol. 26, no. 12C, pp. 273-279, 2001.
- [4] V. I. Prodanov, and M. M. Green, "Design Techniques and Paradigms Toward Design of Low-Voltage CMOS Analog Circuits," Proc. IEEE Int. Symp. on Circuits and Systems, pp. 129-132. 1997.
- [5] E. Seevinck and R. F. Wassenaar, "A Versatile CMOS linear transconductor/square-law function circuit," IEEE J. Solid-State Circuits, vol. SC-22, no. 3, pp. 336-377, June, 1987.
- [6] S. Sakurai and M. Isamil, "High Frequency Wide Range CMOS Analog Multiplier," Electronics Lett., vol. 28, no. 24, 1992.
- [7] L. A. R. Jr., and W. B. de Moraes, "A Geometry Independent CMOS Trans-conductor: New Method Linearization and AC Analysis," Proc. 20th Int. Conference on Microelectronics, pp. 491-496, 1995.
- [8] A. Hyogo, C. Hwang, M. Ismail, and K. Sekin, "LV/LP CMOS square-law circuits," Proc. IEEE Midwest.

Symp. on Circuits and Systems,
pp. 1181-1184, 1998.

이 근 호(Geun-Ho Lee) 정회원
1994년 2월 : 전북대학교 전기공학과 졸업
1997년 2월 : 전북대학교 대학원 회로및시스
템 석사
2000년 8월 : 전북대학교 대학원 회로및시스
템 박사
2002년 3월~현재 : 전주대학교 정보기술컴퓨
터공학부 전임강사

〈주관심분야〉 멀티미디어시스템, 아날로그 집
적회로, 통신시스템,

유 영 규(Young-Gyu Yoo) 정회원
1996년 2월 : 전북대학교 전기공학과 졸업
1998년 2월 : 전북대학교 대학원 회로및시스
템 석사
1999년 3월~현재 : 전북대학교 대학원 회로
및시스템 박사과정

〈주관심분야〉 ASIC 설계, 아날로그 집적회로,
신호처리