

# STM 포인터 조정 장치에서 발생되는 jitter에 관한 연구

최승국\*

A Study on Jitter Generated in STM Pointer Adjustment System

Seung-kuk Choi\*

---

본 연구는 한국과학재단 지정 인천대학교 멀티미디어연구센터의 지원으로 수행되었음

---

## 요약

스타핑 판별 경계치 변조 기법을 이용한 포인터 조정 jitter의 감소 방식에 대하여 연구한다. 이러한 jitter 감소 방식에 대하여 기술하며, 컴퓨터 시뮬레이션에 의한 방법으로 이때 발생되는 jitter의 rms값을 분석한다. 분석 결과, 이 기법을 이용한 장치에서 발생되는 포인터 조정 jitter는 기존 시스템에서 발생되는 jitter보다 그 크기가 절반 이하로 감소되는 것으로 밝혀졌다.

## ABSTRACT

Stuff threshold modulation(STM) technique is analyzed as method for reducing pointer adjustment jitter. The method for jitter reduction is described, and simulation results are presented to illustrate rms jitter performance. The results show that rms jitter value decrease to less than 50% as compared to a conventional pointer adjustment system.

## 키워드

동기, 포인터조정장치, STM, jitter

## I. 서 론

현재 사용되고 있는 동기식 디지털 계위(SDH: Synchronous Digital Hierarchy)의 동기식 전송망에서는 통신망내의 각 노드(node)에 있는 클럭들이 동기 되어, 이상적인 경우 각 클럭의 주파수 및 위상이 모두 같다. 그러나 각 노드 내 클럭들 자체의 위상 잡음과 클럭 동기망의 불완전한 동작으로 인하여, 각 클럭들 간의 위상은 서로 일치되지 못하여 노드 클럭들에 jitter 및 원더(jitter and

wander)가 존재한다. 노드 A의 클럭과 B의 클럭 간에 위상 시간(phase time)차가 존재하므로, 노드 B의 버퍼(buffer)에 노드 A에서 전송되어 온 데이터를 임시로 입력시킨 후에, 다시 노드 내로 읽어 들이는 과정에서 에러가 발생될 수 있다. SDH 전송 장치에서는 이러한 위상차 변화를 위치 맞춤(justification)으로 보정 한다.

위치 맞춤은 노드 클럭을 삭제 또는 생성시켜서, 노드 클럭과 입력 클럭 간의 위상 차이를 경계치 사이에서만 변동하게 하여 주는 스타핑 동기

---

\*인천대학교 정보통신공학과 교수

접수일자 : 2003. 9. 8

방식(stuffing synchronization technique)을 사용 한다[1]. 이러한 위치 맞춤 과정에서 발생되는 포인터 조정 지터(또는 스타핑 지터)는 Duttweiler에 의해 이론적으로 분석되었다[2]. 포인터 조정은 근본적으로 155.52 Mbit/s의 SDH 노드 클럭이 3비트씩 조정되므로 발생되는 지터의 크기가 크다. 포인터 조정 지터를 감소시키기 위하여, 스타핑 판별 경계치 변조(STM: Stuff Threshold Modulation) 방식이 제시되었다[3]. 본 논문에서는 STM 방식에서 발생되는 지터의 성질을 분석하고자 한다.

## II. 포인터 조정 장치에서 발생되는 지터

동기식 디지털 계위와 각 계위의 전송 속도 및 프레임 구조는 ITU 권고안 G.707, G.708과 G.709에 의해 확정 권고되었다[1]. 동기식 전송 방식에서 사용되는 다중화 단계에서, 기본 요소는 STM-1(Synchronous Transport Module level-1)으로 이의 기본 주파수는 155.52 Mbit/s이며 프레임(frame)의 반복 주파수는 8 kHz이다. STM-1에 수용되는 신호들은 가상콘테이너(VC : Virtual Container), TU(Tributary Unit) 및 AU(Administrative Unit)등의 다중 요소를 거치면서 단계적으로 STM-1 프레임 내의 페이로드(payload)에 삽입된다.

정/영/부 위치 맞춤은 버퍼에 들어있는 데이터를 읽어내기 위하여 공급되는 노드 클럭 중, STM의 프레임 내에 있는 정 위치 맞춤 자리에 있는 클럭들을 AU-4의 경우 세 바이트씩 삭제시켜 갭(gap)이 있는 클럭을 만들어 그 자리에 더미 바이트를 삽입하거나(정 위치 맞춤), 또는 부 위치 맞춤 자리에 있는 갭 대신 그 자리에 클럭들을 세 바이트씩 생성시켜 그 자리에 데이터를 삽입하여(부 위치 맞춤), STM 프레임과 VC의 위상 차이가 상한과 하한 한계값 사이에서만 변동하게 하여 주는 스타핑 동기 방식이다. 이 때 STM 프레임 내에서 계속 변동되는 VC의 시작 위치는 위치 맞춤에 따라 변화되는 포인터에 의해서 표시되며, 이 과정에서 지터가 발생한다.

이와 같은 스타핑 제어 시 클럭이 멈추어질 수 있는 것은 프레임 내 일정한 곳에서만 가능하므로 일정한 스타핑 가능한 시간 위치까지 기다려야만 멈추어질 수 있다. 이와 같은 위치 맞춤은 매 프레임마다 발생할 수 있는 것이 아니라 최대 매 4번 째 프레임마다 발생할 수 있도록 ITU-T 권고안 G.709[1]에서 규정하고 있다. 따라서 발생 가능한 최대 위치 맞춤의 주파수는 2 kHz(8 kHz/4)가 된다. 동기식 통신망에서 각 노드 클럭의 주파수는 155.52 Mbit/s보다 4.6 ppm 높거나 낮을 수 있다. 이러한 노드 클럭 간의 주파수 편차는 한번에 24 비트씩 보정되는 위치 맞춤으로 조정되어야 하므로 실제 위치 맞춤이 행하여지는 빈도 대 최대로 위치 맞춤이 일어날 수 있는 빈도(1초당 2000번)의 비인 스타핑비 Sr은 +0.03에서 -0.03 사이의 값을 가진다.

그러나 클럭이 갑자기 멈추게 되면 지터 성분이 크게 되므로 평활화 PLL(smoothing Phase Locked Loop)을 사용하여 급작스럽게 크게 변동하는 위상의 움직임을 작게 되도록 평활화 시킨 후, 이 평활화된 클럭으로 데이터를 읽어내도록 한다[4]. 불연속성으로 인한 큰 크기의 지터는 PLL의 지터 전달 함수 특성에 따라 필터링(filtering)되므로 클럭에 존재하는 고주파 성분의 지터의 크기를 작게 할 수 있다. Duttweiler는 스타핑 지터의 전력 스펙트럼(power spectrum)  $S_s(f)$ 를 아래 식(1)과 같이 구하였다[2].

$$S_s(f) = \text{sinc}^2 f \cdot Q(f) + \sum_{n=1}^{\infty} \left[ \frac{S_r}{2\pi n} \right]^2 (\delta(f-n) + \delta(f+n)) \quad (1)$$

이 때

$$Q(f) = \sum_{n=1}^{\infty} \left[ \frac{1}{2\pi n} \right]^2 (\text{rep } \delta(f - S_r n) + \text{rep } \delta(f + S_r n))$$

$$\text{rep } X(f) = \sum_{k=-\infty}^{\infty} X(f-k)$$

(2)

$\delta(\cdot)$ 은 Dirac delta 함수이며 주파수  $f$ 의 단위는 포인터 조정 가능한 주파수이다. 이 지터는 수신

장치에 있는 평활 PLL에 의해 필터링되는데 필터링된 지터의 전력 스펙트럼  $S_d(f)$ 는 원래 스펙트럼에 평활 PLL의 지터 전달함수  $H(f)$ 의 크기의 자승을 곱하면 구할 수 있다.

$$S_d(f) = |H(f)|^2 S_s(f) \quad (3)$$

이후 이 스펙트럼을 모두 합하면 평활된 지터의 실효값 (effective value) 또는 rms 값 (root mean square value)이 구해진다. 평활 PLL로는 보통 2차 (second order) PLL이 사용되는데 전달 함수의 피킹(peaking)을 작게하기 위하여 PLL의 뎁핑 계수 (damping factor)를 7로 크게 선정하였다. 뎁핑 계수가 7정도로 큰 경우에 전달 함수는 다음과 같은 근사식이 된다[5].

$$\begin{aligned} H(f) &= \frac{1 + j2\zeta f/f_n}{1 + j2\zeta f/f_n - (f/f_n)^2} \\ &\cong \frac{f_g}{jf + f_g} \end{aligned} \quad (4)$$

이 때

$\zeta$  : 뎁핑계수

$f_n$  : 공진 주파수 (resonance frequency)

$f_g$  : 3-dB 대역폭

포인터 프로세서를 위한 PLL의 3-dB 대역폭  $f_g$ 를 100 및 300 Hz로 각각 선정하였다. 이 대역폭 값들은 조정 가능 주파수를 단위로 할 때 각각 0.05 (참고: 0.1/2), 0.15 (0.3/2)가 되며 이 값들을 식에 대입하면 시스템의 전달 함수를 구할 수 있다. 이러한 파라미터 값들을 가지는 포인터 프로세서에 나타날 이상적인 지터의 스타팅 조정비  $S_r$ 에 따른 실효치들이 계산식 (1) ~ (4)를 이용하여 계산되었으며, 그 rms 결과치가 그림 1에 도시되었다. 스타팅비가 0 근처의 작은 값을 가지는 이러한 경우에, 반복 주기가 큰 저주파의 지터가 발생된다. 이 저주파 지터는 대역폭이 100 Hz인 평활 PLL로도 제대로 감소되지 못하여, 그림 1에서와 같이 모든

스타팅비에 대한 평균적인 rms값의 크기가 38.4 ns인, 큰 크기의 포인터 조정 지터가 발생된다.

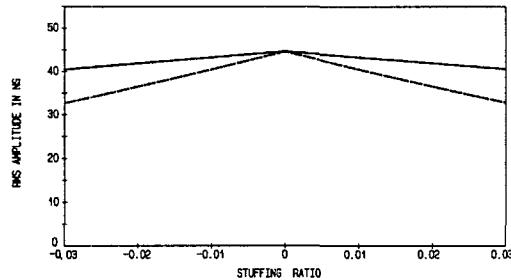


그림 1 포인터 조정 장치에서 발생하는 필터링된 스타팅 지터의 실효치(— : PLL의 3-dB 대역폭=300 Hz, --- : 대역폭=100Hz)

Fig.1 rms value of stuffing jitter generated in pointer adjustment systems with N=4

### III. 판별 경계치 변조 방식에서 발생되는 지터

그림 2가 판별 경계치 변조방식(STM)을 이용한 동기 장치의 구성도이다. 입력 클럭과 다중화 클럭간의 위상차가 위상 검출기에 의해 검출되고, 그 위상차 값이 경계치 보다 크게되면 조정이 행하여지는 것이 이 동기 장치의 동작 원리이다. 이 때 경계치 값이 일정하지 않고 그림 2의 b에서와 같이 그 크기를 변화시키는 것이 STM 방식이다. STM 방식에서 발생되는 지터의 파형이 그림 3에 도시되었다. AU-3와 AU-4의 포인터 조정 시스템에서는 정/영/부 위치 맞춤을 사용하므로 상한 경계치와 하한경계치를 변화시킨다. 그림 3에서 이 경계치 값은 서로 24 UI의 간격을 갖고 있으며, 매 4번째 스타팅 가능시간(stuffing opportunity time: 1/2000 sec) 때마다 텁니파 모양으로 경계치가 반복 변화하는 경우( $N = 4$ )이다. 실선으로 표시되는 지터의 파형에서 관찰되듯이 주기적으로 경계치가 크게 변화함으로 매 4번째 스타팅 가능시간 때마다 빈번하게 강제적으로 조정이 발생하게 된다(forced adjustment). 따라서 이 때 발생되는 지터는 이 경우  $2000/4 = 500$  Hz 정도로 그 기

본 주파수 성분이 높게되어 역동기화 장치내에 있 는 평활 PLL에 의해 작게 감소될 수 있다. AU-4 에서는 스타핑 간격이  $1/2000 \text{ sec} = 500 \mu\text{s}$ 이며 평활 PLL의 3-dB 대역폭은  $100 \sim 500 \text{ Hz}$  정도 이다.

AU-4에서 그림 4와 같이 주기  $N = 4$  조정 시 간 간격인 투니파 모양의 경계치를 사용하는 STM 방식의 시스템에서 발생되는 지터가 시뮬레이션에 의해 생성되었다. 스타핑비가 0.024이며 PLL의 3-dB 대역폭이 300 Hz인 시스템에서 발생 되는 평활된 이 지터의 파형이 그림 4에 도시되었 다. 그림 5는 스타핑비가 아주 작은 0.001인 경우 에 발생되는 지터의 시뮬레이션 파형이다. 그림 5 에서와 같이 스타핑비가 아주 작으면 이때 저주파 의 지터가 발생되며 이 저주파 지터는 평활PLL로 잘 감소되지 못하여 큰 크기의 지터가 발생된다.

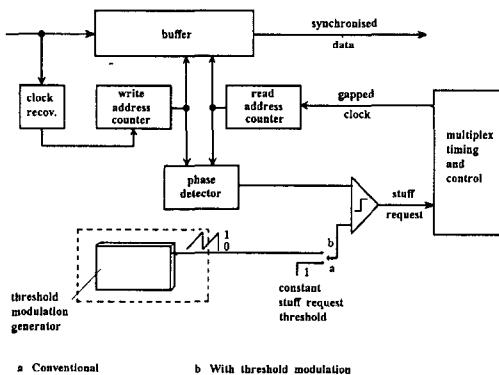


그림 2. 판별 경계치 변조 방식을 이용한 동기 장치의 구성도

Fig.2 Block diagram of synchronization system using STM

PLL의 3-dB 대역폭이 100 또는 300 Hz일 때 스타핑 조정비에 따라 변화하는 평활된 지터의 실 효치가 그림 6에, 같은 조건에서 주기  $N = 5$ 인 경 우에 발생되는 평활된 지터의 실효치가 그림 7에 주어졌다.

PLL의 3-dB 대역폭이 100 또는 300 Hz일 때 스타핑 조정비에 따라 변화하는 평활된 지터의 실 효치가 그림 6에, 같은 조건에서 주기  $N = 5$ 인 경

우에 발생되는 평활된 지터의 실효치가 그림 7에 주어졌다.

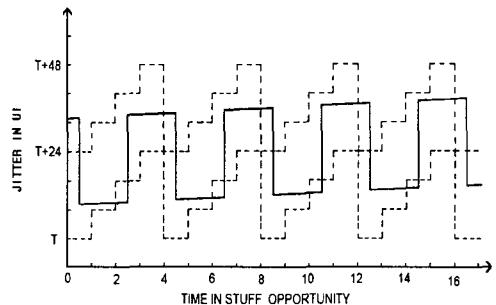


그림 3. 주기가 4 조정 가능한 시간인 STM방식에서 발생되는 지터의 파형  
Fig.3 Waveform of jitter generated in STM system  
 $N=4$

그러나 AU-4 시스템의 경우,  $N$ 값이 4보다 더욱 크게되면 발생되는 지터는 모든 스타핑비에 대하여 500 Hz 이하의 저주파 성분을 갖게 되며, 이 성분은 평활 PLL에 의해서도 감소되지 못하여 결과적 으로 크기가 작지 않은 지터가 발생하는 문제가 있다. 판별 경계치 파형의  $N$ 값을 2에서 10까지 변화 시킬 때 발생되는 평활된 지터의 모든 스타핑 조정 비에 대한 평균적인 실효치가 표 1에 주어졌다. 표 에서와 같이  $N$ 값이 4 또는 5일 때 크기가 작은 유리한 지터가 발생되는 것을 알 수 있다.

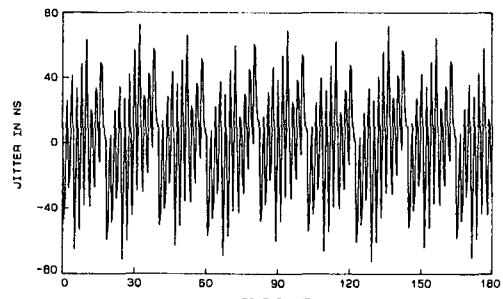


그림 4. STM 방식에서 발생되는 지터가 3-dB 대역폭이 300 Hz인 PLL에 의해 평활된 지터파형(AU4,  $N=4$ , 스타핑조정비= 0.024)  
Fig.4 Smoothed jitter waveform generated in STM system(AU4,  $N=4$ , 3-dB bandwidth=300 Hz, stuffing ratio=0.024)

	N=2	3	4	5	6	7	8	9
100 Hz	39.3	22.7	18.5	18.0	19.0	20.4	22.1	23.8
300 Hz	47.4	35.7	36.1	37.8	40.4	42.7	44.8	46.5

표 1. AU-4에서 경계치의 N값에 따라 다르게 발생되는 평활된 지터의 모든 조정비에 대한 평균적 실효치

Table 1. Average rms value of smoothed jitter against N

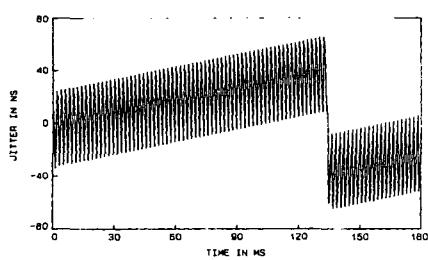


그림 5. STM 방식에서 발생되는 평활된 지터파형(스팅킹조정비=0.001)

Fig.5 Smoothed jitter waveform generated in STM system with 0.001 stuffing ratio

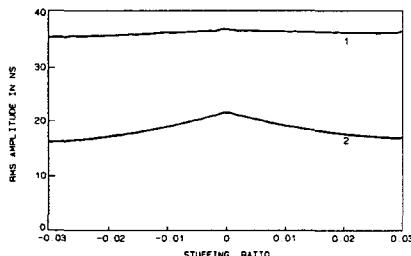


그림 6. STM 방식에서 발생되는 평활된 지터의 실효치(1: PLL의 3-dB 대역폭이 300 Hz, 2: 100 Hz)

Fig.6 rms value of smoothed jitter generated in STM system

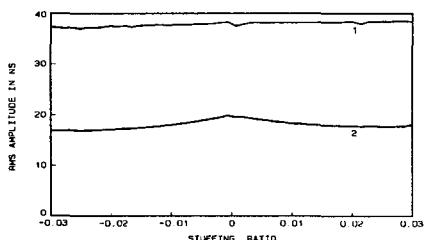


그림 7. 그림 6과 같은 조건이나 다만 N=5 인 경우에 발생되는 평활된 지터의 실효치(1 : PLL의 3-dB 대역폭이 300 Hz, 2: 100 Hz)

Fig.6 rms value of smoothed jitter generated in STM system with N=5

#### IV. 결 론

SDH 동기식 전송망에서 발생되는 포인터 조정 지터에 대하여 분석하였다. 먼저 지금까지 사용되고 있는 기존의 시스템에서 발생되는 지터를 분석하였는데, 실효치가 40 ns인 큰 크기의 지터가 발생된다. 이와 같은 포인터 조정 지터를 감소시키기 위하여 STM 방식을 사용하였으며, 이때 발생되는 지터가 컴퓨터 시뮬레이션에 의한 방법으로 분석되었다. STM 방식에서 발생되는 지터는 실효치가 20 ns 이하로 그 크기가 감소된다. STM 방식에서 발생되는 지터는 그 크기가 경계치 변화 주기 N값에 따라 변화하는데, 판별 경계치 변화 주기 N값을 변화시키면서 이때 발생되는 지터의 평균적인 실효치를 구하였다. 그 결과, N값이 4 또는 5일 때 크기가 작은 유리한 지터가 발생되는 것이 밝혀졌다.

#### 참고 문헌

- [1] ITU-T Rec. G.707, G.708 and G.709, 1996.
- [2] D. L. Duttweiler , "Waiting Time Jitter", Bell Syst. Tech. J., vol.51, pp.165-207, Jan. 1972.
- [3] R. G. Kusyk , W. A. Krzymien and T. E. Moore , "Analysis of Techniques for the Reduction of Jitter caused by SONET Pointer Adjustments", IEEE Trans. Commun., vol.42, no.2, pp.2036 - 2050, Feb. 1994.
- [4] 최승국, "무선 LAN 시스템에서의 심볼동기", 한국해양정보통신학회논문지 7권 3호, pp. 378 - 383, 2003년 6월
- [5] Gardner F.M., "Phaselock Techniques", John Wiley & Sons, 1979.

### 저자 소개



**최승국(Seung-Kuk Choi)**

1974년 : 연세대학교 전자공학과  
공학사

1981년 : 연세대학교 대학원 전자  
공학과 공학석사

1988년 : 독일 Braunschweig 대학교 전자공학과 공학  
박사

1978년~1981년 : 한국전자통신연구소 연구원

1989년~현재 : 인천대학교 정보통신공학과 교수

※ 관심분야 : 이동 통신 시스템, 동기