

Push-Push FET DRO에 부가된 유전체 공진기의 전력 증강 역할에 관한 분석

Investigation on the Output Power Improvement of Push-Push FET DRO with an Additional DR

박 승 욱 · 김 인 석

Seung-Wook Park · Ihn S. Kim

요 약

본 논문에서는 Push-Push FET DRO 회로의 게이트단에서 이용했던 동일한 유전체 공진기를 드레인단에 추가 하면 출력이 증강되는 현상을 이론적으로 해석하였다. 본 해석은 두 개의 마이크로스트립 선로 사이에 위치한 유전체 공진기가 두개의 FET 출력의 위상차를 고정시켜서 Push-Push FET DRO의 출력이 증가되는 것을 보인다. 이 영향을 Push-Push FET DRO 발진기 제작에서 발생할 수 있는 두 개의 FET 출력회로 사이의 임피던스 차이와 전력결합기의 전기적인 길이 오차를 수정하기 위해 사용할 수 있기 때문에 유전체 공진기가 부가된 Push-Push FET DRO는 발진기 제작에 유용한 구조가 될 것이다.

Abstract

In this paper, the output power improvement of Push-Push FET DRO by adding the identical DR at the drain port, as one used in the gate port, has been theoretically investigated. The investigation shows that the DR located between two microstrip lines locks the phase difference of two FET's outputs at 180 degree and improves the output power of Push-Push FET DRO. Since this effect can be used for correcting the impedance difference between two FET's output circuits and the electrical length error of the power combiner at the output circuit of Push-Push DRO, which may occur when fabricate the oscillator, the oscillator with an additional DR can be useful structure for fabricating oscillator.

Key words : Push-Push FET DRO, Push-Push Oscillator, FET DRO

I. 서 론

초고주파 발진기는 DC 전력을 RF 신호로 변환시키는 회로로서 초고주파 시스템에 있어서 가장 기본적이고 필수적인 회로 중에 하나이며, 시스템의 IF 신호를 만들거나 RF 신호를 변·복조할 때 효율과 안정성 확보에 가장 영향을 크게 미치는 회로이다^[1].

정보화 시대가 진전됨에 따라 많은 정보량을 보내기 위해 높은 주파수 신호들이 요구되어지고 있

다. 많은 주파수 생성 기술 중 Push-Push 발진회로 구성기술^{[2]-[5]}은 높은 발진주파수를 추출하는 기술 중 하나이다.

그림 1은 2차 고조파의 출력을 보강하고 기본주파수를 억압하는 Push-Push 발진기 회로의 구성도이다. Push-Push 구조의 발진기는 기본 주파수의 2배 되는 주파수를 출력시킴으로써 3단자 능동소자의 차단 주파수 한계를 극복하므로 높은 출력주파수를 얻을 수 있다.

경희대학교 전자공학과(Department of Radio Engineering, Kyunghee University)

· 논문 번호 : 20030716-102

· 수정완료일자 : 2003년 10월 28일

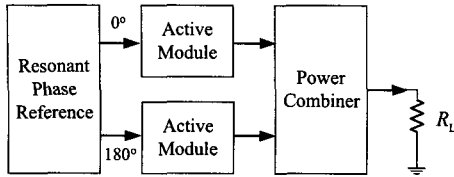


그림 1. Push-Push 발진기의 Block Diagram
Fig. 1. Block diagram for push-push oscillators.

Push-Push FET DRO를 포함하는 모든 종류의 반도체 신호원에 대한 또 하나의 요구사항으로 좀 더 높은 주파수 발생뿐만 아니라 좀 더 높은 출력전력 생성이 요구되고 있다.

발표된 대부분의 Push-Push FET DRO 회로는 각 FET의 게이트 단에 연결된 두 마이크로 스트립 선로 사이에 DR을 사용하고 있다^{[3]-[5]}. 그러나, Push-Push 구조 발진기의 출력증가를 위해 전력 결합기와 드레인 단자 사이에 게이트 단에서 사용된 것과 동일한 DR을 첨가한 구조가 발표되었지만^[6], 즉, 9 개의 발진기에 DR을 부가했을 때 최대 3.2 dBm이 증가되었다는 실험적인 결과만을 보여주어 이 현상에 대한 분석이 필요하였었다. 이때 드레인 단에 첨가된 DR의 역할이 제시되지 않았으며, 이로 인한 출력향상의 원인 또한 제시되지 않고 있었다.

본 논문에서는 두 도선 사이에 놓인 DR의 특성을 시뮬레이션을 통하여 분석하고 이를 드레인 단에 첨가된 DR에 적용하여 Push-Push DRO에서 드레인 단에 첨가된 DR이 Balanced 구조의 발진기 출력의 위상오차를 억압함을 확인하고 Balanced 구조의 발진기 출력의 위상오차가 발진기 출력에 미치는 영향을 분석하여 최종적으로 드레인 단에 DR을 첨가함으로써 Push-Push DRO의 출력이 향상됨을 보이고 이러한 분석의 타당성을 시뮬레이션을 통해 확인하고자 한다.

II. Push-Push DRO 출력전력과 위상관계 분석

그림 2는 Series Feedback을 이용한 Push-Push FET 발진기의 구성도이다.

각 FET의 게이트 단에 연결된 두 마이크로스트립 선로 사이에 위치하는 DR은 발진주파수를 결정할 뿐만 아니라 180° 위상차를 가지는 기본주파수 성분을 반사시켜 이를 게이트 단에 되돌림으로서 두 FET 발진기가 Balanced 동작을 하도록 능동소자의

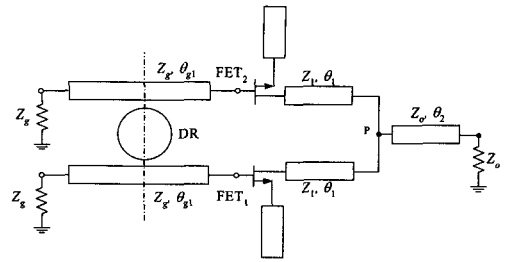


그림 2. Push-Push FET 발진기의 구성도
Fig. 2. Configuration of push-push FET oscillator.

입력을 제어하며, 출력단에 위치하는 전력결합기는 발진기 출력의 기본주파수 및 기수차 고조파(odd-mode harmonics) 성분을 상쇄시키고 우수차 고조파(even-mode harmonics) 성분을 증가시키도록 설계함으로써, 2차 고조파 주파수의 출력을 얻게 한다. 이러한 특성을 갖는 전력결합기는 그림 3과 같은 구조를 사용하면 쉽게 구현될 수 있다^[3].

출력전력과 위상과의 관계를 구하기 위해 Balanced 동작의 출력전력을 시간영역에서 구해 보자. FET의 시간영역의 입-출력관계는 다음과 같은 Taylor 전개식으로 나타낼 수 있으므로

$$i(t) \approx A_0 + A_1 V_{gs}(t) + A_2 V_{gs}^2(t) + A_3 V_{gs}^3(t) + \dots (1)$$

이 때 $V_{gs}(t)$ 는 dc 및 ac 성분을 모두 포함한 각 FET의 게이트-소스간의 전압을 나타낸다. 두 FET의 출력전류 즉, 전력결합기의 입력전류를 구하기 위해 gate 입력전압을 다음과 같이 가정하자.

$$V_{gs1} = V_{g0} + a_o \cos(\omega_o t)$$

$$V_{gs2} = V_{g0} + a_o k(\omega_o) \cos(\omega_o t + 180^\circ + \phi(\omega_o)) (2)$$

여기서 V_{g0} 는 두 FET의 소스-드레인간의 bias 전압이고 $k(\omega_o)$ 는 기본주파수에서 두 gate 입력전압의 진폭비로서 $0 \leq k(\omega_o) \leq 1$ 의 값을 가지며, $\phi(\omega_o)$ 는

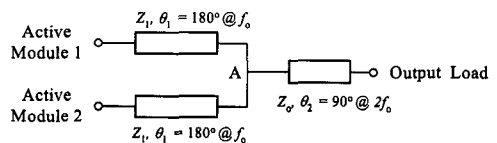


그림 3. Push-Push 발진기에 사용되는 전력결합기의 전기적 길이 특성

Fig. 3. Characteristics of electrical lengths for power combiner adopted in push-push oscillators.

두 게이트 입력전압의 위상차를 나타낸다. 두 신호는 Balanced 동작을 하며 위상차 180°를 가진다. 식 (2)를 (1)에 대입하여 각 FET의 드레인 전류를 구하면 전력은 전류의 제곱에 비례하므로 기본주파수 및 2차 고조파 주파수의 전력을 다음과 같은 비례관계로 쓸 수 있다^[8].

$$P^1(\omega) \propto \left(\frac{a_o^2 A_1^2}{2} + 2 a_o^2 A_1^2 V_{g0} - 2 a_o^2 A_1 A_2 V_{g0} \right) \times (1 + k^2 - 2k \cos \phi) \quad (3)$$

$$P^2(\omega) \propto \frac{a_o^4 A_2^2}{8} \{1 + k^4 + 2k \cos 2\phi\} \quad (4)$$

따라서, Balanced 구조에서 출력전력은 두 FET의 입력 전압비 및 입력전압의 위상차에 의존함을 알 수 있으며, 이상적인 Balanced 동작($k=1, \phi=1$)에서 기본주파수 성분은 모두 상쇄되고 2차 고조파 성분은 3 dB 상승함을 알 수 있다. Push-Push 발진기는 Balanced 동작을 하므로 Push-Push 발진기의 출력전력 및 위상과의 관계는 동일하다고 할 수 있다.

III. 두 도선 사이에 위치한 DR의 특성

Push-Push 발진기에서 각 FET의 게이트와 드레인 단에 연결된 마이크로스트립 선로 사이의 DR을 영향을 고려하기 위해서는 두 도선 사이에 위치한 DR의 기본주파수와 제 2차 고조파 주파수에서의 특성을 파악해야 한다. 본 논문에서는 정성적인 해석과 함께 EM Field 시뮬레이션을 통하여 두 도선 사이에 위치한 DR의 특성을 살펴보고자 한다.

하나의 마이크로 스트립 선로와 결합된 DR은 대역저지 특성을 갖는다^[9]. 이는 두 도선과 결합된 DR을 고려할 때도 유효하나, 이는 단지 한 도선에서의 반사특성과 전달특성을 고려할 때만이 유효하다. 하나의 도선에서 다른 도선으로의 전달특성은 한 도선에서 발생한 자기장이 DR을 통해 다른 도선에 유도 전류를 발생시키는 과정을 이용하여 설명할 수 있다. 그림 4는 $TE_{01\delta}$ Mode의 유전체공진기가 FET의 게이트 단에 180° 위상차를 가지는 전류를 유도하는 원리를 설명해 주는 그림이다. $TE_{01\delta}$ Mode 유전체공진기 양쪽의 마이크로스트립 선로에는 서로 반대 방향의 자기장이 유도되며 이 자기장이 마이크로스트립 선로에 180° 위상차를 가지는 전류를 유도하게

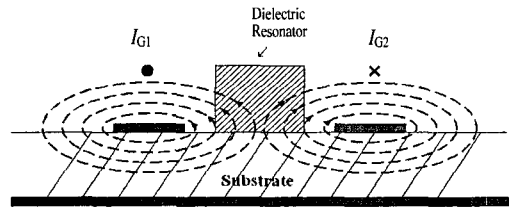


그림 4. $TE_{01\delta}$ Mode DR과 두 도선 간의 자기적 결합
Fig. 4. Magnetic coupling between two microstrip lines and $TE_{01\delta}$ DR.

되며 이로 인해 능동소자의 게이트 단에는 180° 위상차를 가지는 전압이 걸리게 된다.

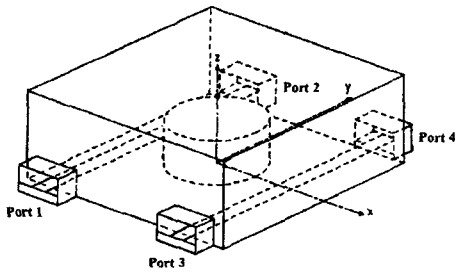
따라서, 공진 주파수에서는 한 도선의 신호가 DR의 자기장을 매개로 하여 다른 도선으로 전달됨을 알 수 있으며 이는 대역통과 전달특성을 따르는 것을 알 수 있다. 이러한 정성적인 특성을 확인하기 위해 두 도선 사이에 위치한 DR을 HFSS를 사용하여 시뮬레이션한 결과를 그림 5에 나타내었다.

두 도선에 DR이 결합된 구조의 특성은 공진주파수에서 모든 S-parameter가 6 dB에 가까운 특성을 가지며 한 도선에서의 전달특성과 반사특성은 대역저지 특성을 보이고, 한 도선에서 다른 도선으로의 전달특성은 대역통과 특성을 보인다. 또한, S-parameter의 위상특성을 살펴보면 S_{11} 과 S_{31} 은 공진주파수에서 서로 180° 위상차를 가지는 것을 알 수 있다.

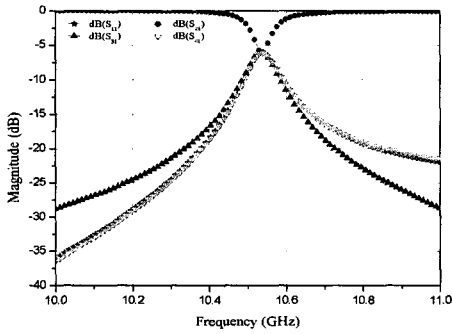
IV. DR에 의한 위상보정

Push-Push DRO의 드레인 단에 연결된 두 마이크로스트립 사이에 DR을 삽입한 구조를 그림 6(a)에 나타내었다. 이 때 두 도선 사이에 놓인 두 DR은 모두 4단자 소자로 간주할 수 있으며 FET는 2단자 소자로 간주한다. 기본주파수 성분만을 고려하기 위한 분석 방법으로는 각 소자의 S-parameter를 이용하였다.

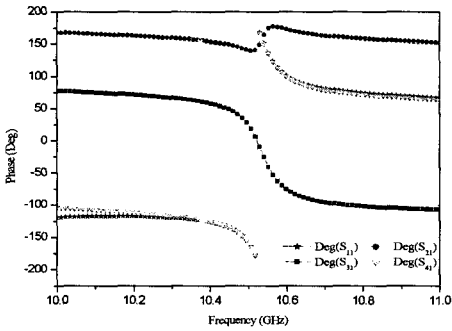
그림 6(b)의 개념도를 바탕으로 신호의 흐름을 살펴보면 게이트단으로 입력된 신호는 FET에서 출력되며 이 신호의 일부가 드레인단의 DR에서 반사되어 FET로 되돌아간다. 되돌아간 신호중 일부가 다시 게이트단에서 출력되며 이 신호는 다시 게이트 단의 DR에서 반사되어 다시 게이트단으로 되돌아오게 된다. 이러한 과정을 분석하기 위해 식 (2)와 같은 두 입력이 게이트단에 입력된다고 가정하면 DR의 영향은 기본주파수인 ω_o 성분에만 나타나므로 DC 성분



(a) 시뮬레이션 모델
(a) Simulation model



(b) S-parameter의 크기 특성
(b) Magnitude property of S-parameters

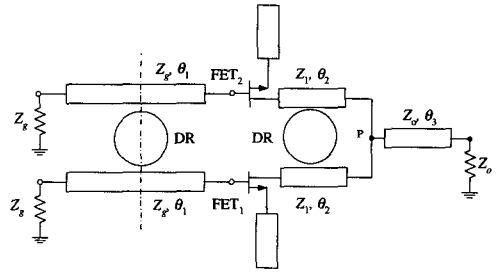


(c) S-parameter의 위상특성
(c) Phase property of S-parameters

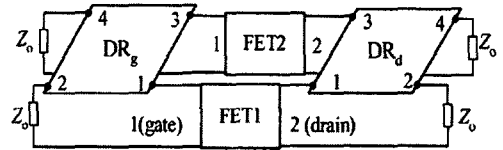
그림 5. 두 도선 사이에 놓인 DR의 시뮬레이션 모델과 S-parameter 특성
Fig. 5. Simulation model and S-parameter properties for DR between two microstrip lines.

을 제외하고 기본주파수 성분만을 고려하여야 한다. 따라서, 초기 게이트단에 입력되는 전압 V_{gs1} , V_{gs2} 를 다음과 같이 놓아 기본주파수 성분만을 고려하도록 한다.

$$\begin{aligned} V_{gs1} &= a_o \cos(\omega_o t) \\ V_{gs2} &= a_o k(\omega_o) \cos(\omega_o t + 180^\circ + \phi(\omega_o)) \end{aligned} \quad (5)$$



(a) Push-Push DRO의 구성도
(a) The schematic Diagram of Push-Push DRO



(b) Push-Push DRO의 개념도
(b) The conceptual diagram of Push-Push DRO

그림 6. 드레인 단에 DR을 부가한 Push-Push DRO의 구성도 및 개념도
Fig. 6. The schematic and conceptual diagram having additional DR in drain.

위상특성을 분석하기 위해 게이트 단에 연결된 두 도선 사이에 놓인 DR간의 전기적 길이를 θ_1 , 드레인 단에 연결된 두 도선 사이에 놓인 DR간의 전기적 길이를 θ_2 라고 하면 상기의 신호흐름을 거쳐 게이트 단으로 입력되는 신호는 아래와 같이 행렬로 표현할 수 있다.

$$\begin{pmatrix} V'_{gs1} \\ V'_{gs2} \end{pmatrix} = \begin{pmatrix} S_{11}^{DR_g} e^{2j\theta_1} & S_{31}^{DR_g} e^{2j\theta_1} \\ S_{13}^{DR_g} e^{2j\theta_1} & S_{33}^{DR_g} e^{2j\theta_1} \end{pmatrix} \begin{pmatrix} S_{12}^T & 0 \\ 0 & S_{12}^T \end{pmatrix} \begin{pmatrix} V_{gs1} \\ V_{gs2} \end{pmatrix} \quad (6)$$

여기서 각 행렬 요소는 DR 및 FET의 공진주파수에서의 S-parameter이며, 적용된 두 DR은 동일한 DR이므로 S-parameter는 모두 같다고 할 수 있으므로, 식 (6)은 다음과 같이 쓸 수 있다.

$$\begin{pmatrix} V'_{gs1} \\ V'_{gs2} \end{pmatrix} = \begin{pmatrix} S_{11}^{DR} e^{2j\theta_1} & S_{31}^{DR} e^{2j\theta_1} \\ S_{31}^{DR} e^{2j\theta_1} & S_{11}^{DR} e^{2j\theta_1} \end{pmatrix} \begin{pmatrix} S_{21}^T & 0 \\ 0 & S_{21}^T \end{pmatrix} \begin{pmatrix} V_{gs1} \\ V_{gs2} \end{pmatrix} \quad (7)$$

앞에서 분석된 두 도선 사이의 DR의 분석에 의해 아래의 관계가 성립하므로

$$|S_{11}| = |S_{31}|, \quad \angle S_{11} = \angle S_{31} + 180^\circ \quad (8)$$

식 (8)을 이용하여 식 (7)을 다시 쓰면

$$\begin{pmatrix} V_{gs1} \\ V_{gs2} \end{pmatrix} = S_{21}^T S_{12}^T (S_{11}^{DR})^2 e^{2k(\theta_1 + \theta_2)} \times \begin{pmatrix} 1 & -1 \\ -1 & 1 \end{pmatrix} \begin{pmatrix} 1 & 0 \\ 0 & 1 \end{pmatrix} \begin{pmatrix} 1 & -1 \\ -1 & 1 \end{pmatrix} \begin{pmatrix} V_{gs1} \\ V_{gs2} \end{pmatrix} \quad (9)$$

따라서, 게이트 단으로 되돌아오는 신호 V_{gs1} , V_{gs2} 은 다음과 같이 쓸 수 있다.

$$\begin{pmatrix} V_{gs1} \\ V_{gs2} \end{pmatrix} = 2S_{21}^T S_{12}^T (S_{11}^{DR})^2 e^{2k(\theta_1 + \theta_2)} \begin{pmatrix} 1 & -1 \\ -1 & 1 \end{pmatrix} \begin{pmatrix} V_{gs1} \\ V_{gs2} \end{pmatrix} \quad (10)$$

식 (10)에 식 (5)를 대입하여 정리하면

$$\begin{aligned} V_{gs1} &= 2a_o S_{21}^T S_{12}^T (S_{11}^{DR})^2 e^{2k(\theta_1 + \theta_2)} \\ &\quad \times [\cos(\omega_o t) + k\cos(\omega_o t + \phi)] \\ V_{gs2} &= -2a_o S_{21}^T S_{12}^T (S_{11}^{DR})^2 e^{2k(\theta_1 + \theta_2)} \\ &\quad \times [\cos(\omega_o t) + k\cos(\omega_o t + \phi)] \quad (11) \end{aligned}$$

이때 조정 가능한 전기적 길이 θ_2 는 FET의 S-parameter의 곱인 $S_{12}^T S_{21}^T$ 의 복소항을 없애기 위해 조정될 수 있다. 따라서, 초기에 게이트 단에 입력된 전압에 진폭의 차이 및 위상오류가 존재하더라도 DR의 영향에 의해 공진주파수에서 180° 위상차의 전압이 입력되게 함을 알 수 있다.

Balanced 구조의 발진기출력의 위상오차가 발진기 출력에 미치는 영향을 분석한 식 (4)에 의하면 Push-Push 발진기의 출력전력인 2차 고조파 주파수에서의 출력전력은 게이트 입력전압의 진폭 차이 및 위상오류가 없을 때 최고 전력을 나타낸다. 결론적으로 DR을 삽입하여 부가된 전력은 이러한 진폭차이 및 위상오류를 억압함으로써 얻을 수 있는 전력으로서 Push-Push 구조의 효율을 높인 것이라 할 수 있을 것이다.

V. 시뮬레이션 결과

상기의 이론을 확인하기 위한 방법으로 능동소자로 Agilent사의 ADS를 사용하여 19.24 GHz의 발진주파수 Push-push 발진기를 설계하여, 출력회로 및 결

합기 부분에 고의적으로 선로의 길이 및 선로 폭 오차를 두어 입력전압의 위상오차를 부여하고 이 때의 출력전력과 오차를 부가한 회로의 드레인단에 DR의 등가회로를 부가하고 이 때의 출력전력 및 FET에 입력되는 전압의 위상차를 회로 시뮬레이터를 이용하여 확인하고 이를 비교한 결과를 표 1에 비교하였다.

시뮬레이션 결과 드레인 단에 DR을 부가함으로써 임피던스 오차 및 전기적 길이가 부가된 회로에 공통으로 약 2 dBm 정도의 전력향상특성을 보였으며 FET에 입력되는 전압의 위상차 역시 180°에 가까워지는 것을 확인할 수 있었다.

VI. 결 론

본 논문에서는 두 도선 사이에 놓인 DR의 특성을 시뮬레이션을 통하여 분석하고 이를 드레인 단에 첨가된 DR에 적용하여 Push-Push DRO에서 드레인 단에 첨가된 DR이 Balanced 구조의 발진기 출력의 위상오차를 억압함을 증명하였다. 이러한 위상오차는 구조상 발생하는 문제가 아니라 제작과정 상의 아주 작은 오차로도 발생하는 문제이므로 이러한 오차가 상대적으로 큰 MIC 구조에 이러한 위상오차를 억압하는 기술을 적용하는 것은 상대적으로 큰 이득이 될 것으로 판단된다.

향후 이러한 증명을 실험적으로 확인하고 이러한 분석을 적용하여 설계 식을 제안하면 3단자 능동소자의 주파수 한계를 초과하는 Push-Push 발진기의

표 1. push-push 발진기 시뮬레이션 결과
Table 1. Comparison in terms of output power and phase difference between push-push FET DRO with additional DR and without DR.

		출력전력 (dBm)	위상차
DR을 부가하지 않은 Push-Push DRO	전력결합기의 길이오차 부가	-3.008	178.309
	전력결합기의 선로폭오차 부가	-2.757	179.743
DR을 부가한 Push-Push DRO	전력결합기의 길이오차 부가	-0.199	179.179
	전력결합기의 선로폭 오차 부가	-0.229	179.982

출력전력을 효율적으로 높이는 방법으로서 활용될 것으로 생각된다.

참 고 문 헌

- [1] J. R. Bender, C. Wong, "Push-Push Design Extends Bipolar Frequency Range", *Microwaves & RF*, vol. 22, no. 10, pp. 91-98, Oct. 1983.
- [2] A. M. Pavio, M. A. Smith, "A 20-40 GHz Push-Push Dielectric Resonator Oscillator", *IEEE Trans. Microwave Theory Tech.*, vol. MTT-33, no. 12, pp. 1346-1349, Dec. 1985.
- [3] C. M. Liu, C. Y. Ho, "On the Design of a voltage-Tuned Push-Push Dielectric Resonator Oscillator", *Microwave Journal*, vol. 33, no. 6, pp. 165-174, Jun. 1990.
- [4] A. S. Hyun, H. S. Kim et al., "K-Band Hair-pin Resonator Oscillator", *1999 IEEE MTT-S Digest*, pp. 725-728, 1999.
- [5] F. X. Sinnesbichler, B. Hautz and G. R. Olbrich, "A Si/SiGe HBT Dielectric Resonator Push-Push Oscillator at 58 GHz", *IEEE Microwave and Guided Letters*, vol. 10, no. 4, pp. 145-147, Apr. 2000.
- [6] I. S. Kim, C. S. Jo and Y. I. Han, "Output Power Improvement of Push-Push FET DRO by Using An Additional DR", *Microwave Journal*, vol. 45, no. 4, Apr. 2002.
- [7] F. X. Sinnesbichler et al., "Low Phase Noise 58 GHz SiGe HBT Push-Push Oscillator with Simultaneous 29 GHz Output", *IEEE MTT-S Dig.*, pp. 35-38, 2001.
- [8] B. Piernas et al., "Analysis of Balanced Active Doubler for Broad-Band Operation-The Frequency-Tuning Concept", *IEEE Trans. Microwave Theory Tech.*, vol. MTT-50, no. 4, pp. 1120-1126, Apr. 2002.
- [9] P. Guillon, Y. Garault, "Coupling between a Microstrip Transmission Line and a Dielectric Resonator", *IEEE MTT-S Digest*, pp. 200-202, Jun. 1976.

박 승 욱



2000년 2월: 경희대학교 물리학과 (이학사)
 2003년 2월: 경희대학교 전파공학과 (공학석사)
 [주 관심분야] 초고주파 발진기 설계

김 인 석

1974년 2월: 경희대학교 전파공학과 (공학사)
 1984년 2월: Ottawa Univ. 전기공학과 (공학석사)
 1990년 10월: Ottawa Univ. 전기공학과 (공학박사)
 1973년 10월~1980년 8월: 한국방송공사(KBS) 기술사원
 1983년 2월~1983년 12월: Com Dev Ltd, Div of Satellite System, Technical Staff
 1984년 1월~1985년 8월: General Instrument of Canada, Div. of Satellite System, Senior Engineer
 1990년 10월~1991년 2월: Canadian Space Agency, David Florida Lab., Research Scientist
 1991년 2월~1992년 2월: 한국이동통신(주) 기술개발 1부장
 1999년 3월~2000년 2월: ETRI(초빙연구원), 스위스 연방 공과대학(ETH: 방문교수), 미국 Motorola(Ft. Lauderdale) 전자파 연구소 초빙연구원
 1992년 3월~현재: 경희대학교 전파공학과 교수
 2000년 1월~현재: IEEE Trans. Microwave Theory and Techniques, 편집위원
 2002년 1월~현재: IEEE Microwave and Wireless Components Letters, 편집위원
 [주 관심분야] 시간영역 수치해석방법 FDTD & TLM, 초고주파 수동회로 및 소자, 비선형 마이크로파 회로, 믹서, 발진기 UWB Generator 기술, 레이더기술의 민수 쪽으로의 응용, 전자파차폐 측정기술 등