

# 채널에 단일 그레인 경계를 갖는 다결정 실리콘 박막 트랜지스터

速報 論文

52C-12-3

## An Excimer Laser Annealed Poly-Si Thin Film Transistor Designed for Reduction of Grainboundary Effect

全 宰 弘\*  
(Jae-Hong Jeon)

**Abstract** - We report a new excimer laser annealing method which successfully results in a single grain boundary formation in the channel of polycrystalline silicon thin film transistor. The proposed method is based on lateral grain growth and employs aluminum patterns which act as selective beam mask and lateral heat sink. The maximum grain size obtained by the proposed method is about  $1.6\mu\text{m}$  in the length. The grainboundaries should be arranged parallel with the direction of current flow for the best device performance, so we propose a new device fabrication method and a new poly-Si TFT structure. Poly-Si TFT fabricated by the proposed method exhibits considerably improved electrical characteristics, such as high field effect mobility exceeding  $240\text{ cm}^2/\text{Vsec}$ .

**Key Words** : 다결정 실리콘 박막 트랜지스터, 레이저 어닐링, 수평성장 그레인

### 1. 서 론

엑시머 레이저 어닐링 (excimer laser annealing, ELA) 공정으로 제작된 다결정 실리콘 박막 트랜지스터 (poly-Si TFT)를 각종 평판 디스플레이의 화소 스위칭 및 주변 구동 회로에 집적하기 위한 연구가 활발히 진행되고 있다[1]. 고 해상도 디스플레이의 구동 회로 집적을 위해서는 기존 ELA 공정으로 얻을 수 있는 소자의 전하 이동도보다 더욱 높은 값이 요구되어 지고 있으며 회로의 안정적인 동작을 위해 현재보다 더욱 균일한 전기적 특성이 요구되어 지고 있다.

Poly-Si TFT의 전하 이동도는 poly-Si 박막의 그레인 크기가 증가할수록 향상된다. Poly-Si 박막의 그레인 크기는 ELA 공정 시의 laser 에너지 밀도에 비례하여 커지는데, 기존의 ELA 공정으로 얻을 수 있는 최대의 그레인 크기에는 한계가 있으며, 최적의 laser 에너지 조건에서 얻을 수 있는 최대의 그레인 크기는 박막의 두께와 비슷한 정도인 수백 nm를 넘지 못하는 수준이다[2].

본 논문에서는 그레인의 크기를 획기적으로 증가시키기 위해 그레인의 수평 성장을 유도하는 ELA 방법을 제안하였다. 제안된 ELA 방법은 laser beam을 masking하여 박막을 국부적으로 용융시킨다. 비정질 실리콘 박막의 국부적 용융을 통해 용융/비용융 계면에서 우선적으로 결정핵이 형성되도록 하고 수평 방향의 온도 분포 기울기로 인해 그레인의 수평 성장이 유도된다. 따라서, 기존의 ELA 공정으로 얻을 수 있는 수백 nm 정도의 그레인 크기보다 획기적으로 증가

한  $1\mu\text{m}$ 가 넘는 그레인 크기를 얻을 수 있었다. 제안된 ELA 방법을 소자 제작에 응용하는 데 있어 기존 ELA 공정에 비해 추가되는 공정을 최소화하기 위한 소자 제작 방법을 제안하였고 제작된 소자의 전기적 특성을 기존 ELA 공정으로 제작된 소자와 비교하였다.

### 2. 실험 방법

그림 1에 제안된 ELA 공정으로 poly-Si TFT를 제작하는 방법을 나타내었다. 먼저, 800Å의 두께의 비정질 실리콘 박막을 250°C의 기판 도에서 PECVD (plasma enhanced chemical vapor deposition)을 이용하여 증착하고 400°C에서 2시간 열처리를 하여 탈수소 공정을 수행한다. 이 후 그림 1 (a)와 같이 photo-lithography를 이용하여 photoresist를 비정질 실리콘 박막 위에 형성하고 source/drain을 형성하기 위한 dopant를 주입하는 ion implantation을 수행한다. 이 후 그림 1 (b)와 같이 먼저 photoresist가 존재하는 상태에서 2000Å 두께의 알루미늄 박막을 thermal evaporation 공정으로 증착하고, photoresist를 lift-off 방법을 이용하여 패터닝한 후 하부 비정질 실리콘 박막의 결정화를 위해 XeCl excimer laser ( $\lambda=308\text{nm}$ )를  $350\text{mJ}/\text{cm}^2$ 으로 조사한다. laser 조사는 dopant가 주입되지 않은 비정질 실리콘 영역에 조사가 되며 이 부분은 TFT의 channel이 형성될 부분이 된다. 이 때,  $2\mu\text{m}$ 의 폭과  $2\mu\text{m}$ 의 간격을 갖는 알루미늄 패턴은 laser beam에 대한 mask 역할을 하여 하부 국부적으로 용융된 비정질 실리콘 박막에서 그레인의 수평 성장을 유도하게 된다. 비정질 실리콘 박막 위에 형성된 알루미늄 패턴은 XeCl excimer laser의 파장을 포함한 자외선 영역에서의 반사도가 90%가 넘기 때문에 대부분의 laser beam을 반사시킨다. 따라서 알루미늄 패턴이 없는 국부적인 영역에서 비

\* 正 會 員 : 삼성전자 책임연구원, 工博  
接受日字 : 2003年 8月 8日  
最終完了 : 2003年 10月 14日

정질 실리콘의 용융이 일어나게 되며 이 때 액상의 비정질 실리콘의 내부 온도는 용융점 ( $T_m \sim 950^\circ\text{C}$ ) 이상이 된다. Laser beam의 조사가 끝난 순간부터 상승된 액상의 비정질 실리콘의 내부 온도는 측면의 비용융 영역으로 전도되어 냉각되는데, 용융/비용융 계면에서 우선적으로 핵형성 온도 ( $T_n, T_n < T_m$ ) 에 도달하게 되어 핵형성이 시작된다. 형성된 결정핵으로부터 그래인의 수평 성장이 일어나게 되는데 액상의 비정질 실리콘 내부 온도의 분포가 수평 방향 기울기를 갖기 때문에 가능하다. 즉, 내부 온도가 낮은 쪽에서 높은 쪽으로 그래인의 수평 성장이 일어난다.

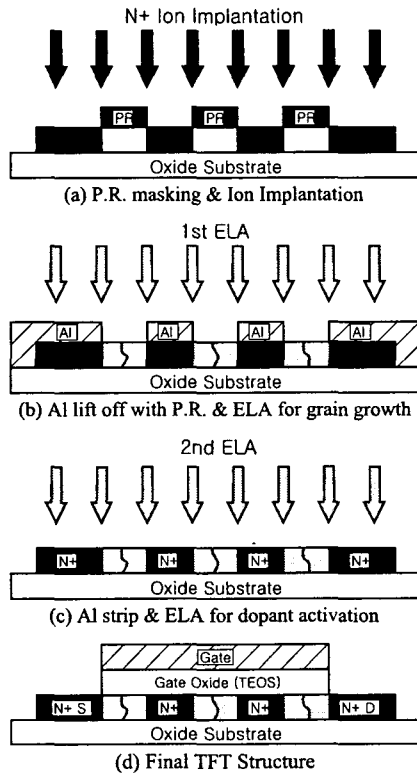


그림 1 그래인의 수평 성장을 유도하는 ELA 공정을 이용한 poly-Si TFT 제작 방법

Fig. 1 Poly-Si TFT fabrication sequences employing the proposed ELA method

Source-Drain 사이에 channel이 3군데가 형성이 되도록 설계한 이유는  $2\mu\text{m}$  길이의 단채널을 사용할 경우 short channel 효과에 의해 소자 특성이 저하되는 것을 방지하기 위한 것으로 유효 channel 길이를 증가시키기 위함이다. 이후 그림 1 (c)와 같이 알루미늄 패터를 제거하고 source/drain 영역에 주입된 dopant를 활성화하기 위한 laser 조사를 수행한다. 이 때의 laser 에너지 밀도는  $250\text{mJ}/\text{cm}^2$ 으로 1차 laser 조사 시보다 낮은 에너지에서 수행한다. 이는 channel 부에 형성된 수평 성장 그래인 구조를 유지시키기 위한 것이며, 이미 결정화된 poly-Si과 비정질 실리콘의 녹는점에서 약  $400^\circ\text{C}$  정도 차이가 나기 때문에 충분히 가능하다. 이후 그림 1 (d)와 같이  $1000\text{\AA}$  두께의 TEOS 산화막으로 게이트 절연막을 형성하고,  $3000\text{\AA}$  두께의 알루미늄 박막으로 게이트 전극을 형성한 다음, passivation layer를 증

착하고 알루미늄 contact을 형성함으로써 소자를 완성한다.

### 3. 결과 및 고찰

그림 2에 제안된 ELA 방법으로 제작된 poly-Si TFT와 일반적인 ELA 방법으로 제작된 poly-Si TFT의 (a)  $I_D-V_G$  transfer 특성과 (b)  $I_D-V_D$  output 특성을 비교하였다. 제안된 ELA 방법으로 제작된 소자의 경우 전하 이동도 ( $246\text{cm}^2/\text{Vsec}$ )가 기존의 ELA 방법으로 제작된 소자 ( $80\text{cm}^2/\text{Vsec}$ )에 비해 약 3배 가량 증가하였다. 이 결과는 제안된 ELA 방법으로 제작된 소자의 경우, 전하 이동에 방해가 되는 전류 방향과 수직으로 위치한 그래인 경계의 수가 기존 ELA 방법으로 제작된 소자에 비해 현저히 감소하였고, 대부분 그래인 경계가 전류 방향과 평행하게 형성된 것에 기인한 것으로 사료된다. 전하 이동도 외에도 문턱 전압의 경우 제안된 ELA 방법의 소자가  $0.9\text{V}$ 로 기존 ELA 방법의 소자가  $1.4\text{V}$ 보다 낮음을 알 수 있는데, 이 또한 그래인 경계의 밀도가 낮아짐에 의해 문턱 전압의 크기에 영향을 미치는 다결정 실리콘 박막의 defect 밀도가 낮아졌기 때문인 것으로 사료된다.

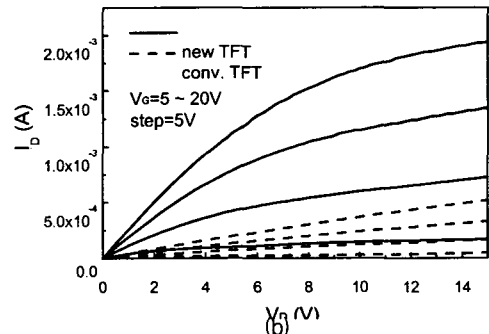
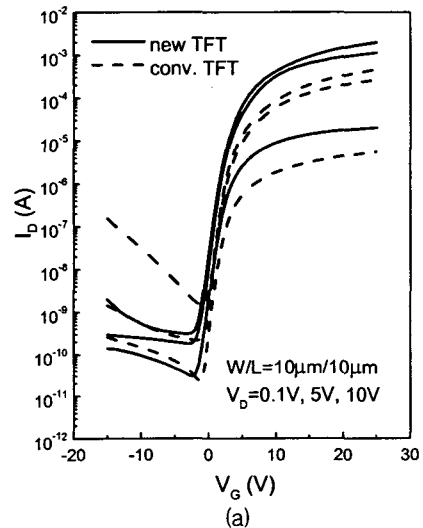


그림 2 제안된 ELA 방법으로 제작된 소자와 기존 ELA 방법으로 제작된 소자의 특성 비교

Fig. 2 Comparison of electrical characteristics between the proposed poly-Si TFT and the conventional one.

제안된 ELA 방법으로 제작된 소자는 off-current 특성도 기존의 ELA 방법으로 제작된 소자보다 우수하다. 이는 제안된 소자의 그레인 경계 밀도가 현저히 줄어든 원인도 있지만 무엇보다 source-drain 사이에 doping된 영역이 존재하는 구조적 원인이 주된 것으로 사료된다. 일반적으로 poly-Si TFT의 누설전류는 drain depletion region에 집중되는 electric field에 의한 impact ionization mechanism으로 설명되고 있다. Source-drain 사이에 doping된 영역을 갖는 구조는 drain edge에 형성되는 electric field의 세기를 분산시켜 줄여주는 효과가 있기 때문에 off current 특성의 향상을 가져온 것으로 사료된다. 이를 뒷받침하기 위해 제안된 구조와 일반적인 구조에 대해 source-drain 사이에 형성되는 electric field 분포를 simulation한 결과를 그림 3에 나타내었다. 제안된 소자의 경우 drain edge에 형성되는 electric field가 각 doping된 영역의 edge에 분산되어 field의 peak치가 약 1/3 정도 감소한 것을 확인할 수 있다.

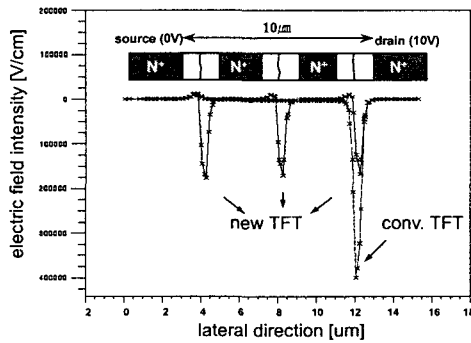


그림 3 제안된 구조와 기존 구조에서 source-drain 사이에 형성되는 electric field 분포 simulation 결과  
 Fig. 3 Simulation result of electrical field distribution between source and drain

기존 ELA 방법의 경우, laser 에너지의 크기에 따라 그레인 크기 및 구조의 차이가 민감하게 반응하여 변하게 되고 소자 특성의 편차가 심하게 된다. 반면 제안된 ELA 방법의 경우, 그레인 크기 및 구조는 mask의 설계에 의해 대부분 결정이 되므로, laser 에너지의 크기에 영향을 받지 않고 균일한 소자 특성을 얻을 수 있다. 그림 4에 다양한 laser 에너지 조건으로 제작된 소자의 전하 이동도를 제안된 ELA 방법으로 제작된 경우와 기존의 ELA 방법으로 제작된 경우를 비교하여 나타내었다. 제안된 ELA 방법에서 그레인의 수평성장이 일어나기 위해서는 비정질 실리콘 박막이 하부 계면까지 완전 용융되는 조건이 만족되어야 하므로 300mJ/cm<sup>2</sup>이상의 에너지 조건에서 결정화를 수행하였다. 제안된 방법의 소자는 laser 에너지의 크기에 큰 영향을 받지 않고 240cm<sup>2</sup>/Vsec 정도의 평균값에 ±5cm<sup>2</sup>/Vsec이내의 균일한 전하 이동도를 나타내는 반면, 기존의 방법의 소자는 80cm<sup>2</sup>/Vsec 정도의 최대 전하 이동도 값을 나타내고 laser 에너지의 크기에 따라 전하 이동도의 값이 큰 폭으로 변화하였고, 같은 크기의 laser 에너지 조건에서 제작된 소자 간에도 ±10cm<sup>2</sup>/Vsec 정도의 큰 편차를 나타내었다.

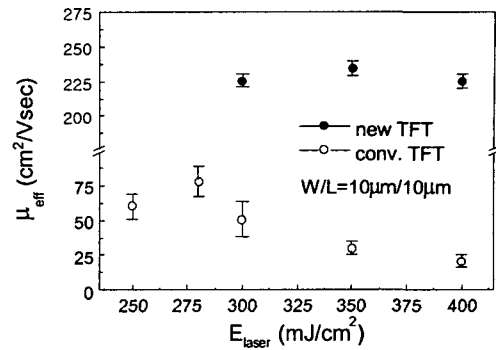


그림 4 Laser 에너지 조건에 따른 전하 이동도 특성의 변화 및 산포  
 Fig. 4 Distribution of field effect mobilities as a function of the laser energy density

#### 4. 결 론

본 논문에서는 그레인의 수평성장을 유도하는 ELA 공정을 제안하고 이를 이용하여 전기적 특성이 우수한 poly-Si TFT를 제작하는 방법을 제안하였다. 제안된 방법으로 결정화를 수행할 경우 그레인의 크기는 최대 1.6μm까지 얻을 수 있으며 channel에는 그레인 경계가 1개만 형성되도록 할 수 있다. 제안된 방법으로 제작된 소자의 경우 전하 이동도가 현저히 향상되었으며, channel에 국부적인 도핑 영역을 갖는 구조로서 leakage 특성도 향상되었다.

#### 참 고 문 헌

[1] K. Sera, F. Okumura, H. Uchida, S. Itoh, S. Kaneko, and K. Hotta, High-performance TFTs fabricated by XeCl excimer laser annealing of hydrogenated amorphous silicon. *IEEE Trans. Electron Devices*, vol. 36, pp. 2868-2872, 1989.  
 [2] J. S. Im, and H. J. Kim, Phase Transformation Mechanism Involved in Excimer Laser Crystallization of Amorphous Silicon Films, *Appl. Phys. Lett.*, vol. 63, No 14, pp. 1969-1971, 1993.