

Oxide-Nitride-Oxide막을 게이트 절연막으로 사용하여 제조한 다결정실리콘 박막트랜지스터의 특성

Properties of Poly-Si TFT's using Oxide-Nitride-Oxide Films as Gate Insulators

이인찬*, 마대영**

(In-Chan Lee* and Tae-Young Ma**)

Abstract

HTO(High Temperature Oxide) films are mainly used as a gate insulator for polysilicon thin film transistors(Poly-Si TFT's). The HTO films, however, show the demerits of a high leakage current and a low electric breakdown voltage comparing with conventional thermal oxides even though they have a better surface in roughness than the thermal oxides.

In this paper, we propose an ONO(Oxide-Nitride-Oxide) multilayer as the gate insulator for poly-Si TFT's. The leakage current and electric breakdown voltage of the ONO and HTO were measured. The drain current variation of poly-Si TFT's with a variety of gate insulators was observed. The thickness optimization in ONO films was carried out by studying I_{on}/I_{off} ratio of the poly-Si TFT's as a function of the thickness of ONO film adopted as gate insulator.

Key Words : Poly-Si TFT, ONO, HTO, Leakage current

1. 서론

다결정실리콘 박막트랜지스터는 대형 평면 디스플레이(large flat panel display) [1-3]와 이미지 센서(image sensor)[4,5]의 구동소자 및 고속 SRAM(Static Random Access Memory)의 부하(active load) [6-9]로 널리 사용되고 있다.

SRAM의 부하로는 다결정실리콘 박막저항이 주로 사용되어 왔다. 다결정실리콘 박막저항은 메모리를 구성하는 최소 셀 면적의 크기를 감소시킬 수 있으므로 고집적화 측면에서 효율적이다. 그러나

다결정실리콘 박막저항의 경우 SRAM의 초 고 집적화, 고속화에 따른 극소형 단위 셀에서 요구되는 낮은 누설전류와 높은 구동전류를 만족시키기에는 한계를 갖고 있다. 이러한 문제점을 해결하기 위한 방안으로 다결정실리콘 박막트랜지스터가 대두되었다. 이는 다결정실리콘 박막트랜지스터를 SRAM의 부하로 사용하면 기존의 다결정실리콘 박막저항과 달리 누설전류와 구동전류의 비(I_{on}/I_{off})를 10^5 이상으로 높일 수 있기 때문이다. SRAM의 부하로 사용되는 박막트랜지스터의 누설전류는 대기상태 소비전력과 직접적인 연관성을 가지고 있으며, 구동전류는 대기상태의 데이터유지 특성과 밀접한 관계를 가지고 있다. 따라서 SRAM소자의 안정적인 동작 구현을 위해서 높은 구동전류 및 낮은 누설전류를 갖는 다결정실리콘 박막트랜지스터에 대한 연구는 지속적으로 이루어지고 있다.

* : 경상대학교 대학원 전기공학과 및 RICIC

** : 경상대학교 전기전자공학부 및 RICIC

(경남 진주시 가좌동 900,

Fax : 055-759-2723

Corresponding Author : tyma@nongae.gsnu.ac.kr)

2003년 4월 21일 접수, 2003년 6월 20일 1차 심사완료,
2003년 6월 29일 최종 심사완료

다결정실리콘 박막트랜지스터의 특성은 다결정실리콘 막과 게이트 절연막의 특성에 큰 영향을 받는다. MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 및 고온 다결정실리콘 박막트랜지스터의 경우, 열산화막이 게이트 절연막으로 폭 넓게 사용되어 왔다. 열산화막은 우수한 계면 특성을 가지고 있으나 저온공정 다결정실리콘 박막트랜지스터의 게이트 절연막으로 사용하기에는 부적합하다. 열산화막 성장의 경우, 결정입계면(grain boundary)을 따라 산화가 일어나며 이에 따른 다결정실리콘 박막트랜지스터의 특성 저하가 발생한다. 또한 이를 방지하기 위해 산화공정의 온도를 낮추면 산화막의 성장속도가 급격히 낮아진다. 따라서 저온공정 다결정실리콘 박막트랜지스터의 게이트 절연막 형성에는 주로 LPCVD (Low-Pressure-Chemical-Vapor-Deposition) [10-12], rf sputtering [13,14], Plasma CVD [15,16] 등이 사용되어 왔다.

본 논문에서는 LPCVD로 제조한 ONO (Oxide-Nitride-Oxide) 적층막을 게이트 절연막으로 사용하여 다결정실리콘 박막트랜지스터를 제조하고 그 특성을 분석하였다. 기존에 저온공정 다결정실리콘 박막트랜지스터의 게이트 절연막으로는 HTO (High Temperature Oxide)막이 주로 사용되어 왔다. LPCVD로 증착되는 HTO막의 경우 열산화막에 비해 계면의 거칠기는 우수하지만 누설전류, 절연파괴 전압 등의 전기적 특성은 열악하다. ONO막은 HTO막의 열악한 전기적 특성을 보완할 것으로 기대된다. 본 실험에서는 ONO막의 두께에 따른 다결정실리콘 박막트랜지스터의 특성 연구를 통해 최적의 ONO두께를 도출하고자 하였다.

2. 다결정실리콘 박막트랜지스터의 제조

비저항 10 Ωcm, (100)방향의 p-type 실리콘웨이퍼를 기판으로 사용하였다. 웨이퍼를 세척한 후 기판으로부터 트랜지스터를 분리시키기 위하여 1000 °C에서 3000 Å의 열산화막을 성장시켰다. 그런 다음 SiH₄+PH₃ 가스를 소스로 하여 LPCVD로 800 Å의 게이트 전극용 다결정실리콘 박막을 증착하였다. 건식에칭으로 게이트 전극을 정의한 후 게이트 절연막으로 사용하기 위해 ONO막을 LPCVD로 830 °C에서 증착하였다. 175 Å, 225 Å, 425 Å으로 ONO두께의 종류를 나누었으며 절화막의 두께는 75 Å으로 고정하였다. 산화막 증착

시에는 SiH₄+NO₂, 질화막 증착 시에는 SiH₄+NH₃ 가스를 소스로 사용하였다. HTO막을 830 °C에서 LPCVD로 증착하고 ONO막의 특성과 비교하였다.

게이트 절연막 위에 Si₂H₆ 가스를 이용하여 480 °C에서 280 Å 두께의 실리콘 박막을 증착하였다. 증착된 박막을 650 °C, N₂ 분위기에서 6시간 열처리하여 결정화시킨 후 RIE(Reactive Ion Etching) 장비를 이용하여 활성영역(active poly-Si film)을 식각·형성하였다. 본 연구에서 제조한 다결정실리콘 박막트랜지스터는 차단영역의 누설전류를 줄이기 위하여 drain-offset 구조를 채택하였다. 따라서 활성영역에 drain-offset을 정의한 후 BF₂ 가스를 사용하여 가속에너지 20 KeV로 이온주입하였다. 이때 주입한 도스(dose) 양은 1×10¹² cm⁻² 이었다. 마지막으로 소스 및 드레인을 형성하기 위하여 boron을 1×10¹⁷ cm⁻² 주입하였다. 소자 캡핑(capping)용 산화막을 700 °C에서 TEOS (tetraethylorthosilane)+O₂ 가스를 사용하여 1000 Å 정도 증착하였다. 이온주입한 도펀트의 활성화를 위하여 N₂ 분위기에서 830 °C로 30 분간 열처리하였다. 배리어 층을 위하여 Ti 및 TiN을 각각 250 Å 및 700 Å 증착한 후 접촉저항 개선 및 알루미늄 스파이킹 문제를 해결하기 위하여 N₂ 분위기에서 600 °C로 30 분간 열처리하였다. 4500 Å의 Al막을 증착한 후 N₂ 분위기에서 410 °C로 30 분간 열처리하였다. 제조된 다결정실리콘 박막트랜지스터의 단면도를 그림 1에 나타내었다. 여기서 채널의 W/L은 0.35 μm/0.7 μm였다.

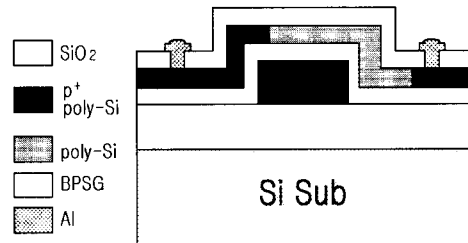


그림 1. Drain-offset poly-Si TFT의 단면도.
Fig. 1. Cross-sectional view of a drain-offset poly-Si TFT.

3. 게이트 절연막의 전기적 특성

다결정실리콘 박막을 고온에서 열산화시킨 경우, 입계면을 통해 산화막 성장이 빠르게 일어나

표면 거칠기가 나빠진다. 특히 하부에 있는 다결정 박막의 도핑레벨에 따라 산화막의 성장 속도가 달라져 두께 조절이 어려워지며, 이로 인해 하부 층 다결정 박막의 면 저항도 심한 차이를 나타낸다. 이러한 문제점을 해결하기 위하여 HTO막이 저온 공정 다결정실리콘 박막트랜지스터의 게이트 절연막으로 사용되고 있다. HTO막은 열산화막과 전기적 특성이 비슷하며 산화막 형성 시 하부 층인 다

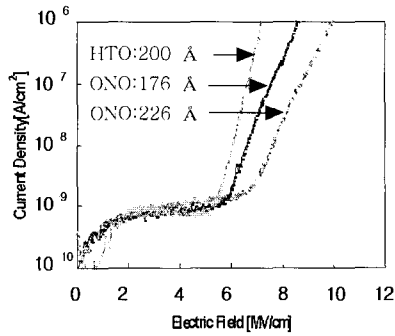


그림 2. HTO 및 ONO막의 전계에 따른 전류밀도 변화.

Fig. 2. Current density vs. electric field for HTO and ONO films.

결정 박막의 영향을 받지 않아 두께 조절이 용이하다. 그러나 HTO막을 게이트로 사용하는 경우, 막의 두께가 감소함에 따라 과도한 누설전류의 증가가 나타나게 된다. 본 논문에서는 이러한 문제점을 완화시키기 위해 ONO 적층구조를 게이트 절연막으로 제안하였다. 그림 2는 ONO MOS 커패시터의 전류-전압 특성을 나타낸 것이다. 비교를 위해 225 Å의 ONO와 전기적 특성 두께가 동일한 200 Å의 HTO막에 대한 특성도 함께 제시하였다. 측정된 결과로부터 ONO막이 HTO막에 비해 누설전류 및 절연과피 특성에서 우수함을 확인할 수 있다. 누설전류 및 절연과피 특성으로 볼 때, 게이트 용 ONO 적층의 두께를 더욱 감소시킬 수 있을 것으로 사료된다.

4. 다결정실리콘 박막트랜지스터의 전기적 특성

앞 절에서 본 바와 같이, ONO막이 HTO막에 비해 누설전류의 증가 없이 항복전압은 높게 나타난다. 이는 게이트 절연막의 두께 감소 측면에서

ONO막이 HTO막에 비해 유리함을 의미한다. 게이트 절연막의 두께 감소는 다결정실리콘 박막트랜지스터의 특성 향상 및 안정적인 전압-전류 특성을 확보할 수 있는 중요한 요소이다.

그림 3 및 그림 4는 ONO 및 HTO를 게이트 절연막으로 사용한 다결정실리콘 박막트랜지스터의 게이트 전압에 대한 드레인 전류(V_G-I_D) 특성을 나타낸 것이다. 측정치가 fA 정도로 낮은 경우에는 잡음에 의해 불안정한 값을 보였다. 전류누설전류

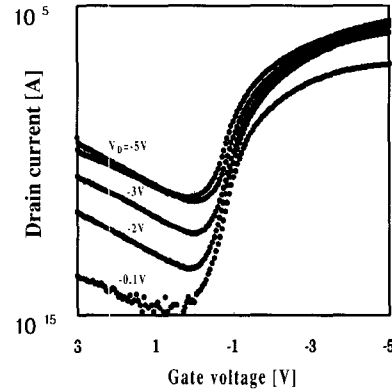


그림 3. ONO 게이트 다결정실리콘 박막트랜지스터의 드레인 전류 대 게이트 전압 특성.

Fig. 3. Drain current as a function of gate voltage for poly-Si TFT's with ONO gate. Thickness of ONO is 225 Å.

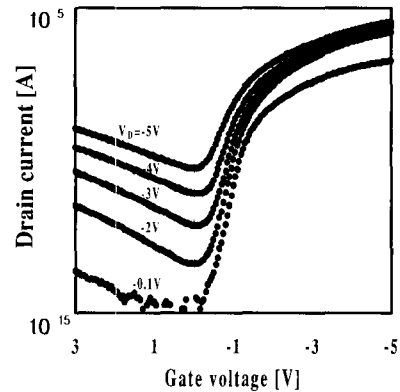


그림 4. HTO 게이트 다결정실리콘 박막트랜지스터의 드레인 전류 대 게이트 전압 특성.

Fig. 4. Drain current as a function of gate voltage for poly-Si TFT's with HTO gate. Thickness of ONO is 200 Å.

는 드레인 전압이 -5 V일 때의 최소 드레인 전류로 정의하였다. I_{on}/I_{off} 비는 게이트 전압이 각각 0 V 및 -5 V일 때의 드레인 전류의 차이로 정의하였다. 이때 드레인 전압은 -5 V로 고정하였다. 서브문턱기울기(sub-threshold slope)는 $\log(I_D)-V_G$ 곡선의 최대 기울기로부터 구하였다. 표 1은 게이트 절연막에 따른 다결정실리콘 박막트랜지스터의 특성을 요약한 것이다. ONO막을 게이트 절연막으로 적용한 다결정실리콘 박막트랜지스터의 경우 HTO막을 적용한 다결정실리콘 박막트랜지스터에 비해 누설전류가 감소하는 것으로 나타났다. 그러나 포화영역인 게이트 전압 -5 V에서 측정된 드레인 전류 값은 HTO의 경우가 조금 높게 측정되었다. HTO막을 적용한 다결정실리콘 박막트랜지스터의 경우 포화영역에서 드레인 전압 증가에 따른 Kink 효과가 ONO막을 적용한 경우에 비해 크게 나타나기 때문이다. Kink 현상은 드레인 전압에 따라 편치오프 영역에 형성된 전계의 세기가 채널내 전자들의 이온화(impact ionization)를 유발시켜 이로 인해 전자-정공쌍(electron-hole pairs)이 발생되며, 결과적으로 드레인 영역의 임피던스를 낮추고 드레인 전류의 급격한 증가를 유발시키는 것이다.

표 1. ONO 및 HTO를 게이트 절연막으로 사용한 다결정실리콘 박막트랜지스터의 특성 요약.

Table 1. Summary of the device parameters for poly-Si TFT's using ONO and HTO films as gate insulator.

| | I_{off} (pA) | I_{on} (μA) | I_{on}/I_{off} (10^5) | Sub-threshold slope (mV/dec) |
|------------|----------------|----------------------|-----------------------------|------------------------------|
| ONO(225 Å) | 4.9 | 3.6 | 7.4 | 323 |
| HTO(200 Å) | 8.8 | 3.9 | 4.4 | 416 |

그림 5 및 그림 6에 다결정실리콘 박막트랜지스터의 드레인 전압에 대한 드레인 전류(V_D-I_D) 특성을 나타내었다. HTO를 게이트 절연체로 사용하는 경우가 ONO 박막트랜지스터에 비해 상대적으로 큰 Kink 효과를 보이고 있다.

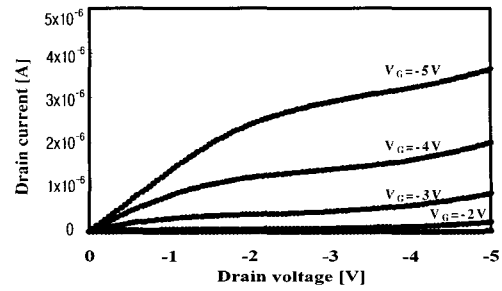


그림 5. ONO 게이트 다결정실리콘 박막트랜지스터의 드레인 전류 대 드레인 전압 특성.

Fig. 5. Drain current as a function of drain voltage for poly-Si TFT's with ONO gate. Thickness of ONO is 225 Å.

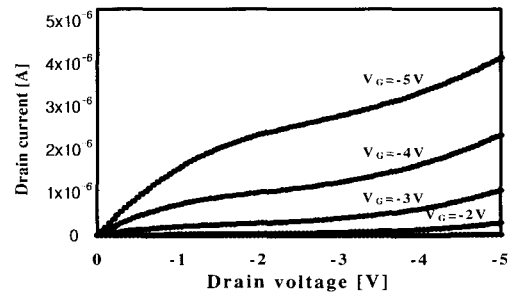


그림 6. HTO 게이트 다결정실리콘 박막트랜지스터의 드레인 전류 대 드레인 전압 특성.

Fig. 6. Drain current as a function of drain voltage for poly-Si TFT's with HTO gate. Thickness of HTO is 225 Å.

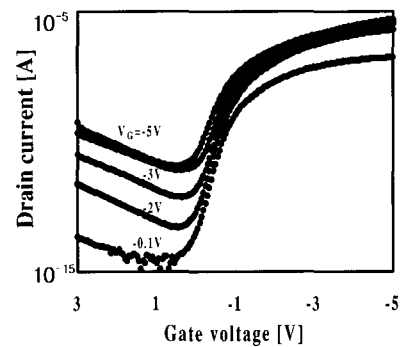


그림 7. ONO 게이트 다결정실리콘 박막트랜지스터의 드레인 전류 대 게이트 전압 특성.

Fig. 7. Drain current as a function of gate voltage for poly-Si TFT's with ONO gate. Thickness of ONO is 175 Å.

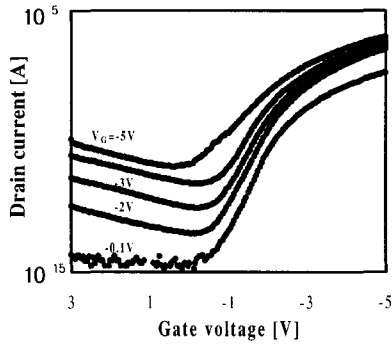


그림 8. ONO 게이트 다결정실리콘 박막트랜지스터의 드레인 전류 대 게이트 전압 특성.

Fig. 8. Drain current as a function of gate voltage for poly-Si TFT's with ONO gate. Thickness of ONO is 425 Å.

그림 7과 그림 8은 175 Å과 425 Å 두께의 ONO막을 사용하여 제조한 다결정실리콘 박막트랜지스터의 V_G - I_D 특성을 나타낸 것이다. 절연막 두께의 증가에 따라 I_{on} 및 I_{off} 는 감소하며, 특히 게이트 절연막이 일정 두께 이하로 감소하면 게이트와 드레인 사이의 전계 증가에 의해 누설전류가 급격하게 증가한다.

표 2. ONO두께에 따른 다결정실리콘 박막트랜지스터의 특성 요약.

Table 2. Summary of the device parameters for poly-Si TFT's for the various thickness of ONO gate insulators.

| | I_{off} (pA) | I_{on} (μA) | I_{on}/I_{off} (10^5) | Sub-threshold slope (mV/dec) |
|-------|----------------|----------------------|-----------------------------|------------------------------|
| 175 Å | 14.3 | 5.7 | 4.0 | 258 |
| 225 Å | 4.9 | 3.6 | 7.4 | 323 |
| 425 Å | 2.5 | 1.0 | 4.1 | 554 |

다결정실리콘 박막트랜지스터의 누설전류는 SRAM 소자의 대기상태 소비전력을 결정하는 요소이다. 일반적으로 누설전류를 감소시키면 구동전류의 감소가 상관관계(trade-off)로 나타난다. 본 실험의 목적 중 하나는 이러한 전기적 특성의 상관관계를 최적화하는데 있으며, 이런 최적화 측정 요소는 I_{on}/I_{off} 비로 표현된다. 본 실험에서 제조한

박막트랜지스터의 경우로 볼 때, 적절한 ONO막의 두께는 225 Å으로, 이때 I_{on}/I_{off} 비는 약 7.36×10^5 으로 나타났다. 표 2에 ONO 두께에 대한 박막트랜지스터의 특성을 요약하였다.

5. 결 론

다결정실리콘 박막트랜지스터를 SRAM의 부하 트랜지스터로 사용하기 위해서는 낮은 누설전류와 10^5 이상의 I_{on}/I_{off} 비를 가져야 한다. 이는 SRAM의 소비전력과 데이터 유지 능력에 직접적으로 연관되는 문제이다. 본 논문에서는 다결정실리콘 박막트랜지스터의 특성 개선을 위하여 SRAM 제조공정에 적합하고 유전상수가 높고 누설전류 특성이 우수한 ONO막을 게이트 절연막으로 하여 다결정실리콘 박막트랜지스터를 제조하고 그 특성을 조사하였다. ONO막의 경우 동일한 등가두께의 HTO막에 비해 높은 절연과피 전압을 보였다. ONO두께를 변화시키며 다결정실리콘 박막트랜지스터를 제조하고 그 특성을 비교하였으며, 그 결과 ONO 두께 225 Å일 때 I_{off} , I_{on}/I_{off} 비 및 서브문턱 기울기가 각각 4.9 pA, 7.2×10^5 및 323 mV/dec인 양호한 특성을 구현할 수 있었다. 이는 기존에 제작한 HTO막에 비하여 I_{on}/I_{off} 비를 약 2 배 이상 개선한 것이며, 누설전류 측면에서도 2 배 정도의 감소효과를 얻은 것이다. 이는 ONO 구조의 절연막을 사용하는 경우 수소화 효과가 HTO막에 비해 크게 나타난 결과로 사료된다. ONO구조의 게이트 절연체는 메모리 반도체 제조공정에도 잘 부합되고 다결정실리콘 박막트랜지스터의 구동전류 증대 및 누설전류 감소에 효과가 클 것으로 기대된다.

참고 문헌

- [1] 황한옥, 황성수, 김용상, "LDD 구조의 다결정실리콘 박막트랜지스터의 특성", 전기전자재료학회논문지, 11권, 7호, p. 522, 1998.
- [2] J. I. Ohwada, M. Takabatake, Y. A. Ono, A. Mimura, K. Ono, and N. Konishi, "Peripheral circuit integrated poly-Si TFT LCD with gray scale representation", IEEE Trans. Electron Devices, Vol. 36, p. 1923, 1989.
- [3] I. D. Rycke, A. V. Calster, J. Vanfleteren, J.

- D. Baets, J. Dontreloigne, H. D. Smet, and D. Vetter, "2-MHz clocked LCD drivers on glass", *IEEE J. of solid-state circuits*, Vol. 25, p. 531, 1990.
- [4] T. Takeshita, H. Kurihara, H. Ohshima, I. Yudasaka, and S. Morozumi, "Completely integrated a-Si/a-SiC heterojunction contact type linear image sensor with poly-Si TFT drivers", *SID '89 Int. Sym., Soc. For Inf. Display Digest*, p. 225, 1989.
- [5] M. J. Thompson and H. C. Tuan, "Amorphous Si electrons devices and their application", *IEDM Tech. Dig.* 86, p. 192, 1986.
- [6] 이인찬, 김정규, 마대영, "드레인오프셋트 다결정실리콘 박막트랜지스터의 누설전류 해석", *전기전자재료학회논문지*, 14권, 2호, p. 111, 2001.
- [7] F. Hayashi and M. Kitakata, "A high performance polysilicon TFT using RTA and plasma hydrogenation applicable to highly stable SRAM of 16M bit and beyond", *Symp. VLSI Technol.*, p. 36, 1992.
- [8] O. Sakamoto, H. Kuriyama, M. K. Yuzuriha, K. Tsutsumi, S. Maeda, T. Ipposhi, S. Maegawa, T. Nishimura Y. Kohno, and H. Miyoshi, "A compact memory cell using MGI-TFT's for 16-Mb SRAM and beyond", *Symp. VLSI Technol.*, p. 69, 1993.
- [9] H. Ohkuho, S. Horiba, F. Hayashi, T. Andoh, M. Kawaguchi, Y. Ochi, M. Soeda, H. Miyamoto, M. Ohkawa, T. Shimizu, and I. Sakaki, "16-Mb SRAM cell technologies for 2.0V operation", *IEDM Tech. Dig.*, p. 148, 1991.
- [10] 진교원, 박태성, 백희원, 이진민, 조봉희, 김영호, "p-채널 poly-Si TFT's 소자의 hot-carrier 효과에 관한 연구", *전기전자재료학회논문지*, 11권, 9호, p. 683, 1998.
- [11] T. Y. Huang, I. W. Wu, A. G. Lewis, A. Chiang, and R. H. Bruce, "Device sensitivity of field-plated polysilicon high voltage TFT's and their application to low voltage operation", *IEEE Electron Device Lett.*, Vol. 11, p. 541, 1990.
- [12] C. A. Dimitriadis, P. A. Coxon, A. J. Lowe, J. atoememos, and N. A. Zeconomou, "Control of the performance of polysilicon thin-film transistors by high-gate-voltage stress", *IEEE Electron Device Lett.*, Vol. 12, p. 676, 1991.
- [13] N. Yamauchi, N. Kakuda, and T. Hisaki, "High performance polysilicon thin-film transistors using very thin sputtered gate dioxide films", in *Extended 22nd Int. Conf. Solid State Devices and Mater.*, p. 996, 1993.
- [14] S. Suyama, A. Okamoto, and T. Serikawa, "Electrical characteristics of MOSFET's utilizing oxygen-argon sputter-deposited gate oxide films", *IEEE Trans. On Electron Devices*, Vol. 34, p. 2124, 1987.
- [15] T. W. Little, K. Takahara, H. Koike, T. Nakazawa, I. Yudasaka, and H. Ohshima, "Low temperature poly-Si TFT's using solid phase crystallization of very thin film and electron cyclotron resonance chemical vapor deposition gate insulator", *Jpn. J. Appl. Phys.*, Vol. 30, p. 3724, 1991.
- [16] J. Batey and E. Tierney, "Low-temperature deposition of high quality silicon dioxide by plasma-enhanced chemical vapor deposition", *J. Appl. Phys.*, Vol. 60, p. 3136, 1986.