

## 스텝 펄스파를 사용하는 캐스케이드 인버터에서 스위치의 간단한 도통각 계산법

金亨昌<sup>\*</sup>, 金允珍<sup>\*\*</sup>, 姜岱旭<sup>\*\*</sup>, 玄東石<sup>\*\*\*</sup>

### A Simple Method for Conducting Angle Calculation of Switching Devices in Cascaded Inverters Using Step Pulse Waves

H.C. Kim, T.J. Kim, D.W. Kang, and D.S. Hyun

#### 요 약

최근에 높은 전력과 전압의 적용을 위한 방법으로써 PWM 방법보다는 스텝 펄스파를 이용해 출력 전압 레벨을 조합하는 멀티레벨 인버터가 폭 넓게 사용되어지고 있다. 이 방식은 도통각을 통해 한주기에 한번만 온, 오프 하기 때문에 스위칭 손실 측면에서 유리한 특성을 갖는다. 본 논문에서는 도통각을 얻는 간단한 방법을 제안하며 이 방법은 출력 전압 레벨에 의해 나누어진 기준 전압 파형의 전압-시간 면적들을 통해 인버터의 출력 스텝 펄스파를 구성한다. 또한 제안한 방법은 근사법에 의한 연립방정식의 해를 구할 필요가 없기 때문에 기존의 방법과는 달리 계산량을 줄일 수 있고 온 라인에 의해 도통각을 얻을 수 있는 장점이 있다.

#### ABSTRACT

In recent years, the multilevel inverter synthesizing the output voltage with step pulse has been widely used rather than PWM method as a solution for high power and high voltage applications. This method takes advantage of lower switching losses due to one switching for one period. This paper proposes a simple method to obtain the conducting angle. This method is implemented by using voltage-second areas of the divided reference voltage according to the output voltage levels. It is possible to reduce an amount of calculation because it is not required to solve the simultaneous equations by an iterative method. Also, the proposed method can get the conducting angle by means of on-line.

**Key Words** : Cascaded inverters, Conducting angles, Modulation index, On line, Off line

### 1. 서 론

멀티레벨 인버터는 고조파 성분 감소와 높은 전압

정격을 실현할 수 있는 측면에서 매우 우수한 성능을 갖고 있다. 멀티레벨 인버터의 토폴로지는 다이오드 클램프 인버터, 플라잉 커패시터 인버터, 캐스케이드 인버터로 크게 3가지로 분류되어진다<sup>[1]-[4]</sup>. 이 중에서 캐스케이드 인버터는 부피가 큰 변압기를 사용해야 한다는 단점이 있지만 시스템의 모듈화와 패키지가 가능하고 직류 링크 전압 불균형이라는 문제가 발생하지 않는다. 또한 가장 적은 소자 수를 가지고 멀티레벨로의 확장이 용이하므로 전동기 구동 시스템을 포함한 대용량 응용 분야에 가장 실질적이고 현실적으로 사용

\*학생회원, 한양대 전기공학과 대학원 석사 과정  
E-mail : goodnews@ihanyang.ac.kr

\*\*정회원, 한양대 전기공학과 대학원 박사 과정

\*\*\*정회원, 한양대 전자전기컴퓨터공학부 교수

접수일자 : 2003. 8. 1

1차심사 : 2003. 10.10

심사완료일 : 2003.10.28

할 수 있다<sup>[4]</sup>. 이런 이유로, 캐스케이드 인버터는 전기 자동차, SVG, stabilizer, STATCON 등과 같은 대용량의 높은 전력을 요구하는 장치에 폭 넓게 적용되어져왔다<sup>[5] [9]</sup>. 또한 멀티레벨 인버터는 응용분야에 적합한 다양한 PWM 기법들이 연구되어져왔다<sup>[10] [12]</sup>. 멀티레벨 인버터는 전압 레벨이 증가함에 따라, 적은 고조파 성분과 낮은 스위칭 주파수와  $dv/dt$ 를 갖는다. 이러한 특징은 기본 주파수당 한번만 스위칭하는 스텝 펄스파를 사용하는 멀티레벨 인버터를 가능하게 만들었다. 이 방식은 PWM으로 제어하는 방식보다 훨씬 낮은 스위칭을 하기 때문에 각각의 스위치 소자들은 높은 효율을 갖는다<sup>[7]</sup>. 즉 스텝 펄스파 기법은 PWM 기법의 단점을 극복할 수 있는 대안이 될 수 있으며, 현재 이러한 스텝 펄스 기법을 이용한 장치가 무효 전력 보상기나 전기자동차 등에 적용되어지고 있다<sup>[6] [8]</sup>.

## 2. 스텝 펄스파를 사용하는 캐스케이드 인버터의 구조와 제어

캐스케이드 인버터는 모듈화된 H-브리지 인버터 유닛의 직렬 연결로 구성되어진다. 그림 1은 H-브리지 인버터 유닛으로 구성된 캐스케이드 인버터의 한 상이다.

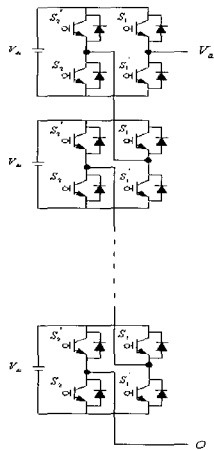


그림 1 캐스케이드 인버터의 한 상  
Fig. 1 One leg of cascaded inverters

출력 상전압  $V_{ao}$ 는 각 H-브리지 인버터 유닛의 출력 전압의 합성으로 구성된다. H-브리지 인버터 유닛은 네 개의 스위치  $S_1, S_1', S_2$  그리고  $S_2'$ 로 구성된다.

스위치  $S_1', S_2'$ 는  $S_1, S_2$ 에 대해 각각 상보적으로 동작한다. H-브리지 인버터 유닛은 스위치의 조합에 따라 세 개의 다른 전압, 즉  $+V_{dc}, 0, -V_{dc}$ 의 전위를 만든다.

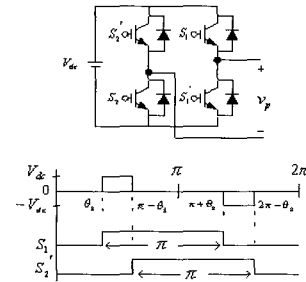


그림 2 H-브리지 인버터의 구조와 스위칭 시간  
Fig. 2 Structure and switching timings of a H-bridge inverter

그림 2는 하나의 H-브리지 인버터 유닛에서 준구형파를 만드는 스위칭 시간을 보여준다. 각 스위치 소자는 준구형파의 펄스폭과는 상관없이 항상  $180^\circ$ (기본파의  $1/2$ 주기)동안 도통한다. 다시 말해서 스위치 소자는 한 주기당 한번만 스위칭한다.

$k$  스텝을 가진 펄스파형의 Fourier 급수 전개는 다음과 같다.

$$V(\omega t) = \frac{4 V_{dc}}{\pi} \sum_n [\cos(n \theta_1) + \cos(n \theta_2) + \dots + \cos(n \theta_k)] \times \frac{\sin(n \omega t)}{n}, \text{ where } n=1, 3, 5, \dots \quad (1)$$

식 (1)을  $V_{dc}$ 에 대해 정규화하면, Fourier 계수의 크기는 다음 식과 같다.

$$H(n) = \frac{4}{\pi n} [\cos(n \theta_1) + \cos(n \theta_2) + \dots + \cos(n \theta_k)], \text{ where } n=1, 3, 5, \dots \quad (2)$$

여기서  $\theta_1, \theta_2, \dots, \theta_k$ 는 스위칭 시간각이다. 다시 말해 이 값들은 각 H-브리지 인버터 유닛의 스위치의 도통과 차단 신호를 주는 도통각을 나타낸다.

이 때, 변조지수  $M_i$ 는 다음과 같이 정의된다.

$$M_i = \frac{V^*}{V_{max}} \quad (3)$$

여기서  $V^*$ 는 기준 전압, 즉 출력 상전압의 기본파이다.  $V_{max}$ 는 캐스케이드 인버터가 최대로 얻을 수 있는 출력 상전압이다. 즉  $s \cdot V_{dc}$ 이다. 여기서  $s$ 는 H-브리지 인버터 유닛의 수이다.

### 3. 기존의 도통각 결정 방법

각 H-브리지 인버터 유닛은 그림 2에서 보여준 것처럼 하나의 도통각을 이용해 준구형파를 형성한다. 이 때 도통각은 고조파 성분을 최소화하는 값으로 선택되어진다. 다시 말해서 이러한 도통각은 고조파 성분의 크기를 결정하는 변수이다. 기존의 방법은 출력 전압의 기본파를 최대화하면서 특정 저차 고조파 성분을 제어하는 방법이다<sup>13)</sup>. 본 논문은 캐스케이드 인버터가 5개의 H-브리지 인버터 유닛으로 구성되어 있을 때를 예를 들었으며, 식 (2)로부터 다음과 같은 식을 얻을 수 있다.

$$\begin{aligned}
 &\cos(\theta_1) + \cos(\theta_2) + \cos(\theta_3) + \\
 &\quad \cos(\theta_4) + \cos(\theta_5) = 5 \cdot M_i \\
 &\cos(5\theta_1) + \cos(5\theta_2) + \cos(5\theta_3) + \\
 &\quad \cos(5\theta_4) + \cos(5\theta_5) = 0 \\
 &\cos(7\theta_1) + \cos(7\theta_2) + \cos(7\theta_3) + \\
 &\quad \cos(7\theta_4) + \cos(7\theta_5) = 0 \\
 &\cos(9\theta_1) + \cos(9\theta_2) + \cos(9\theta_3) + \\
 &\quad \cos(9\theta_4) + \cos(9\theta_5) = 0 \\
 &\cos(11\theta_1) + \cos(11\theta_2) + \cos(11\theta_3) + \\
 &\quad \cos(11\theta_4) + \cos(11\theta_5) = 0 \\
 &\cos(13\theta_1) + \cos(13\theta_2) + \cos(13\theta_3) + \\
 &\quad \cos(13\theta_4) + \cos(13\theta_5) = 0
 \end{aligned} \tag{4}$$

식 (4)의 연립방정식의 해를 구함으로 각 H-브리지 인버터 유닛의 도통각  $\theta_1, \theta_2, \dots, \theta_5$  를 얻는다. 이러한 도통각들은 그림 2와 같이 준구형파를 각각 만들게 되며, 이러한 준구형파를 합성해서 캐스케이드 인버터의 출력 스텝 펄스파를 형성한다. 그러나 기존의 방법은 원하는 고조파 성분을 제거할 수 있는 장점을 갖고 있지만 오프라인으로 연립방정식의 해를 구해야 한다. 이로 인해 다음과 같은 문제가 발생한다. 첫째, 식 (4)와 같은 비선형 초월 연립방정식의 해를 구하기가 매우 어렵다. 이 식은 뉴턴 랩선법(Newton Raphson method)과 같은 근사법에 의해 해를 구해야

하며 만약 연립 방정식의 수가 증가하면 도통각을 구하기 위한 계산량이 복잡하고 많아지게 된다. 두 번째, 근사법에 의해 계산되어진 값들은 룩업 테이블(lookup table)에 배열되기 때문에 변조지수에 따른 많은 스위칭 패턴을 필요로 한다. 변조지수의 단위가 크게 변한다면 별 문제가 되지 않겠지만 만약 변조지수의 단위가 매우 작아진다면, 도통각의 데이터는 그에 반례해서 증가한다.

### 4. 제안한 방법에 의한 도통각 결정 방법

#### 4.1 도통각의 설계

제안한 방법은 출력을 원하는 기준 전압 파형의 전압-시간 면적을 캐스케이드 인버터의 스텝 펄스파의 전압-시간 면적과 같도록 도통각을 선정한다. 그림 1에서처럼 H-브리지 인버터 유닛이  $n$ 개 연결된 캐스케이드 인버터가 있을 때, 양의 반주기 동안 출력 스텝 펄스파의 최대 전위는  $n \cdot V_{dc}$ 이고,  $n$  스텝을 이룰 수 있다. 이 때 어떤 변조 지수에 해당하는 기준 전압이 주어질 때 캐스케이드 인버터가  $k$  스텝의 출력을 이룬다고 가정하자.

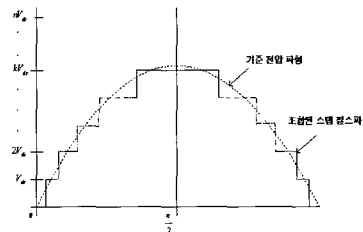


그림 3 캐스케이드 인버터에서 기준 전압 파형과 그에 따른 스텝 펄스파

Fig. 3 Reference voltage wave and its step pulse wave in cascaded inverters

기준 전압 파형을 인버터의 출력 레벨( $V_{dc}, 2V_{dc}, \dots, nV_{dc}$ )로 나누면  $k$ 개로 분할된다. 이 때 캐스케이드 인버터는  $n$ 개의 H-브리지 인버터 중에서  $k$ 개만 실제로 스텝 펄스파를 출력시킨다. 따라서  $k$ 개의 도통각이 요구된다. 도통각에 의해 스텝 펄스파를 출력하는 인버터는 나누어진 면적에 상응하는 출력 스텝 펄스파를 갖는다. 그림 3은  $n$ 개의 H-브리지 인버터 유닛으로 구성된 캐스케이드 인버터가  $k$ 개의 유닛만 동작할 때의 출력 스텝 펄스파를 보여준다.

제안한 방법을 5개의 H-브리지 인버터 유닛이 직렬로 연결되어 있을 경우에 적용하면, 아래와 같이 제안

한 방법이 적용되어진다.

인버터의 기준 전압은 식 (5)와 같다.

$$5 \cdot \frac{4 V_{dc}}{\pi} M_i \cdot \sin \omega t \quad (5)$$

양의 반주기동안 11레벨 캐스케이드 인버터가 얻을 수 있는 전압 레벨은 다음과 같다.

$$m \cdot V_{dc} (1 \leq m \leq 5, \text{ 여기서 } m \text{은 정수}) \quad (6)$$

식 (5)의 값과 식 (6)의 값이 서로 같을 때, 그 교점에 해당하는 각을 가상의 도통각,  $\theta_k'$ 이라고 정의하자. 즉 가상의 도통각은 기준 전압 파형과 인버터의 출력 레벨과 교점을 만족시키는 각이다.

그림 4는 기준 전압의 변조지수가  $M_i = \pi/4$ 인 경우 가상의 도통각  $\theta_k'$ 를 보여준다. 면적  $A', B', C', D', E'$ 는 기준 전압 파형을 양의 1/4주기 동안 인버터의 기준 전압 파형과 출력 전압 레벨에 의해 둘러싸인 영역을 보여준다. 캐스케이드 인버터는  $A', B', C', D',$

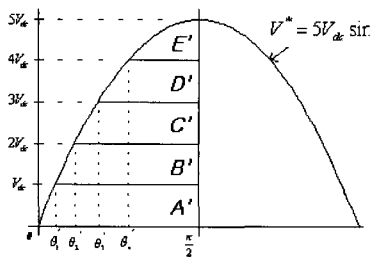


그림 4  $M_i = \pi/4$ 일 때, 기준 전압 파형과 가상의 도통각

Fig. 4 Reference voltage waveform and dummy conducting angles in case of  $M_i = \pi/4$

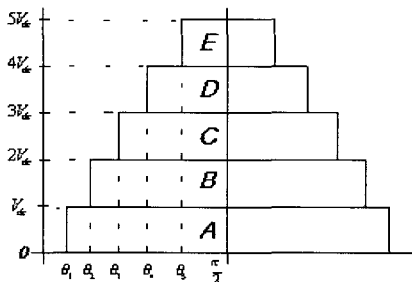


그림 5  $M_i = \pi/4$ 일 때, 양의 반주기 동안 11레벨 캐스케이드 인버터의 출력 전압 파형

Fig. 5 Output voltage waveform of 11-level cascaded inverters during the positive half cycle, in case of  $M_i = \pi/4$

$E'$ 의 면적과 같은 스텝 펄스파를 만들도록 도통각을 결정한다.

그림 5는 양의 1/4주기 동안의 인버터가 스위칭하는 실제 도통각을 보여준다. 그림 3에서와 같이 실제 도통각에 의한 면적  $A, B, C, D, E$ 는 각각  $A', B', C', D', E'$ 와 같다.

캐스케이드 인버터의 각 H-브리지 인버터 유닛의 도통각은 분할된 면적의 넓이를 통해 다음과 같이 구해진다.

먼저 그림 4로부터, 면적  $A'$ 를 식 (7)과 같이 구한다.

$$\begin{aligned} A' &= (A' + B' + C' + D' + E') - \\ & \quad (B' + C' + D' + E') \\ &= \int_0^{\frac{\pi}{2}} 5 V_{dc} \sin \omega t d(\omega t) - \\ & \quad \int_{\theta_1}^{\frac{\pi}{2}} 5 V_{dc} \sin \omega t d(\omega t) - \left(\frac{\pi}{2} - \theta_1'\right) \cdot V_{dc} \end{aligned} \quad (7)$$

그림 5에서 면적  $A$ 는 다음과 같다.

$$A' = \left(\frac{\pi}{2} - \theta_1\right) \cdot V_{dc} \quad (8)$$

면적  $A'$ 는 면적  $A$ 와 같기 때문에, 식 (7)과 식 (8)은 같다고 두면 실제 도통각  $\theta_1$ 는 식 (9)와 같이 얻어진다.

$$\begin{aligned} \theta_1 &= \frac{\pi}{2} - \int_0^{\frac{\pi}{2}} 5 \sin \omega t d(\omega t) - \\ & \quad \int_{\theta_1}^{\frac{\pi}{2}} 5 \sin \omega t d(\omega t) + \left(\frac{\pi}{2} - \theta_1'\right) \end{aligned} \quad (9)$$

동일한 방법으로  $\theta_2, \theta_3, \theta_4, \theta_5$ 가 각각 얻어진다.  $\theta_5$ 의 경우에는 가상의 도통각  $\theta_5'$ 이 존재하지 않지만, 면적  $E'$ 와  $E$ 가 같다는 것을 적용하면 식 (10)과 같이 도통각을 얻을 수 있다.

$$\begin{aligned} & \int_0^{\frac{\pi}{2}} 5 V_{dc} \sin \omega t d(\omega t) - (A' + B' + C' + D') \\ &= \left(\frac{\pi}{2} - \theta_5\right) \cdot V_{dc} \\ \therefore \theta_5 &= \frac{\pi}{2} - \int_0^{\frac{\pi}{2}} 5 \sin \omega t d(\omega t) + (A' + B' + C' + D') / V_{dc} \end{aligned} \quad (10)$$

제안한 방법에 의해 구한 도통각을 변조지수에 따라 일반화하면 식 (11)과 같이 나타낼 수 있다.

$$\begin{aligned} \theta_{k-4} &= \frac{20 M_i}{\pi} (\cos(\sin^{-1}(\frac{(k-4)\pi}{20 M_i})) - \cos(\sin^{-1}(\frac{(k-5)\pi}{20 M_i}))) + (k-4) \sin^{-1}(\frac{(k-4)\pi}{20 M_i}) \\ &\quad - (\frac{(k-4)\pi}{20 M_i}) + (k-5) \sin^{-1}(\frac{(k-5)\pi}{20 M_i}) \\ \theta_{k-3} &= \frac{20 M_i}{\pi} (\cos(\sin^{-1}(\frac{(k-3)\pi}{20 M_i})) - \cos(\sin^{-1}(\frac{(k-4)\pi}{20 M_i}))) + (k-3) \sin^{-1}(\frac{(k-3)\pi}{20 M_i}) \\ &\quad - (\frac{(k-3)\pi}{20 M_i}) + (k-4) \sin^{-1}(\frac{(k-4)\pi}{20 M_i}) \\ \theta_{k-2} &= \frac{20 M_i}{\pi} (\cos(\sin^{-1}(\frac{(k-2)\pi}{20 M_i})) - \cos(\sin^{-1}(\frac{(k-3)\pi}{20 M_i}))) + (k-2) \sin^{-1}(\frac{(k-2)\pi}{20 M_i}) \\ &\quad - (\frac{(k-2)\pi}{20 M_i}) + (k-3) \sin^{-1}(\frac{(k-3)\pi}{20 M_i}) \\ \theta_{k-1} &= \frac{20 M_i}{\pi} (\cos(\sin^{-1}(\frac{(k-1)\pi}{20 M_i})) - \cos(\sin^{-1}(\frac{(k-2)\pi}{20 M_i}))) + (k-1) \sin^{-1}(\frac{(k-1)\pi}{20 M_i}) \\ &\quad - (\frac{(k-1)\pi}{20 M_i}) + (k-2) \sin^{-1}(\frac{(k-2)\pi}{20 M_i}) \\ \theta_k &= \frac{\pi}{2} k - \frac{20 M_i}{\pi} \cos(\sin^{-1}(\frac{(k-1)\pi}{20 M_i})) - (k-1) \sin^{-1}(\frac{(k-1)\pi}{20 M_i}) \end{aligned} \tag{11}$$

단,  $\theta$ 의 아래첨자가 0보다 크지 않으면 도통각은 존재하지 않는다.

$k$ 는 표 1에서처럼 변조지수에 따라 결정된다.

표 1 변조지수에 따른 도통각의 수  
Table 1 The number of conducting angles according to the modulation indices

$M_i$ 의 범위	$k$
$0 < M_i < 0.1571$	1
$0.1571 \leq M_i \leq 0.3142$	2
$0.3142 \leq M_i \leq 0.4712$	3
$0.4712 \leq M_i \leq 0.6283$	4
$0.6283 \leq M_i < 1$	5

표 2 변조지수에 따른 도통각

Table 2 Conducting angles according to the modulation indices

	변조지수							
	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8
$\theta_1$	53.52	23.96	15.37	11.40	9.08	7.54	6.46	5.64
$\theta_2$	-	83.09	55.20	36.52	28.28	23.21	19.72	17.16
$\theta_3$	-	-	-	76.17	52.64	41.14	34.25	29.47
$\theta_4$	-	-	-	-	87.62	69.26	52.18	43.58
$\theta_5$	-	-	-	-	-	-	82.07	62.35

표 1은 변조지수에 따른 도통각의 수를 보여준다. 즉 인버터의 출력 전압 레벨과 도통각의 수  $k$ 는 변조지수에 의존한다.

표 2는 각 변조지수에 따른 도통각을 제안한 방법에 의해 구해본 예이다.

제안한 방법은 기준 전압에 해당하는 변조지수와 그에 해당하는 도통각의 수를 식 (11)에 대입하면 그에 해당하는 도통각은 쉽게 구할 수 있는 온 라인 방법이 가능하다.

### 5. 시뮬레이션 결과

제안된 방법을 검증하기 위해 matlab/simulink를 이용하여 시뮬레이션을 수행하였으며 조건은 단상, 60[Hz], dc-link capacitor 전압은 40[V], 무부하이다.

그림 6, 7로부터 제안한 방법이 기존의 방법과 FFT 파형이 유사함을 알 수 있다.

그림 6과 그림 7은  $M_i=0.8$ 인 경우에 기존의 방법과 제안한 방법에 의한 각각 캐스케이드 인버터의 출력 전압 파형과 FFT 파형을 보여준다.

그림 8은  $M_i=0.4$ 일 때 제안한 방법에 의한 출

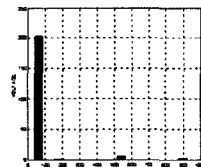


그림 6  $M_i=0.8$ 일 때 기존의 방법에 의한 출력 스텝 펄스파와 FFT

Fig. 6 Output step pulse wave and its FFT by the conventional method, in case of  $M_i=0.8$

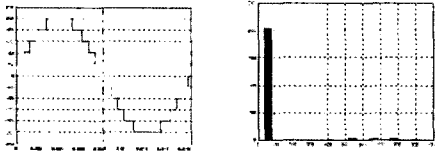


그림 7  $M=0.8$ 일 때 제안한 방법에 의한 출력 스텝 펄스파와 FFT  
 Fig. 7 Output step pulse wave and its FFT by the proposed method, in case of  $M=0.8$

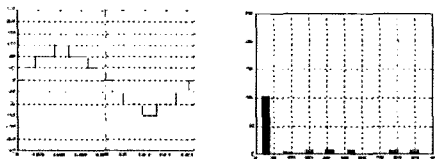


그림 8  $M=0.4$ 일 때 제안한 방법에 의한 출력 스텝 펄스파와 FFT  
 Fig. 8 Output step pulse wave and its FFT by the proposed method, in case of  $M=0.4$

력 전압 파형과 FFT를 보여준다. 변조지수가 낮기 때문에 도통각의 수는 3개이고, 5개의 H-브리지 인버터 유닛 중에서 단지 3개만 동작한다. 제안한 방법에 의한 FFT는 약간의 고조파를 포함한다. 특히 변조지수가 낮아질수록 고조파는 커진다. 하지만 3상에서 선간전압에 의해 3배수 고조파는 상쇄되기 때문에 이들 고조파 성분은 실제로 나타나지 않는다.

### 6. 실험 결과

제안한 방법의 타당성을 입증하기 위해 H-브리지 인버터 5개를 그림 1처럼 캐스케이드 형태로 연결하여 한 상을 제작하였다. DSP controller는 TMS320C31을 사용했으며, 실험조건은 시뮬레이션과 동일하다.

그림 9와 그림 10은  $M_i=0.8$ 일 때 각 유닛의 출력전압이 합성된 레그 전압과 그것의 FFT 파형을 보여준다. 각 유닛의 스텝 펄스파가 합성되어 11레벨의 출력전압 파형이 만들어지는 것을 확인할 수 있다. 위의 그림 11, 12는  $M_i=0.4$ 일 때 제안한 방법에 의한 실험한 파형이다. 변조지수에 따라 도통각의 수가 다르기 때문에 합성된 스텝 펄스파의 출력 레벨이 작아지는 것을 알 수 있다. 또한 이상의 실험 파형들은 시뮬레이션 결과와 일치함을 확인할 수 있다.

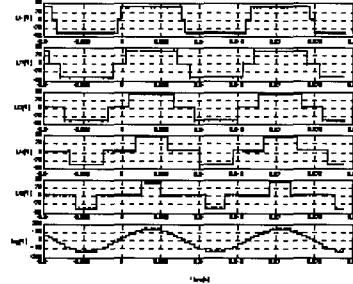


그림 9  $M_i=0.8$ 일 때 각 H-브리지 인버터 유닛의 전압과 레그 전압  
 Fig. 9 Each H-bridge inverter unit's voltage and leg voltage in case of  $M_i=0.8$

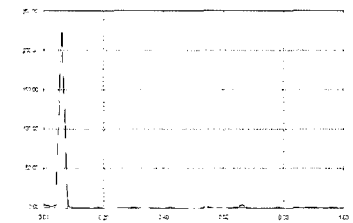


그림 10  $M_i=0.8$ 일 때 레그 전압의 FFT 파형  
 Fig. 10 FFT waveform of leg voltage in case of  $M_i=0.8$

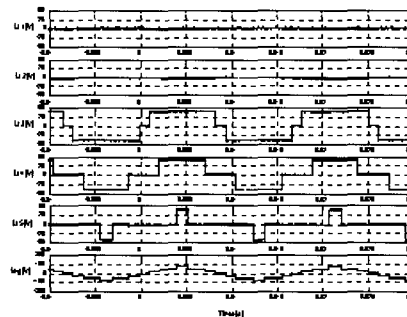


그림 11  $M_i=0.4$ 일 때 각 H-브리지 인버터 유닛의 전압과 레그 전압  
 Fig. 11 Each H-bridge inverter unit's voltage and leg voltage in case of  $M_i=0.4$

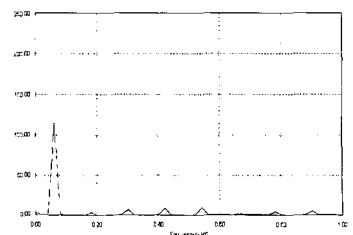


그림 12  $M_i=0.4$ 일 때 레그 전압의 FFT 파형  
 Fig. 12 FFT waveform of leg voltage in case of  $M_i=0.4$

### 7. 결 론

본 논문은 스텝 펄스파를 사용하는 캐스캐이드 인버터에서의 스위치의 도통각을 얻는 간단한 방법을 제안하였다. 이 방법은 나누어진 기준 전압 파형의 전압-시간 영역과 같은 넓이의 스텝 펄스파를 조합함으로써 기존의 방법인 오프 라인에 의한 근사법으로 비선형 초월 연립방정식의 해를 구하는 문제점을 극복하였다. 또한 제안한 방법은 온 라인 방법에 의해 계산되어지기 때문에 기존의 방법인 오프라인 계산법의 문제점들을 해결할 수 있다. 이로 인해 도통각을 구하는 과정이 변조지수에 상관없이 간단한 식을 통해 구할 수 있으므로 보다 쉽고 빠르다. 제안한 방법의 우수성과 타당성은 각각의 변조지수에 따른 시뮬레이션과 실험 결과를 통해 증명하였다.

### 참 고 문 헌

[1] A. Nabae, I. Takahashi, and H. Akagi, "A new neutral-point-clamped PWM inverter." IEEE Trans. Ind. Applicat., vol. IA-17, no.5, pp. 518-523, Sep./Oct. 1981.

[2] N. S. Choi et al., "A General Circuit Topology of Multilevel Inverter," IEEE-PESC Conf. Rec., pp. 96-103, 1991.

[3] X. Yuan, H. Stemmler and I. Barbi, "Investigation on the Clamping Voltage Self-Balancing of the Three-Level Capacitor Clamping Inverter," IEEE-PESC Conf. Rec., pp. 1059-1064, 1999

[4] J. S. Lai and F. Z. Peng, "Multilevel converters-A new breed of power converters", IEEE Trans. Ind. Applicat., vol. 32, pp. 509-517, May/June 1996.

[5] F. Z. Peng, J. S. Lai, J. W. McKeever, and J. VanCoevering, "A multilevel voltage-source inverter with separate dc sources for static var generation," IEEE Trans. Ind. Applicat., vol. 32, pp. 1130-1138, Sept/Oct. 1996.

[6] F. Z. Peng, and J. S. Lai, "Dynamic performance and Control of a Static Var Generator Using Cascaded Multilevel Inverters", IEEE Trans. Ind. Applicat., vol. 33, pp. 748-755, May/June 1997.

[7] L. M. Tolbert, F. Z. Peng, and T. G. Harbetler, "Multilevel converters for large electric drives", IEEE Trans. Ind. Applicat., vol. 35, pp. 36-44, Jan./Feb. 1999.

[8] F. Huang, P. I. Lim and E. K. Goh, "Design and Implementation of a 3-Phase Voltage Stabilizer Using 11-level Voltage Source Inverters", IEEE-IECON Conf. Rec., pp. 772-725, 1997.

[9] 민완기, 민준기, 최재호, "FACTS 적용을 위한 직렬형 멀티레벨 전압형 인버터를 사용한 1MVar STATCON의 새로운 스위칭기법", 전기학회 논문지, 48B권, 제12호, pp. 691~700, 1999년 12월.

[10] Y. H. Lee, R. Y. Kim, and D. S. Hyun, "A Novel PWM Scheme for a Three-level Voltage Source Inverter with GTO Thyristor," IEEE Trans. on Industrial Applications, vol. 32, no. 2, pp. 260-268, 1996.

[11] M. Marchesoni, "High Performance Current Control Techniques for Applications to Multilevel High Power Voltage Source Inverters," IEEE-PESC Conf. Rec., pp. 672-683, 1989.

[12] L. M. Tolbert, F. Z. Peng and T. G. Habetler, "Multilevel PWM Methods at Low Modulation Indices," IEEE-APEC Conf. Rec., pp. 1032-1038, 1999.

[13] H. S. Patel and R. G. Hoft, "Generalized Techniques of Harmonic Elimination and Voltage Control in Thyristor Inverters: Part I-Harmonic Elimination," IEEE Transactions on Industry Applications, vol. IA-9, May/June, 1973, pp. 310-317.

### 저 자 소 개



#### 김형창(金亨昌)

1975년 11월 11일생. 2001년 2월 부경대 전기공학과 졸업. 2002년 ~현재 한양대 대학원 전기공학과 석사과정.



#### 김태진(金兌珍)

1974년 8월 31일생. 2000년 대전대 전기공학과 졸업. 2002년 한양대 전기공학과 졸업(석사). 2002년 ~현재 동 대학원 전기공학과 박사과정.



**강대욱(姜岱旭)**

1970년 6월 4일생. 1988년 한양대 전기공학과 졸업. 200년 동 대학원 전기공학과 졸업(석사). 2000년~현재 동 대학원 전기공학과 박사과정.



**현동석(玄東夕)**

1950년 4월 8일생. 1973년 한양대 전기공학과 졸업. 1978년 동 대학원 전기공학과 졸업(석사). 1986년 서울대 대학원 전기공학과 졸업(공박). 1984년~1985년 미국 토레도대학 교환교수. 1988년~1989년 원현공과대학 교환교수. 현재 한양대 전자전기 컴퓨터 공학부 교수. 당학회 회장 역임.