

플라잉 커패시터 멀티-레벨 인버터의 플라잉 커패시터 전압 균형을 위한 캐리어 로테이션 기법

李源教^{*}, 金兌珍^{**}, 姜岱旭^{**}, 玄東石^{***}

A Carrier-Rotation Strategy for Voltage Balancing of Flying Capacitors in Flying Capacitor Multi-level Inverter

W.K. Lee, T.J. Kim, D.W. Kang, and D.S. Hyun

요 약

본 논문은 플라잉 커패시터 멀티-레벨 인버터의 가장 큰 문제점인 플라잉 커패시터 전압 불균형의 새로운 해결 방법으로 캐리어 로테이션(Carrier-Rotation) PWM 기법을 제안한다. 제안된 기법은 모든 스위치가 한번의 스위칭 동작을 하는 동안 플라잉 커패시터의 충전과 방전에 관계된 레그 전압 리던던시(redundancy)를 같은 비율로 사용하여 플라잉 커패시터 전압을 일정하게 유지하며, 전압의 변동폭이 최소가 되도록 제어한다. 이 방법은 각 캐리어의 배치가 모두 동상이므로 출력 전압의 고조파 성분이 저감되며, 또한 모든 스위치의 스위칭 주파수가 같으므로 스위치 이용률이 개선되는 특성을 갖는다. 제안된 기법을 플라잉 커패시터 3-레벨 인버터에 적용하여 상세히 분석하고, 3-레벨 이상에 적용할 수 있도록 일반화한다. 제안된 기법의 타당성은 실험 결과로 검증된다.

ABSTRACT

This paper proposes a Carrier-Rotation (CR) PWM technique that is a new solution for the voltage unbalancing problem of flying capacitors in the Flying Capacitor Multi-level Inverter (FCMI). The proposed technique equalizes the utilization of phase leg voltage redundancies corresponding to the charging and the discharging state of individual flying capacitors during each switching period of all the switches. Therefore, the charging and the discharging quantity of flying capacitors are equal, which makes the average variation of flying capacitor voltages become zero and keeps their voltage stable during minimum specified period. It also has the reduced harmonic contents of output voltage and the same switch utilization since all the carrier signals are in phase and the switching frequency of each switch is identical. The proposed technique is analyzed precisely in flying capacitor 3-level inverter and then it has expanded to the FCMI (N-level, $N>3$).

Experimental results on the laboratory prototype flying capacitor 3-level inverter confirm the validity of the proposed technique.

Key Words : Flying Capacitor Multi-level Inverter, Voltage balance, Phase leg voltage redundancy, phase-shift

1. 서 론

멀티-레벨 인버터는 많은 수의 직류 전압원의 합성을 통하여 높은 전압 정격을 구현할 수 있고, 스위치 소자를 직렬 연결하여 사용할 경우 발생 할 수 있는

전압 분배 문제를 추가적인 회로 없이 해결 할 수 있으며, 전압의 레벨이 증가함에 따라 보다 정현적인 출력 전압 파형을 얻을 수 있다^[1]. 이로 인해 고조파 감소뿐만 아니라 출력 필터 설계시 필터의 크기를 작게 할 수 있고 스위칭 과도상태 동안 발생하는 dv/dt 와

서지(Surge)전압 감소로 인해 EMI(Electro-Magnetic Interference) 현상이 저감되는 등 고압 대용량에 적합한 장점을 지니고 있다. 이러한 멀티-레벨 인버터의 대표적인 토폴로지는 크게 3가지의 종류(다이오드 클램프드 인버터, H-Bridge 인버터, 플라잉 커패시터 인버터)가 있다^[2]. 이 중에서 플라잉 커패시터 인버터는 절연된 독립 전압원을 위한 변압기와 스위치 소자의 전압을 클램핑하기 위한 부가적인 다이오드를 필요로 하지 않고, 컨버터-인버터 연동 제어가 가능하며, 전압 리턴던시 이용과 멀티-레벨로 확장이 용이한 장점을 가지고 있다. 그러나 내부에 플라잉 커패시터를 갖는 구조로 인해 플라잉 커패시터 전압 불균형 문제가 발생하며, 이로 인해 출력 전압 파형이 왜곡되고, 스위치 오프시 차단 전압이 증가하여 소자의 파괴를 가져 올 수 있다. 따라서 인버터 동작의 신뢰성을 위해서는 플라잉 커패시터 전압 균형 제어가 요구되는 단점이 있다. 하지만 플라잉 커패시터 인버터는 한 레그에 커패시터를 충·방전시키는 전압 리턴던시(전압 리턴던시란 같은 전압을 출력하지만 다른 스위치 상태이며, 각 스위치 상태는 개별적인 플라잉 커패시터를 충전 혹은 방전이 가능하도록 커패시터를 조합한 상태를 나타낸다)가 모두 존재하는 특성을 갖기 때문에 이 전압 리턴던시를 같은 비율로 사용하면, 플라잉 커패시터 전압 균형 제어가 가능하다^{[3]-[5]}.

지금까지, 멀티 캐리어(Multi-Carrier) PWM 기법을 이용한 플라잉 커패시터 전압 불균형 문제의 해결 방법으로 두 가지 PWM 기법이 제안되었다. 이 중 한 가지는 Phase-Shift PWM 기법이고^{[6],[7]}, 다른 한 가지는 Hybrid PWM 기법이다^{[8],[9]}. 하지만, 이 두 가지 기법은 각 기법의 구현 특성상 결점을 갖고 있다. Phase-Shift PWM 기법은, 캐리어 패턴이 동상이 아닌 APOD(Alternative Phase Opposition Disposition) 기법과 같으므로 인접한 세 개의 전압 벡터와 인접하지 않은 하나의 전압 벡터를 합성하여 지령 전압 벡터를 출력한다. 그러므로 캐리어 패턴이 동상인 PD(Phase Disposition) PWM 기법과 같이 지령 전압 벡터를 인접한 네 개의 벡터로 합성하여 출력하는 기법에 비해 출력 전압에 많은 고조파 성분을 포함한다^[8].

Hybrid PWM 기법은, 지령 전압의 위치에 따른 출력 전압 레벨 전환시 스위칭 상태가 변화하면서 리턴던시 전압 사용에 불균형이 발생하기 때문에 플라잉 커패시터 전압의 변동폭이 커지게 된다^[10]. 그러므로 직렬로 연결된 스위치 소자에 서로 다른 전압이 분배가 되어 각 스위치에 걸리는 전압이 달라지는 문제가 발생한다. 본 논문은 기존 방법에서 나타난 결점 없이 플라잉 커패시터 멀티-레벨 인버터 제어 문제를 해결하기 위해 캐리어 로테이션 알고리즘을 사용한 PWM 기법을 제안한다.

플라잉 커패시터 N -레벨 인버터에는 전압 리턴던시를 최소의 제어주기동안 같은 비율로 사용하여 플라잉 커패시터 전압을 균형 제어 할 수 있는 $(N-1)! \times (N-2)!$ 개의 캐리어 조합이 존재한다. 제안된 알고리즘은 이 중에서 모든 캐리어 배치가 동상을 이루며, 모든 스위치가 같은 스위칭 주파수를 갖도록 하는 두 가지 조건을 만족하며 멀티-레벨로의 확장과 일반화가 쉬운 한 가지 경우이다. 그러므로 제안된 PWM 기법은 플라잉 커패시터 전압을 균형 제어하며, 출력 전압의 고조파 성분 저감과 스위치 이용률 면에서 우수한 특성을 갖는다. 제안된 PWM 기법의 타당성을 검증하기 축소 모델 시제품(laboratory prototype)을 제작하여 유도전동기 부하에 일정 V/F[volt/Hz] 제어 기법을 적용하여 구현하였다. 고조파 성분은 Harmonic Distortion Factor(HDF)를 통해서 분석 비교하였다^{[11],[12]}.

2. 플라잉 커패시터 3-레벨 인버터

2.1 플라잉 커패시터 3-레벨 인버터 구조

그림 1은 3상 플라잉 커패시터 3-레벨 인버터의 한 레그의 일반적인 구조를 보여준다.

여기서 한 레그는 두개의 스위칭 셀(Switching Cell)로 구성되어 있다. 첫 번째 스위칭 셀은 DC-link와 플라잉 커패시터(C_x)로 클램핑된 스위치 S_{x1} 와 S_{x1}' 로 구성되어 있고, 두 번째 스위칭 셀은 플라잉 커- n 페시터로 클램핑된 스위치 S_{x2} 와 S_{x2}' 로 구성되어 있다. 여기서 플라잉 커패시터는 $V_{dc}/2$ 로 충전되어 있고, 각 스위칭 셀을 이루고 있는 두 개의 스위치는 항상 상보적으로 온/오프 스위칭 동작을 한다. 이 인버터의 한 레그에서 가능한 스위치 상태와 출력 레그 전압에 관계된 스위칭 시퀀스는 표 1에서 보여주며, 출력 레그 전압은 플라잉 커패시터 전압이 $V_{dc}/2$ 값을 일정하게 유지하고 있어야 정확하게 3-레벨 출력이 가능하다. 여기에서 x 는 각 상을 ($x=a, b, c$) 나타낸다.

*학생회원, 한양대학교 전기공학과 석사과정

E-mail : 2wonkyo@ihanyang.ac.kr

**정회원, 한양대학교 전기공학과 박사과정

***정회원, 한양대학교 전기공학과 교수

접수일자 : 2003. 6.24

1차심사 : 2003. 8. 5

심사완료일 : 2003. 8.25

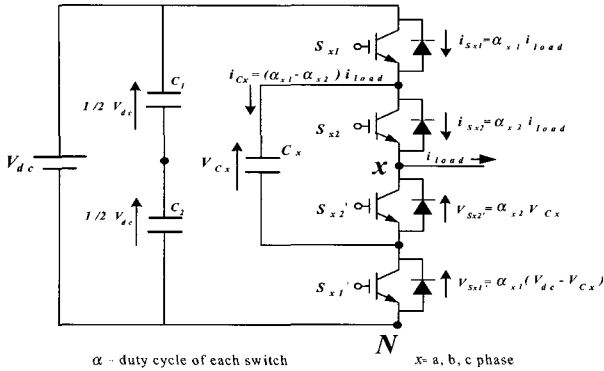


그림 1 플라잉 커패시터 3-레벨 인버터의 한 레그의 일반적인 구조

Fig. 1 General structure of a leg of flying-capacitor 3-level inverter

표 1 플라잉 커패시터 3-레벨 인버터의 레그 전압과 스위칭 상태와 스위칭 시퀀스

Table 1 Leg voltages, switching states and switching sequences in flying-capacitor 3-level inverter

출력 레그 전압 (V_{xN})	스위칭 상태	스위칭 시퀀스	
		S_{x1}	S_{x2}
V_{dc}	P	on	on
$V_{dc}/2$	O_1	on	off
	O_2	off	on
0	N	off	off

2.2 플라잉 커패시터 전압 균형 조건

표 1에 나타난 4가지 스위치 상태 중, P 와 N 은 부하가 DC-link와 직접 연결되는 상태이고, O_1 과 O_2 는 부하가 플라잉 커패시터와 DC-link 혹은 플라잉 커패시터와 연결되는 상태이다. 그러므로 O_1 과 O_2 상태가 플라잉 커패시터 전압 변동에 영향을 준다. 만약 인버터의 부하가 유도성이며 전류가 연속적으로 부하 측으로 흘러나간다고 가정을 한다면, O_1 과 O_2 각각 플라잉 커패시터가 충전과 방전을 하는 상태를 나타내지만 같은 레그 전압 $V_{dc}/2$ 를 출력한다. 이 두 가지 상태가 전압 리턴던시이며, 최소의 주기 동안 같은 비율로 사용하면, 플라잉 커패시터 전압의 충전과 방전량이 같아지며 그 양이 최소화되므로 전압이 일정한 값을 유지한다.

해석을 간단하게 하기 위해, 출력 전압 주파수에 비해 스위칭 주파수가 충분히 크다고 가정을 하면 스위칭 주기 동안 출력 전류(I_{load})가 일정한 값을 가진다고 볼 수 있으므로, 각 스위치의 듀티비($\alpha_{xm} : m$ 은 스위

치 번호)에 따라 N 점을 기준으로 한 출력 레그 전압 (V_{xN})은 식 (1)로 표현된다.

$$V_{xN} = \alpha_{x2} \cdot V_{Cx} + \alpha_{x1} \cdot (V_{dc} - V_{Cx}) \quad (1)$$

이때, 플라잉 커패시터로 흐르는 전류(I_{Cx})는 식 (2)와 같이 나타낼 수 있다.

$$I_{Cx} = (\alpha_{x1} - \alpha_{x2}) \cdot I_{load} \quad (2)$$

그러므로 플라잉 커패시터에 걸려 있는 전압(V_{Cx})은 식 (3)으로 표현된다.

$$\frac{d}{dt} V_{Cx} = \frac{I_{load}}{C_x} \cdot (\alpha_{x1} - \alpha_{x2}) \quad (3)$$

플라잉 커패시터 3-레벨 인버터에서 $P(1, 1)$ 와 $N(0, 0)$ 상태는 두 개의 스위치(S_{x1} , S_{x2})가 같은 상태이나 $O_1(1, 0)$ 과 $O_2(0, 1)$ 상태는 서로 상보적인 상태이다. 이때 플라잉 커패시터에 걸리는 전압의 변화율은 식 (3)에 따라, P 와 N 상태에서는 영이고, O_1 과 O_2 상태에서는 각각 $\frac{I_{load}}{C_x}$, $-\frac{I_{load}}{C_x}$ 이다. 그러므로 두 개의 스위칭 셀을 구성하는 스위치의 듀티비가 서로 같으면($\alpha_{x1} = \alpha_{x2}$), 플라잉 커패시터 전압의 변화량이 영이 되고, 플라잉 커패시터 전압 균형을 위해 스위치의 듀티비가 서로 같아지려면, 두 가지 스위치 상태 O_1 과 O_2 를 같은 비율로 사용하도록 제어해야 한다.

3. 제안된 PWM 기법

3.1 기본 알고리즘

멀티레벨 인버터 제어를 위한 멀티 캐리어 기법은 종류가 다양하지만 PD PWM 기법이 다른 기법에 비해서 선간 고조파 측면에서 우수한 특성을 나타낸다 [6], [13]. 3-레벨 인버터 제어를 위한 PD PWM 기법은 크기와 위상이 같은 2개의 캐리어를 각각 하나의 캐리어 밴드가 되도록 구성하고, 이렇게 만들어진 각 캐리어 밴드를 $+V_{dc}/2$ 와 $-V_{dc}/2$ 사이에 인접하게 배치하여 캐리어 밴드 세트를 만든 후 지령 전압과의 크기 비교를 통해 캐리어에 해당하는 스위치의 온/오프 동작을 제어한다. 그러므로 각 캐리어 밴드에서 전압 레벨은 캐리어 밴드를 구성하는 하나의 캐리어에 의해 제어되는 오직 한 개의 스위치를 통해서만 변한다.

플라잉 커패시터 3-레벨 인버터는 표 1에서 알 수 있듯이 하나의 스위치 동작으로 출력 전압 레벨이 한 레벨 변화 할 때(V_{dc} 와 $V_{dc}/2$ 혹은 $V_{dc}/2$ 와 0 사이에서 변할 때), 2개의 스위치를 통한 변화가 가능하다. 이 두 가지 경우가 레그 전압 리던던시이며, 플라잉 커패시터 전압 제어의 자유도이다.

만약 PD PWM 기법을 플라잉 커패시터 3-레벨 인버터에 적용한다면, 인버터의 전압 리던던시 O_1 과 O_2 중 하나의 전압 리던던시만을 사용하게 되어 부하 전류의 흐름에 따라 플라잉 커패시터는 충전 혹은 방전만 하게 되므로 플라잉 커패시터 전압의 변동폭이 매우 커진다. 하지만 각 캐리어 밴드를 2개의 캐리어를 모두 사용하여 구성하면, 전압 레벨 변화를 결정할 때 2개의 스위치를 사용한 변화가 가능하다. 이때 2개의 스위치를 사용한 변화는 플라잉 커패시터의 충전과 방전에 관련된 두 가지 전압 리던던시이므로, 일정 제어 주기 동안 같은 비율로 사용하면, 플라잉 커패시터의 충·방전량이 같아지므로 플라잉 커패시터 전압이 일정한 값을 유지한다. 이러한 제어주기가 최소가 되도록 하면 플라잉 커패시터 전압 변동량을 최소로 할 수 있으며 3-레벨의 경우 2개의 스위치를 같은 비율로 사용해야 하기 때문에 캐리어 주기를 T_S 라 하면 $2T_S$ 가 최소의 제어 주기가 된다. 그러므로 각 캐리어 밴드는 2개의 캐리어가 $2T_S$ 동안 한번씩 들어가도록 배치하여 구성을 해야 한다. 또한 배치된 캐리어는 언제나 지령 전압과 비교 해야하기 때문에, 앞의 조건을 만족하는 모든 캐리어 밴드 중 캐리어의 위치가 중복되지 않게 배치된 2개의 밴드를 선택하여 인접하게 배치해야 한다. 이러한 결과로 만들어지는 캐리어 밴드 세트는 $2T_S$ 동안 각 캐리어 밴드에서 전압 레벨의 변화를 결정할 때, 2개의 스위치를 번갈아 사용하게 되므로 전압 리던던시 O_1 과 O_2 를 둘 다 같은 비율로 사용할 수 있게 된다. 그러므로 $2T_S$ 동안 플라잉 커패시터 전압이 일정한 값으로 제어가 가능하게 된다. 이러한 조건을 만족하기 위한 캐리어 배치는 그림 2에서 보여주며, 다음과 같은 과정을 거친다.

- 첫 T_S 동안 각 캐리어는 각 밴드를 만들고, 각 캐리어가 만든 밴드를 $+V_{dc}/2$ 와 $-V_{dc}/2$ 사이에 인접하게 배치
- 다음 T_S 동안 상위 밴드 ($V_x^* \geq 0$)의 Carrier 1은 하위 밴드로 이동하고 하위 밴드 ($V_x^* \leq 0$)의 Carrier 2는 상위 밴드로 이동하여 밴드를 구성

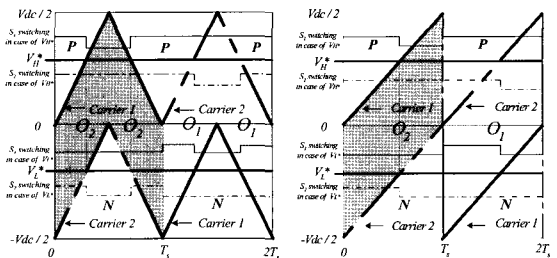
여기에서 Carrier 1과 Carrier 2는 각각 스위치 S_{x1} 과 S_{x2} 의 캐리어를 나타내며, V_{H}^* 와 V_L^* 는 각각 지령 전압(V_x^*)이 상·하위 밴드에 위치한 상태를 나타낸다.

이와 같은 캐리어 밴드 구성 조건은 캐리어를 캐리어 한 주기(T_S)마다 회전한 후 배치하여 각 캐리어 밴드를 구성함으로써 쉽게 일반화가 가능하다. 본 논문은 이러한 캐리어 로테이션 과정을 플라잉 커패시터 전압 균형 제어의 기본 알고리즘으로 제안한다.

그림 2는 제안된 기본 알고리즘을 삼각파 캐리어와 톱니파 캐리어를 사용하여 구현 할 때, 캐리어 배치에 따른 스위치 상태의 영역을 나타낸다. 삼각파 캐리어에 적용한 그림 2(a)는 지령 전압의 캐리어 밴드 위치에 따라 스위칭 횟수가 달라지는 것을 보여 주며, 톱니파 캐리어에 적용한 그림 2(b)는 지령 전압의 캐리어 밴드 위치와 상관없이 항상 $2T_S$ 동안 스위칭이 한번씩 되는 것을 보여 준다. 각 스위치마다 스위칭 횟수가 달라지면 스위칭 스트레스나 발열이 모든 스위치에 고르게 발생하지 않고 스위칭 횟수가 많은 스위치에 편중되므로, 스위치 이용률 개선을 위해서 본 논문은 톱니파 캐리어를 사용한 기본 알고리즘 구현에 관해서만 다룬다.

그림 3은 3-레벨에서 톱니파 캐리어를 이용한 PD PWM 기법과 제안된 기법의 구현을 보여준다. 지령 전압이 캐리어 밴드에서 위치할 수 있는 가능한 조건을 모두 고려하기 위해서 지령 전압이 캐리어 상·하위 밴드에 위치한 상태를 보여주며, 플라잉 커패시터 전압 균형을 설명하기 위해서 캐리어와 지령 전압과 스위치 상태를 도시했다.

그림 3(a)는 지령전압이 캐리어 상위 밴드에 위치할 때의 PD PWM 기법의 스위치 S_{x1} 과 S_{x2} 에 대한 게이트 신호를 나타낸다.



(a) 삼각파 캐리어에 적용 (b) 톱니파 캐리어에 적용

그림 2 제안된 캐리어 배치에 따른 스위치 상태 영역
Fig. 2 Regions of switch states corresponding to carrier-band set made by basic algorithm.

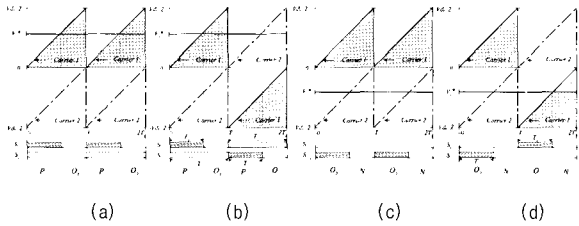


그림 3 3-레벨에서의 PD 캐리어 배치 (a),(c) 와 제안된 캐리어 배치 (b)(d)

Fig. 3 Carrier-band set made by PD PWM technique (a), (c) and basic algorithm (b), (d) in 3-level

두 게이트신호에 의한 스위치 상태는 $P-O_2-P-O_2$ 의 순서로 나타나며 전압 리던던시 중에서 O_2 의 스위치 상태만이 선택되어 사용되는 것을 볼 수 있다. 반면에 제안된 기법의 게이트신호를 나타낸 그림 3(b)를 살펴 보면 스위치 상태는 $P-O_2-P-O_1$ 의 순서로 나타나며 전압 리던던시 O_1 과 O_2 의 두 스위치 상태가 $2T_s$ 동안 같은 양이 사용되는 것을 알 수 있다. 그림 3(c), 3(d)는 지령전압이 캐리어 하위 밴드에 위치하는 경우이며 그림 3(a), 3(b)에서와 같은 결과를 보여준다.

그러므로 제안된 기법은 플라잉 커패시터 전압 균형에 관계된 레그 전압 출력시, 제안된 알고리즘에 의해서 충전과 방전 스위치 조합을 같은 비율로 사용하여 플라잉 커패시터 전압을 일정하게 유지하며, 전압의 변동폭이 최소가 되도록 제어가 가능하다.

3.2 N-레벨로의 일반화

플라잉 커패시터 N-레벨 인버터에서 멀티 캐리어 PWM 기법은 (N-1)개의 캐리어 배치에 따라 (N-1)개의 전압 리던던시를 선택하여 사용이 가능하다^[9]. 선택된 (N-1)개의 상태는 플라잉 커패시터 충전과 방전 상태가 모두 포함되어 있는 출력 전압 리던던시이며, (N-1)개의 스위치를 통해서 구현할 수 있는 플라잉 커패시터 전압 제어 자유도이다.

이러한 자유도를 최소의 제어주기 동안 모두 이용하기 위해서는, 각 캐리어 밴드를 크기와 위상이 같은 (N-1)개의 캐리어가 (N-1) T_s 동안 한번씩 들어가도록 배치하여 구성하고, 이 조건을 만족하는 캐리어 밴드 중에서 각 캐리어 위치가 서로 같은 위치에 중복되지 않은 (N-1)개의 캐리어 밴드를 선택해서 서로 인접하게 배치하여, (N-1)밴드×(N-1) T_s MATRIX 형태의 캐리어 세트로 조합한다. 그러면 (N-1) T_s 동안 지령 전압에 따른 전압 레벨 변화시 (N-1)개의 스위치 자유도를 모두 같은 비율로 사용하여 전압 균형을 이룰 수

있다. 이러한 캐리어 배치는 (N-1)밴드×(N-1) T_s MATRIX 캐리어 배치 상에서 각 캐리어는 (N-1) T_s 동안 각 밴드에 한번씩 위치하고 항상 지령 전압과 비교 할 수 있도록 가로축 (N-1)개의 타임 밴드 상에도 각 캐리어가 한번씩 위치해야 한다. 그러므로 가능한 모든 캐리어 조합은 다음과 같이 구할 수 있다.

1번 캐리어가, 캐리어 밴드 1에 위치할 경우의 수는 (N-1)개, 캐리어 밴드 1에서와 다른 위치이면서 캐리어 밴드 2에 위치할 경우의 수는 (N-2)개, 캐리어 밴드 1, 2 와 다른 위치이면서 캐리어 밴드 3에 위치할 경우의 수는 (N-3)개,

⋮

캐리어 밴드 1, 2, 3, ... , (N-2)와 다른 위치이면서 캐리어 밴드 (N-1)에 위치할 경우의 수는 1개이다.

그러므로 1번 캐리어가 각 캐리어 밴드와 가로축 각 타임 밴드에 한번씩 위치해야 하는 모든 경우의 수는

$$(N-1) \times (N-2) \times (N-3) \times \dots \times 1 = (N-1)! \quad (4)$$

2번 캐리어가 1번 캐리어 위치한 상태에서 위치 할 수 있는 경우의 수는 (N-2)개,

3번 캐리어가 1, 2번 캐리어가 위치한 상태에서 위치 할 수 있는 경우의 수는 (N-3)개,

4번 캐리어가 1, 2, 3 번 캐리어가 위치한 상태에서 위치 할 수 있는 경우의 수는 (N-4)개

⋮

(N-1)번 캐리어가 1, 2, 3, 4, ..., N-2번 캐리어 모두 위치한 상태에서 위치 할 수 있는 경우의 수는 1개 이므로, 모든 캐리어가 각 밴드와 가로축 각 타임 밴드에 각 캐리어가 한번씩 위치해야 하는 경우의 수는

$$(N-1)! \times (N-2) \times (N-3) \times (N-4) \times \dots \times 1 = (N-1)! \times (N-2)! \quad (5)$$

그러므로 이러한 캐리어 조합의 수는 (N-1)!×(N-2)!개만큼 존재한다. 이러한 자유도 중 3-레벨 경우에서와 같이 모든 스위치가 (N-1) T_s 동안 한번씩 스위칭이 일어나는 조건에 해당하며 멀티-레벨로의 확장 과 일반화가 쉬운 경우는 삼각파 대신 톱니파 캐리어를 사용하여 캐리어 한 주기마다 회전한 후 배치하여 캐리어 밴드를 구성하는 경우뿐이다. 그러므로 3-레벨에서 제안한 플라잉 커패시터 전압 균형 제어의 기본 알고리즘인 캐리어 로테이션을 N-레벨에서 역시 확장하여 기본 알고리즘으로 사용 가능하다. 따라서 (N-1)

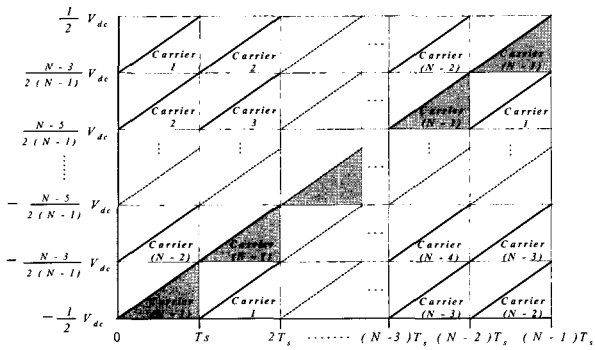


그림 4 N-레벨로 일반화된 새로운 캐리어
 Fig. 4 Proposed carrier-band set generalized to N -level (MATRIX form that $(N-1)$ carrier-band $\times (N-1) T_s$)

개의 톱니파 캐리어를 $(N-1)$ 번 회전한 후 재배치하는 방법으로 간단하게 N -레벨로 일반화된다.

그림 4는 제안된 알고리즘을 통해 N -레벨로 일반화되어 배치된 새로운 캐리어 조합을 나타낸다.

4. 기존 해결 기법과의 비교

그림 5는 플라잉 커패시터 3-레벨 인버터에서 톱니파를 사용한 제안된 기법과 기존 해결 기법에서의 스위치 상태의 영역을 보여 준다.

여기에 나타난 기법은 모두 O_1 과 O_2 의 영역이 번갈아 배치되어 있어 플라잉 커패시터 전압 균형을 위한 리턴턴시를 같은 비율로 사용하고 있는 것을 알 수 있지만, 그림 5(a)에 나타난 Hybrid PWM 기법은, 상위 캐리어 밴드와 하위 캐리어 밴드간에 O_1 과 O_2 의 영역이 포개어져 있어 지령 전압의 위치에 따라 전압 레벨이 변하면서 전압 리턴턴시 사용에 변동이 발생하여 플라잉 커패시터 전압에 불균형이 발생함을 알 수 있고, 그림 5(b)는 Phase-Shift PWM 기법의 스위치 상태의 영역이 멀티 캐리어 PWM 방법 중 APOD PWM 기법과 같은 캐리어 배치임을 보여 준다. 이와 같은 배치는 캐리어가 동상을 이루는 PD PWM 기법의 비해 선간 출력 전압에 고조파 성분을 많이 포함하는 단점을 갖는다^[10-13]. 그림 5(c)는 제안된 기법의 모든 캐리어 배치가 동상임을 나타낸다.

그림 6은 3레벨 인버터 시스템에 적용된 제안된 PWM 기법과 Phase-Shift PWM 기법의 지령 전압, 캐리어, 게이트 신호 및 스위치 상태를 나타내며, 지령 전압과 이를 구성하는 전압 벡터를 공간 벡터 다이어그램 상에 도시한 것이다.

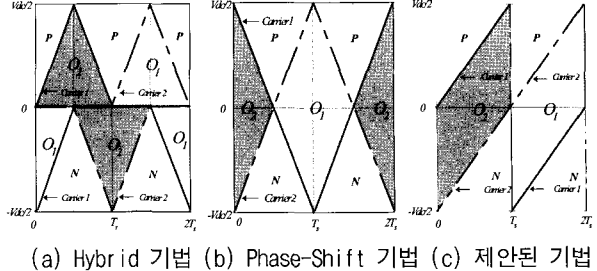
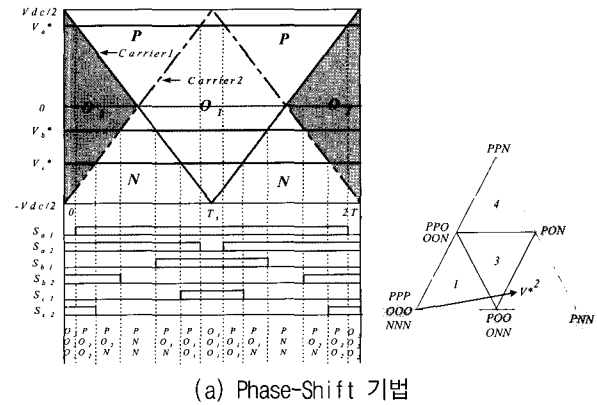
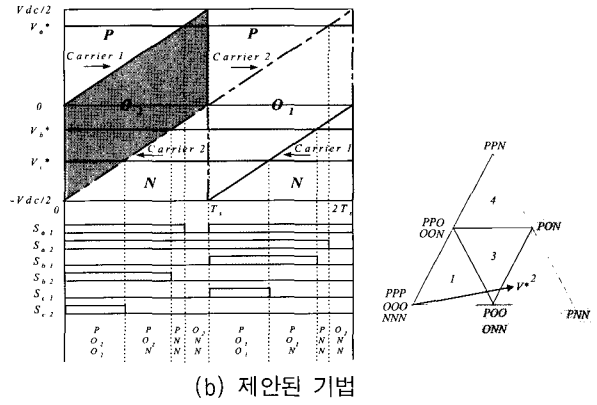


그림 5 캐리어 배치에 따른 스위치 상태 영역
 Fig. 5 Regions of switching states corresponding to arrangement of carrier signal



(a) Phase-Shift 기법



(b) 제안된 기법

그림 6 PWM 기법의 비교
 Fig. 6 Comparison of proposed PWM technique and Phase-Shift PWM technique

그림 6에 따르면, 두 가지 기법 모두 지령 전압 벡터가 두 번째 영역에 위치한 같은 상태임에도 불구하고, 그 지령 전압 벡터를 출력하기 위해 선택되는 인버터 출력 전압 벡터가 다르다. Phase-Shift PWM 기법은 3개의 인접 벡터와 1개의 인접하지 않은 벡터로 출력이 되는 반면에, 제안된 PWM 기법은 지령 전압

벡터에 인접한 4개의 벡터로 출력이 된다. (인접 벡터란 하나의 전압 벡터 상태에서 다른 전압 벡터 상태로 이동할 때 하나의 스위치 변화로 옮겨 갈 수 있는 범위의 벡터를 말한다) 지령 전압 벡터는 평균적인 개념에서 인버터 출력 전압 벡터로 구성이 되고, 고조파 전압 벡터는 인버터 출력 전압 벡터와 지령 전압 벡터의 차이로 정의된다. 그러므로 제안된 기법이 Phase-Shift PWM 기법에 비해서 더 적은 고조파 성분들을 갖는다.

5. 실험 결과

본 논문에서는 선형 변조 영역의 확장과 상전류 리플의 감소를 위해서 정현파에 오프셋 전압(V_{off})을 더해 지령 전압을 얻는다^[9].

오프셋 전압과 변조 지수(m_a)의 정의는 다음과 같다.

$$V_{off} = -\frac{\max(V_a, V_b, V_c) + \min(V_a, V_b, V_c)}{2} \quad (6)$$

$$m_a = \frac{V_{ref}}{V_{dc}\sqrt{3}} \quad (7)$$

여기에서, \dot{V}_{ref} 는 지령 전압의 크기의 최대값

제안된 기법과 기존 기법의 이론적인 타당성 검증을 위해 축소 모델 시제품(laboratory prototype)을 제작하였으며 부하는 유도전동기를 사용하였고, TMS320C31 DSP 컨트롤러 보드를 이용하여 제안된 PWM 을 사용한 일정 V/F 제어 기법을 적용하여 구현하였다. 실험 조건은 표 2 과 같다.

그림 7은 3-레벨에서 $m_a=0.75$ 일 때 각상의 플라잉 커패시터 전압을 나타낸다. 그림 7은 제안된 PWM 기법과 Phase-Shift PWM 기법 모두 각상의 플라잉 커패시터 전압의 변동폭이 최소가 되며 100[V]의 전압을 일정하게 유지하는 것을 보여 주며, Hybrid PWM 기법이 리던던시 사용의 불균형 문제로 플라잉 커패시터 전압이 약 80[V]~110[V]의 큰 변동폭을 갖고 변하는

표 2 실험 조건
Table 2 Experiment conditions

V_{dc}	스위칭 주파수	출력 주파수	변조 지수 (m_a)	커패시터 (C)	유도전동기 부하
200[V]	2[kHz]	30[Hz]	0.75	2200[μ F]	2[Hp],6[Pole] 220/380[V],60[Hz]

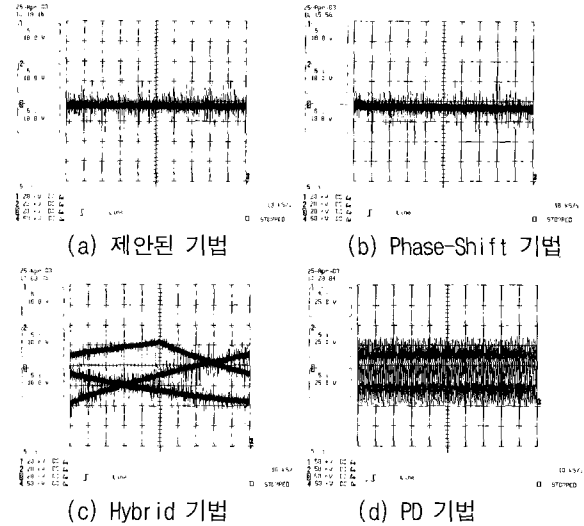


그림 7 3-레벨 인버터 각상의 플라잉 커패시터 전압에 대한 실험 결과

Fig. 7 Experimental result of flying-capacitor voltage at each phase in 3-level inverter

점과 PD 기법이 전압 리던던시를 하나만 사용하기 때문에, 플라잉 커패시터 전압이 약 50[V]~125[V]의 매우 큰 변동폭을 갖고 변하는 것을 보여 준다. 여기에서 (a),(b),(c)의 스케일(scale)은 10[V/div]이며 (d)만 PD 기법의 큰 전압 변동폭을 고려하여 안전한 실험을 위해 실험 조건을 변경하여 DC-link 전압(V_{dc})을 100[V]로 인가하였고, 스케일을 25[V/div]으로 설정하였다. 또한 0 점이 100[V]를 의미하도록 전부 오프셋 전압 100[V]를 인가하였다.

그림 8의 (a),(b),(c)는 각각 제안된 PWM 기법, Phase-shift PWM 기법, Hybrid PWM 기법에 대한 실험 결과를 나타내고, 이때 채널 1은 플라잉 커패시터 전압(10[V/div], 오프셋 전압: 100[V]), 채널 2는 레그 전압(100[V/div]), 채널 3은 선간 전압(100[V/div]), 채널 4는 부하 전류 (2[A/div])를 나타낸다. 그림 8(d)는 PD PWM 기법에 대한 실험 결과를 나타낸다. 이때 PD 기법의 큰 전압 변동폭을 고려하여 안전한 실험을 위해 실험 조건을 변경하여 $V_{dc}=100[V]$ 로 인가하였고, 채널 1은 플라잉 커패시터 전압(25[V/div], 오프셋 전압: 100[V]), 채널 2는 레그 전압(50[V/div]), 채널 3은 선간 전압(50[V/div]), 채널 4는 부하 전류 (5[A/div])를 나타낸다. 그림 8은 제안된 PWM 기법이 다른 PWM 기법에 비해서 좀 더 정현적인 선간 전압을 출력하는 것을 보여 주고, 리플이 적은 부하 전류를 출력하는 것을 보여준다.

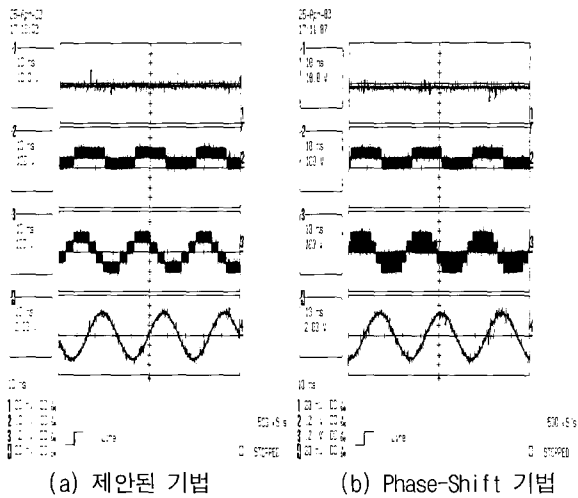


그림 8 3-레벨 인버터에서 각 PWM 기법의 구현에 대한 실험 결과
 Fig. 8 Experimental result of each PWM technique is implemented in 3-level inverter

6. 고조파 특성 비교

본 논문에서 고조파 특성은 Harmonic Distortion Factor(HDF)를 통해서 분석 비교하였다^{[11],[12]}. HDF는 모든 변조지수에 대한 고조파 크기를 도시하여 선형변조영역 전체에서의 고조파 성분의 비교가 가능하다. HDF를 수행하기 위한 변수는 DC-link전압(V_{dc})= 800 [V], 출력 주파수=60[Hz], 스위칭 주파수=2[kHz]이다.

Hybrid PWM 기법과 PD PWM 기법은 플라잉 커패시터 전압의 변동율이 매우 크기 때문에 인버터의 동작 신뢰성을 보장하지 못하므로 출력 전압과 고조파

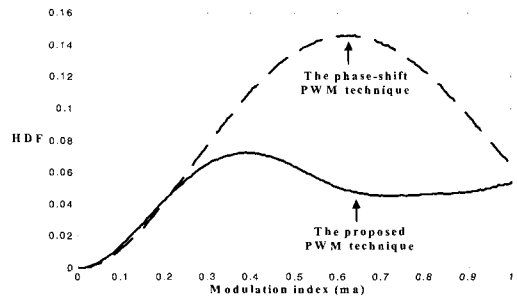


그림 9 3-레벨에서 각 기법에 대한 HDF 비교
 Fig. 9 Comparison of HDF according to each PWM technique in 3-level inverter

성분 분석 비교는 제안된 PWM 기법과 Phase-Shift PWM 기법에 관해서 시뮬레이션을 수행하였다.

그림 9는 제안된 PWM 기법과 Phase-Shift PWM 기법에 관한 HDF 분석을 나타낸다. 선형변조영역 전체에서의 두 가지 기법의 HDF를 도시한 그림 9를 통해서 제안된 PWM 기법이 Phase-Shift PWM 기법에 비해 더 적은 고조파를 발생한다는 것을 알 수 있으며 우수한 고조파 저감 특성을 갖는다는 것을 확인할 수 있다.

7. 결 론

본 논문은 플라잉 커패시터 전압 균형제어의 해결 방법으로 캐리어 로테이션 PWM 기법을 제안하였다. 제안된 기법은 매우 간단한 알고리즘을 사용하여, 최소의 제어주기인 $(N-1)T_s$ 동안 플라잉 커패시터 충전과 방전에 관계된 서로 다른 스위칭 조합을 같은 비율로 사용한다. 이로 인해서 제어하는 스위치의 듀티비가 같아지고, 플라잉 커패시터 전압은 변화량이 평균 영의 값을 갖게 되어 일정한 값으로 균형제어가 된다. 또한, 제안된 기법은 각 캐리어의 배치가 동상이며, 모든 스위치의 스위칭 주파수가 같고, 캐리어 비교 방식을 취하므로 출력 선간 고조파 전압 저감 및 스위치 이용률 개선과 멀티-레벨로의 확장이 용이하다는 장점을 갖는다.

실험 결과와 HDF 시뮬레이션 결과는 제안된 기법이 기존의 두 가지 기법에 비해 우수하다는 이론적 타당성을 입증한다. 그러므로 제안된 PWM 기법은 플라잉 커패시터 멀티-레벨 인버터에 적합한 제어 기법임을 증명하였다.

참 고 문 헌

[1] Jih-Sheng Lai and Fang Zheng Peng, "Multilevel Converters-A New Breed of Power Converters," IEEE Trans. on Industry Applications, Vol. 32, pp. 509~517, 1996.

[2] J. Rodriguez, Jih-Sheng Lai, and Fang Zheng Peng, "Multi Level Inverters: A Survey of Topologies, Controls, and Applications," IEEE Trans. on Industrial Electronics, Vol. 49, pp. 724~738, 2002.

[3] C. Hochgraf, R. Lasseter, D. Divan, and T.A. Lipo, "Comparison of Multilevel Inverters for Static VAR Compensation," IEEE-IAS Conf. Rec., pp. 921~928, 1994.

[4] T.A. Meynard and H. Foch, "Multi-level Conversion: High Voltage Choppers and Voltage-Source Inverters", IEEE-PESC Conf. Rec., pp. 397~403, 1992.

[5] C. Newton and M. Summer, "Multi-level Convertors a Real Solution to Medium/High-Voltage Drives?," Power Engineering Journal, Vol. 12, pp. 21~26 1998.

[6] B.P. McGrath and D.G. Holmes, "Multi Carrier PWM Strategies for Multilevel Inverters," IEEE Trans. on Industrial Electronics, Vol. 49, pp. 858~867, 2002.

[7] Liang, Y. and Nwankpa, C.O, "A Power-Line Conditioner Based on Flying-Capacitor Multilevel Voltage-Source Converter with Phase-Shift SPWM," IEEE Trans. on Industry Applications, Vol. 36, pp. 965~971, 2000.

[8] 이상길, 강대욱, 이요한, 현동석, "플라이 커패시터 멀티-레벨 인버터의 커패시터 전압 균형을 위한 캐리어 비교 방식의 펄스폭 변조 기법," 전력전자학회 논문지, pp. 65~73, 2002. 2.

[9] D.W. Kang, Y.H. Lee, B.S. Suh, C.H. Choi, and D.S. Hyun, "An Improved Carrier-based SVPWM Method Using Leg Voltage Redundancies for Generalized Cascaded Multilevel Inverter Topology," IEEE Trans. on Power Electronics, vol. 18, no. 1, pp. 180~187, Jan. 2003.

[10] M. Calais, L.J. Borle, and V.G. Agelidis, "Analysis of Multicarrier PWM Methods for a Single-Phase Five Level Inverter," IEEE-PESC Conf. Rec., pp. 1351~1356, 2001.

[11] J.S. Kim, T.J. Kim, D.W. Kang, and D.S. Hyun, "A Novel Method of the Harmonic Analysis by the Multi-carrier PWM Techniques in the Multi-level Inverter," IEEE-IECON Conf. Rec., pp. 3140~3145, 2002.

[12] 이요한, 김동현, 현동석, "저감된 THD를 갖는 멀티-레벨 인버터를 위한 새로운 SVPWM 기법," 전력전자학회 전

력전자학회 논문지, pp. 343~346, 2000. 7.

[13] Carrara, G., Gardella, S., Marchesoni, M., Salutati, R., and Sciutto, G., "A New Multilevel PWM Method: A Theoretical Analysis," IEEE Trans. on Power Electronics, Vol. 7, pp. 497~505, 1992.

저 자 소 개



이원교(李源教)

1975년 11월 17일생. 2002년 인천대 전기공학과 졸업. 2002년~현재 한양대 대학원 전기공학과 석사과정.



김태진(金兌珍)

1974년 5월 31일생. 2000년 대전대 전기공학과 졸업. 2002년 한양대 대학원 전기공학과 졸업(석사). 2002년~현재 동 대학원 전기공학과 박사과정.



강대욱(姜岱旭)

1970년 6월 4일생. 1998년 한양대 전기공학과 졸업. 2000년 동 대학원 전기공학과 졸업(석사). 2000년~현재 동 대학원 전기공학과 박사과정.



현동석(玄東石)

1950년 4월 8일생. 1973년 한양대 전기공학과 졸업. 1978년 동 대학원 전기공학과 졸업(석사). 1986년 서울대 대학원 전기공학과 졸업(공학박사). 1984년~1985년 미국 토레도대학 교환교수. 1988년~1989년 원현공과대학 교환교수. 현재 한양대 전자전

기공학과 교수. 당 학회 회장 역임.