

論文2003-40SC-6-9

이득 여유가 작아도 안정한 개선된 네가티브 커패시턴스 회로

(Improved negative capacitance circuit stable with a low gain margin)

金永弼 **, 黃仁德 *

(Young-Feel Kim and In-Duk Hwang)

요약

생체 임피던스 측정에 사용되는 프론트 엔드의 입력 커패시턴스를 상쇄시키며, 편하고, 작은 이득 여유로도 안정하게 동작하는 제안된 네가티브 커패시턴스 회로를 제안하였다. 기존의 회로를 사용하기 위해서는 적절한 이득 대역폭 적을 갖는 연산 증폭기를 선택해야 하는데 비하여 제안하는 회로는 광대역 연산 증폭기를 사용하므로 연산 증폭기의 선택이 쉽다. 또한 이득 여유가 귀환 커패시터에 직렬로 연결된 귀환 저항에 의하여 조절되므로 이득 여유를 가변 저항기로 튜닝할 수 있다. 제안된 회로의 입력 임피던스는 기존 회로의 임피던스보다 2배 크며 네가티브 커패시턴스 회로를 채용하지 않았을 때에 비하여 40배 크다. 나아가서 제안된 회로의 페루프 위상 응답은 기존의 회로와 네가티브 커패시턴스 회로를 채용하지 않았을 때에 비하여 좋다. 무엇보다도 이득 피킹이 발생하더라도 제안된 회로에서 이득 피킹의 주파수는 루프 이득이 최대로 되는 주파수 보다 높으므로, 이득 여유가 이득 피킹의 영향을 거의 받지 않는다. 따라서 제안된 회로는 매우 작은 이득 여유로도 안정하게 동작할 수 있다.

Abstract

An improved negative capacitance circuit that cancels out input impedance of a front-end in a bioimpedance measurement and operates stably with a low gain margin has been proposed. Since the proposed circuit comprises wide-band operational amplifiers, selecting operational amplifiers is easy, while an operational amplifier of proper bandwidth should be chosen to apply conventional circuit. Also, since gain margin can be controlled by a feedback resistor connected serially with a feedback capacitor, gain margin is tuneable with a potentiometer. The input impedance of the proposed circuit is two times larger than that of the conventional circuit and 40-times than that without a negative capacitance circuit. Furthermore, closed-loop phase response of the proposed circuit is better than that of the conventional circuit or without a negative capacitance circuit. Above all, for the proposed circuit, the frequency at which a gain peaking occurs is higher than the frequency at which the loop gain becomes a maximum. Thus, the proposed circuit is not affected by a gain peaking and can be operated with a very low gain margin.

Keyword : bioimpedance, input capacitance, negative capacitance, input impedance, positive feedback

* 正會員, ** 學生會員, 大田大學校 電子工學科

(Department of Electronic Engineering, Daejeon University)

接受日字:2003年6月27日, 수정완료일:2003年10月30日

생체 임피던스(Bioimpedance) 분석은 EIT(Electrical

impedance tomography), 체성분 분석 (Body composition analysis), ICG (Impedance cardiography) 등 여러 분야에 응용될 수 있는 가능성이 큰 기술이다¹⁾. 그러나 생체 임피던스 분석에서는 여러가지 오차가 발생할 수 있으며 그 중의 하나는 전압 측정을 하기 위한 프론트 엔드 (Front-end)의 유한한 입력 임피던스에 의한 오차이다^{2, 3)}. 전압 측정에 사용되는 프론트 엔드의 입력 커패시턴스는 전극 임피던스와 함께 저역통과 여파기를 구성하게 되어 부하 오차 (Loading error)를 발생시킨다^{2, 7)}. 또한 프론트 엔드의 입력 커패시턴스는 누설 전류의 발생과 공통모드 제거비 (CMRR: Common-mode rejection ratio)의 저하를 야기한다^{2, 3)}.

통상적인 전자 부품 등의 측정과 생체 임피던스 측정의 중요한 차이중의 하나는 후자에서 전극의 임피던스 Re 가 매우 크다는 점이다. 생체 임피던스 측정에서 전극과 피부사이의 임피던스를 통상적으로 전극의 임피던스라고 하며 전극의 임피던스는 통상 직렬로 연결된 저항과 커패시터로 모델링하지만 고주파에서는 커패시터의 임피던스가 저항성분보다 작아지므로 전극의 임피던스는 단순히 저항으로 모델링할 수 있다⁴⁾.

전압을 측정하기 위하여 사용되는 프론트 엔드의 입력 임피던스는 고주파에서 입력 커패시턴스에 의하여 결정되며 입력 커패시턴스 C_{in} 은 공통모드 커패시턴스에 의하여 결정된다⁷⁾. 이것은 연산 증폭기를 이용하여 비반전 증폭기를 구성하는 경우 차동모드 입력 임피던스는 루프 이득만큼 증가하여 매우 크지만 공통모드 커패시턴스는 그대로 남기 때문이다. 통상적인 고속 연산 증폭기 회로에서 회로 레이아웃에 의한 커패시턴스를 포함하여 공통모드 커패시턴스는 4 pF 정도가 될 수 있는데, 이것의 1 MHz에서의 임피던스는 40 k Ω 으로 전극의 임피던스를 1 k Ω 이하로 가정하더라도 프론트 엔드의 입력 임피던스는 충분히 크지 못하여 부하오차를 발생시키게 된다. 부하 오차는 측정 후에 보정하기가 어려운데 그 이유는 측정 당시의 전극 임피던스를 모르기 때문이다.

따라서 프론트 엔드의 입력 단자에 입력 커패시턴스가 존재하는 경우에는 다음과 같은 프론트 엔드의 요구 조건이 만족되기 어렵다.

전극 임피던스에 의한 부하 오차를 발생시키지 않기 위해서는 프론트 엔드의 입력 임피던스가 전극의 임피던스보다 훨씬 커야 한다.

· 프론트 엔드로 흐르는 전류를 작게 하여 임피던스

측정을 위하여 인가되는 전류의 흐름이 변하지 않게 하기 위해서는 프론트 엔드의 입력 임피던스가 커야 한다.

- 전극과 프론트 엔드가 구성하는 회로의 크기 응답과 위상 응답이 광대역이어야 한다.

따라서 정확한 생체임피던스 측정을 하기 위해서는 프론트 엔드의 입력 임피던스를 증가시켜야 하며 이를 위해서는 입력 커패시턴스를 감소시켜야 한다.

입력 커패시턴스를 감소시키기 위한 기존의 회로로는 연산증폭기를 사용한 비반전 증폭기의 출력을 입력으로 정귀환 (Positive feedback)시키는 네가티브 커패시턴스 (Negative capacitance) 회로가 있다^{5, 6)}. 이 회로는 프론트 엔드의 입력 커패시턴스를 감소시키기 위하여 사용되었으며⁴⁾ 또한 전류원의 출력 커패시턴스를 상쇄시켜서 전류원의 출력 임피던스를 증가시키는 목적으로 사용되었다^{5, 6)}.

귀환 (Feedback)을 이용하는 회로는 루프 이득 (Loop gain)이 클수록 성능이 좋아지나 발진을 막기 위해서는 루프 이득을 제한해야 하며 따라서 적당한 이득 여유가 확보되어야 한다. 이에 따라 상기된 기존의 네가티브 커패시턴스 회로에서는 루프 이득 과 이득 여유 (Gain margin)가, 비반전 증폭기를 구성하기 위한 연산 증폭기의 GBP (이득 대역폭 적: Gain-bandwidth product)와 전극의 임피던스에 의하여, 결정된다⁴⁾. 그러므로 이 회로는 다음과 같은 단점을 갖는다. 1) 전극의 임피던스를 예상하여 적당한 GBP를 갖는 연산 증폭기를 선택해야 하는 불편함이 있다. 2) 전극의 임피던스가 바뀌어도 이득 여유를 변경하기 어렵다. 3) 비반전 증폭기가 이득 피킹 (Gain peaking) 특성을 갖으면 이득 피킹이 루프 이득이 최대로 되는 주파수에서 발생하므로 결국 이득 피킹 만큼 이득 여유가 없어지고 따라서 발진하기 쉽다. 본 논문에서는 위와 같은 기존 회로^{4, 6)}의 단점을 개선할 수 있는 개선된 회로를 제안한다. 회로 해석, 시뮬레이션과 실험을 통하여 본 논문에서 제안되는 회로는 기존의 회로가 갖는 단점을 해소하는 외에 입력 임피던스와 주파수 특성에서 기존의 회로보다 우수한 특성을 나타냄을 확인하였다.

II. 제안된 네가티브 커패시턴스 회로

본 논문의 프론트 엔드는 전극과 프론트 엔드 사이

에 케이블을 사용하지 않고 프론트 엔드를 전극에 바로 연결하는 능동 전극(Active electrode)을 가정한다^[24]. 이 경우 프론트 엔드의 입력 커패시턴스를 감소시키기 위하여 네가티브 커패시턴스를 사용할 때의 등가회로는 <그림 1>과 같다. 그림에서 C_{in} 은 입력 커패시턴스를, R_e 는 전극 저항을, V_s 는 측정하고자 하는 전압원을 나타낸다. 기존의 회로를 사용할 때의 등가회로는 <그림 1(a)>와 같다. 참고 문헌^[6]에서는 한 개의 연산 증폭기로 구성하는 비반전 증폭기를 사용하였지만 <그림 1(a)>에는 전극과 비반전 증폭기 사이에 전압 폴로워(Voltage follower)를 삽입하였다. 이것은 입력 신호에 대하여 이득이 1인 출력을 얻을 필요가 있으며 뒤에 기술되는 것과 같이 비반전 증폭기의 대역폭이 제한되었기 때문에 비반전 증폭기로부터 얻는 출력은 위상 지연이 매우 크기 때문이다. 즉 위상 지연을 줄이기 위해서는 전압 폴로워의 출력을 사용해야 함을 저자들은 발견하였기 때문이다. 전압 폴로워를 이상적이고 충분히 광대역이라고 가정하면 이 회로의 정귀환 효과는 하나의 비반전 증폭기를 사용할 때와 같다. 편의상 앞으로는 비반전 증폭기를 이득단(Gain stage)이라고 부르기로 한다. 기존의 회로에서는 입력 커패시턴스 C_{in} 을 감소시키기 위해서 이득단의 출력을 커패시터 C_f 를 통하여 입력에 연결하는 정귀환을 사용한다. 정귀환의 효과로 네가티브 커패시턴스를 얻을 수 있으며 네가티브 커패시턴스는 입력 커패시턴스 C_{in} 과 상쇄되어 프론트 엔드의 입력 커패시턴스를 영으로 만들 수 있다.

이 회로에서 귀환 인수(Feedback factor) β 는 귀환 커패시턴스 C_f 와 입력 커패시턴스 C_{in} 과 전극 저항 R_e 의 병렬(C_f/R_e)로 전압 분배된 결과이므로 주파수가 높아짐에 따라 β 도 증가하여 1로 접근한다. 따라서 주파수가 높아질수록 루프 이득이 커지고 루프 이득이 커지면 정귀환이기 때문에 발전의 위험이 있다. 그러므로 고주파에서의 루프이득을 제한하기 위하여 기존 회로에서는 대역폭이 제한된 연산 증폭기를 사용하여 이득단을 구성한다. 그러나 이 회로는 이득 여유를 정하기 위해서는 전극 저항에 맞추어서 적절한 대역폭의 연산 증폭기를 선택해야 한다는 단점과, 다른 전극 저항에 대해서 이득 여유를 튜닝할 필요가 있어도 이득 여유를 튜닝하기 어렵다는 단점을 갖는다. 그러므로 이 단점을 개선하기 위하여 본 논문에서는 <그림 1(b)>의 등가회로에 나타난 회로를 제안한다. 기존의 방식에서 대역폭이 제한된 이득단을 사용하는 것과는 달리 본

논문에서 제안하는 회로에서는 광대역의 이득단을 사용한다. 본 논문에서 제안하는 회로에서는 입력 신호에 대하여 이득이 1인 출력을 얻기 위하여 광대역의 전압 폴로워를 전극 저항과 이득단 사이에 삽입한다. 이 전압 폴로워는 정귀환에 대해서는 아무 변화를 주지 않는다. 본 논문에서 제안하는 회로에서 루프이득을 제한하기 위해서는 출력에서 입력으로 연결되는 귀환 커패시터 C_f 에 직렬로 귀환 저항 R_f 를 연결한다.

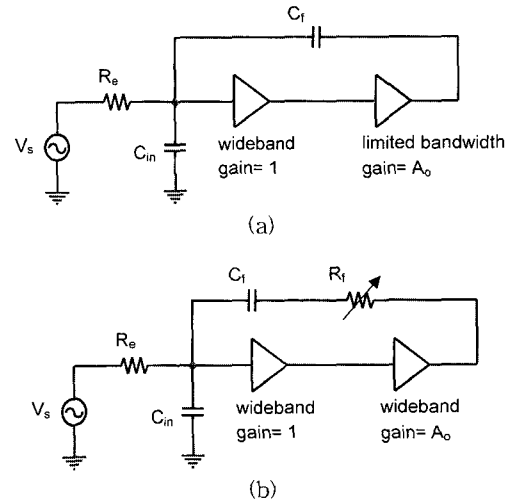


그림 1. 입력 커패시턴스를 제거하기 위하여 네가티브 커패시턴스를 사용할 때의 등가회로. (a) 기존의 회로의 경우, (b) 본 논문에서 제안된 회로의 경우

Fig 1. Equivalent circuits when negative capacitance is applied to cancel input capacitance. (a) for conventional circuit, (b) for proposed circuit.

<그림 1>에 나타난 본 논문에서 제안된 네가티브 커패시턴스 회로에 대한 해석은 다음과 같다. 먼저 입력 커패시턴스가 상쇄되는 조건과 이때의 입력 임피던스를 구한다. 전압 폴로워(Voltage follower)와 이득단(Gain stage)이 광대역이고 이상적이어서 고주파에서의 이득이 DC 이득 A_o 와 같다고 가정하며 <그림 1>에 표시된 기호를 사용한다. 정귀환의 결과로 결정되는 전압 폴로워 입력 단자의 전압을 전극 저항 R_e 에 흐르는 전류로 나누어서 입력 임피던스 Z_{in} 을 구하면 다음과 같다.

$$Z_{in} = \frac{1}{sC_{in} - \frac{s(A_o - 1)C_f}{1 + sC_f R_f}} \quad (1)$$

위 식 (1)의 분모가 영이 되기 위한 조건은 $C_{in}=(A_o-1)C_f/(1+sC_fR_f)$ 이며 이 조건은 sC_fR_f 가 1 보다 작을때 다음과 같이 쓸 수 있다.

$$C_{in}=(A_o-1)C_f \tag{2}$$

실제 회로에서 이 조건을 성립시키기 위해서는 이득단의 이득 A_o 를 조절하여야 한다. 입력 커패시턴스 C_{in} 과 귀환 커패시터 C_f 가 같을 때는 이득 A_o 가 2 (6 dB) 이면 된다. 이 조건이 성립되면 저주파에서 입력 커패시턴스는 상쇄되고 입력 임피던스는 다음과 같이 된다.

$$Z_{in} = \frac{1 + \frac{s}{(A_o-1)w_f}}{\frac{s}{(A_o-1)w_f}} \cdot \frac{1}{s C_{in}} \tag{3}$$

이 식에서 $w_f=1/(C_{in}R_f)$ 이다. 식 (3)으로 부터 커패시턴스가 상쇄되었을 때의 입력 임피던스는 $wz=(A_o-1)w_f$ 의 영점 주파수(Zero frequency)를 갖으며, 영점 주파수보다 낮은 주파수에서는 입력 임피던스가 -40 dB/dec의 기울기를 갖고 영점 주파수보다 높은 주파수에서는 원래의 임피던스 $1/sC_{in}$ 에 접근하여 기울기가 -20 dB/dec가 됨을 알 수 있다. 그러므로 본 논문에서 제안된 네가티브 커패시턴스 회로에서도 입력 임피던스가 증가되는 것은 주파수가 영점 주파수보다 작을 때에 한하는 것이다. 원하는 주파수에서 입력 임피던스를 크게 하기 위해서는 식 (3)의 영점 주파수를 크게 해야 하며 이것은 입력 커패시턴스 C_{in} 이 정해졌을 때 귀환 저항 R_f 를 작게 해야함을 뜻한다. 또한 주목할 것은 영점 주파수보다 낮은 주파수에서의 입력 임피던스는 크기가 큰 네가티브 저항이 된다는 것이다. 식 (3)에 의하면 낮은 주파수에서의 임피던스는 A_o 를 크게 할수록 커진다.

루프 이득은 귀환 인수(feedback factor) β 와 이득단의 DC 이득 A_o 를 곱한 것이다. 귀환 인수 β 는 전압원 V_s 를 접지로 단락 시키고 구하며 다음과 같다.

$$\beta = \frac{1}{1 + \left(R_f + \frac{1}{sC_f}\right) \left(\frac{1}{R_e} + sC_{in}\right)} \tag{4}$$

입력 커패시턴스 C_{in} 과 귀환 커패시터 C_f 가 식 (2)의 조건을 만족할 때 $w_e=1/(C_{in}R_e)$ 로 놓으면 루프 이득 $T = -A_o\beta$ 를 정리하여 다음의 식을 얻는다.

$$T = -\frac{sA_ow_f}{s^2 + s(w_e + A_ow_f) + (A_o - 1)w_e w_f} \tag{5}$$

이 식은 루프 이득이 낮은 주파수에서 20 dB/dec의 기울기로 증가하다가 높은 주파수에서는 -20 dB/dec의 기울기로 감소함을 나타낸다. 루프 이득의 위상이 180도가 될 때 루프 이득의 크기가 최대로 되며 이 때의 주파수 $w_{max} = \sqrt{(A_o-1)w_e w_f}$ 가 된다. 그러므로 최대 루프 이득의 크기 T_{max} 는 이득 여유(Gain margin)의 역수가 되며 이들의 관계는 다음의 식과 같이 간단하여 진다.

$$T_{max} = \frac{1}{Gain\ Margin} = \frac{A_ow_f}{w_e + A_ow_f} = \frac{1}{1 + R_f/(A_oR_e)} \tag{6}$$

이 식으로 부터 입력 임피던스를 크게 하기 위하여 귀환 저항 R_f 를 작게 하면 루프 이득이 커지고 이득 여유가 작아짐을 알 수 있다.

제안된 회로에서 전압 폴로워의 페루프 응답은 입력 임피던스를 구할 때와 같이 전압 폴로워 입력단자의 전압과 전극저항 R_e 에 흐르는 전류를 해석하여 구하며 결과는 아래와 같다.

$$A(s) = \frac{(1 + s/(A_o-1)w_f)}{1 + s/(A_o-1)w_f + (s/w_e)(s/(A_o-1)w_f)} \tag{7}$$

위 식에서 페루프 응답의 영점은 식 (3)의 입력 임피던스의 영점과 같은 것을 알 수 있다. 식 (7)의 응답은 영점이 한 개이고 극점이 두 개이므로 고주파에서는 -20 dB/dec의 기울기로 크기가 감소한다. 이득단의 페루프 응답은 본 논문에서 제안된 회로의 경우에 이득단이 이상적이므로 전압 폴로워의 페루프 응답에 단순히 A_o 를 곱한 것과 같다.

III. 네가티브 커패시턴스 회로에 대한 시뮬레이션

기존의 회로와 본 논문에서 제안된 회로에 대하여 Pspice를 사용하여 컴퓨터 시뮬레이션을 수행하였다. 시뮬레이션에 사용된 회로는 <그림 1>과 같으며 기존 회로의 이득단을 제외하고 두 회로의 전압 폴로워와

제안된 회로의 이득단은 이상적인 증폭기로 모델링하였다. 기존 회로의 이득단은 하나의 우세 극점(Dominant pole)을 갖는 외에는 이상적인 것으로 모델링하였다. 전극의 임피던스 R_e 는 1 k Ω , 입력 커패시턴스 C_{in} 은 2 pF를 가정하였으며 정귀환으로 연결되는 커패시턴스 C_f 는 2 pF를, 이득단의 이득 A_o 은 2V/V (6dB)로 하였다.

앞에서 기술한 바와 같이 네가티브 커패시턴스 회로는 정귀환을 사용하므로 발진의 위험성이 있다. 따라서 회로가 안정된 동작을 하도록 하기 위해서는 루프 이득을 제한하여야 한다. <그림 2>는 이득 여유가 15 dB (5.62)일 때 기존의 회로와 본 논문에서 고안된 회로를 전극 저항에 연결하였을 때의 루프 이득을 나타낸다. 많은 경우에 귀환 회로를 안정되게 동작시키기 위해서 이득 여유를 15 dB정도로 하며 Rigaud 등^[4]도 이득 여유가 15 dB일 때에 대하여 해석하였다. 루프 이득을 제한하지 않으면, 기존의 회로와 본 논문에서 제안한 회로에서 공통적으로 루프 이득은 낮은 주파수에서 20dB/dec의 기울기로 증가하여 높은 주파수에서 1 (0 dB)로 포화된다. 두 회로에서 루프 이득을 제한하면 <그림 2>의 위 그림과 같이 주파수에 따라 루프 이득이 20dB/dec의 비율로 증가하다가 최대점에 도달한 후 다시 주파수에 따라 -20dB/dec의 기울기로 감소한다. 이것은 식 (5)로부터 예상되는 내용이다. 시뮬레이션에서 루프 이득을 제한하기 위해서 즉 루프 이득의 최대값을 조절하기 위해서 기존의 회로에 대해서는 이득단의 도미넌트 폴의 주파수를 변화시켰으며 제안된 방식에서는 귀환 루프의 저항 R_f 의 값을 변화시켰다. 두 방식에서 루프 이득의 최대값이 정해지면 루프 이득이 최대가 되는 주파수가 결정된다. <그림 2>로부터 본 논문에서 제안된 방식에서 루프 이득이 최대가 되는 주파수는 기존 회로의 그것보다 조금 높은 것을 알 수 있다.

<그림 2>의 아래 그림은 루프 이득의 위상을 나타낸다. 루프 이득의 위상이 -180되는 주파수에서 루프 이득이 최대가 됨을 알 수 있다. <그림 2>는 두 회로의 루프 이득이 주파수 영에 위치하는 하나의 영점과 루프 이득이 최대가 되는 주파수 근처에 위치하는 두 개의 극점을 갖는다는 것을 보여 준다. 이것은 앞의 회로 해석 결과와 같다.

<그림 3>은 이득 여유를 15 dB로 하였을 때 본 논문에서 제안된 회로의 나이퀴스트 선도를 나타낸다. 정

귀환이 작용하므로 궤적이 좌반면에 있다. 또한 루프 이득이 주파수에 따라 증가하다가 루프이득이 최대가 되는 주파수에서의 위상이 -180도이며 이때의 루프 이득이 -15 dB (루프 입력이 1 V일 때 루프 출력이 178 mV)임을 확인할 수 있다. 루프 이득이 최대가 되는 주파수에 비하여 훨씬 낮은 주파수와 훨씬 높은 주파수에서는 루프 이득이 작으며 나이퀴스트 선도는 원이 된다. 이 그림으로부터 네가티브 커패시턴스 회로의 이득 여유는 루프 이득의 크기가 최대값이 되는 주파수에서의 루프 이득, 즉 루프 이득의 최대값의 역수가 된다는 회로 해석의 결과를 확인할 수 있다.

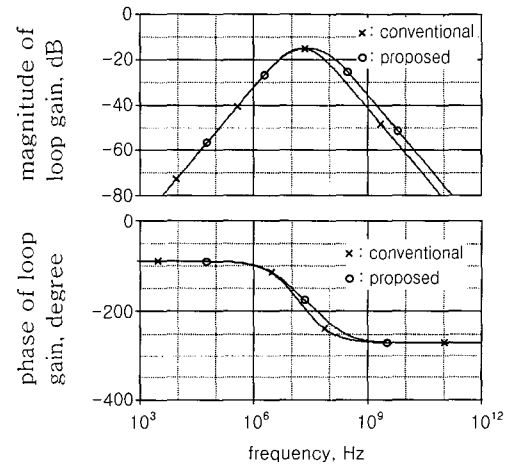


그림 2. 이득 여유가 15 dB일 때 기존의 회로와 본 논문에서 제안된 회로의 루프 이득의 크기(위)와 위상(아래)

Fig. 2. Magnitudes (above) and phases (below) of loop gains of the conventional and proposed circuits for the gain margin of 15 dB.

<그림 4>는 이득 여유를 15 dB로 하였을 때 기존의 회로와 제안된 회로의 입력 임피던스를 네가티브 커패시턴스 방식을 사용하지 않았을 때, 즉 전압 폴로워 자체의 입력 커패시턴스에 의한 임피던스 (그림에서 'buffer'로 표시함)와 비교한 것이다. 두가지 네가티브 커패시턴스 회로의 입력 임피던스는 낮은 주파수에서 -40 dB/dec의 기울기를 나타낸다. 즉 낮은 주파수에서의 입력 임피던스는 매우 크다. 그러나 기존 회로의 입력 임피던스는 낮은 주파수에서는 전압 폴로워 자체의 입력 임피던스보다 크지만 앞에서 기술된 영점 주파수보다 주파수가 높아지면 전압 폴로워 자체의 입력 임피던스보다 오히려 작아진다.

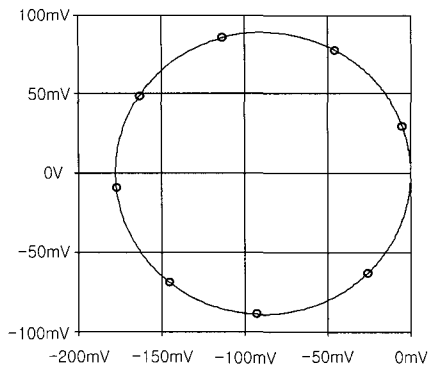


그림 3. 이득 여유를 15 dB로 하였을 때 본 논문에서 제안된 회로의 나이퀴스트 선도
Fig. 3. Nyquist plot for the proposed circuit at a gain margin of 15 dB.

한편 루프 이득이 최대가 되는 주파수보다 낮은 주파수 영역에서 본 논문에서 제안된 회로의 입력 임피던스는 전압 폴로워 자체의 입력 임피던스보다 크며 영점 주파수 ω_z 보다 높은 주파수에서는 전압 폴로워 자체의 입력 임피던스와 같아진다. 또한 제안된 회로의 입력 임피던스는 기존 회로의 입력 임피던스 보다 모든 주파수 범위에서 6 dB만큼 크다. 이것은 네가티브 커패시턴스에 사용된 이득단의 이득이 6 dB일 때이며, 이득단의 이득을 크게 하고 정귀환 커패시터 C_f 를 작게 하면 두 회로의 입력 임피던스는 거의 같아지게 됨을 회로 해석 결과에서 얻었다. 하지만 이렇게 하는 것이 실질적으로 쉽지 않은 것으로 예상된다. 반대로 이득단의 이득을 작게 하고 정귀환 커패시터 C_f 를 크게 하면 기존 회로의 입력 임피던스는 제안된 회로의 입력 임피던스보다 훨씬 작아지게 된다. 제안된 회로에서 높은 주파수 영역에서는 루프 이득이 작고 정귀환이 이루어지지 않으므로 입력 임피던스는 전압 폴로워 자체의 입력 임피던스와 같아지고 주파수에 따라 -20 dB/dec의 비율로 감소한다. 기존의 회로와 제안된 회로에서 입력 임피던스의 기울기는 영점 주파수에서 -40 dB/dec에서 -20 dB/dec로 변한다. 이상의 내용들은 식 (3)의 결과와 일치한다.

생체 임피던스 측정을 1 MHz에서 수행하기 위해서는 회로적인 관점에서 아직 미흡한 점이 많이 있는 것으로 알려져 있는데^[1, 3] 앞의 시뮬레이션 조건일 때 1 MHz에서 제안된 회로의 입력 임피던스는 800 k Ω 이며 전압 폴로워 자체의 입력 임피던스 (80 k Ω)보다 10 배 (20 dB) 크다.

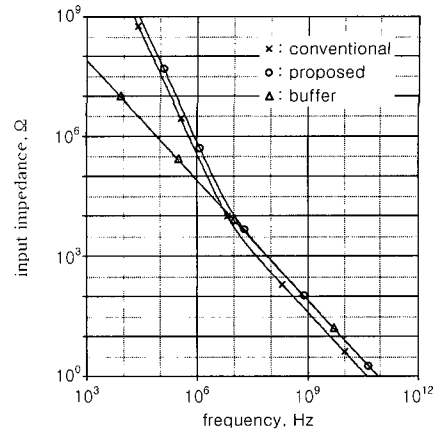


그림 4. 이득 여유를 15 dB로 하였을 때 기존의 회로와 제안된 회로의 입력 임피던스
Fig. 4. Input impedances of the conventional and proposed circuits for the gain margin of 15 dB.

<그림 5>는 이득 여유를 15 dB로 하였을 때 기존 회로와 제안된 회로의 폐루프(Closed-loop) 크기 응답을 전압 폴로워 자체의 크기 응답 (그림에서 'buffer'로 표시함), 즉 전극 저항 R_e 와 전압 폴로워의 입력 커패시턴스 C_{in} 에 의하여 형성되는 저역통과 필터의 출력과 비교한 것이다. 모두 저역 통과 특성을 보이며 차단 영역에서 -20 dB/dec의 기울기를 보인다. 또한 그림을 자세히 보면 전압 폴로워 자체에 비하여 기존의 회로와 제안된 회로는 약간의 이득 피크(Gain peaking)를 보임을 알 수 있는데 이것은 기존의 회로와 제안된 회로의

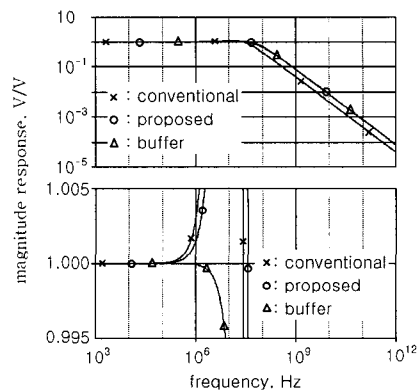


그림 5. 이득 여유를 15 dB로 하였을 때 기존의 회로와 제안된 회로의 폐루프 크기 응답
Fig. 5. Closed-loop magnitude responses of the conventional and proposed circuits for the gain margin of 15 dB.

페루프 응답이 2 개의 극점과 1 개의 영점을 갖기 때문이다. <그림 5>의 아래 그림은 크기가 1인 부근을 확대한 것으로 이득이 1로 부터 벗어나는 주파수는 기존의 회로일 때가 가장 낮고 그 다음이 제안된 회로이고 전압 폴로워 자체일 때는 이득이 1로 부터 벗어나는 주파수가 가장 높다. 주파수가 1 MHz일 때 제안된 회로의 이득은 1.0016 V/V이므로 오차는 0.16%이다.

<그림 6>은 이득 여유가 15 dB일 때 페루프 위상 응답을 나타낸다. 크기 응답에서 예상할 수 있는 바와 같이 고주파에서 모든 회로는 90도의 위상 지연을 나타낸다. 위상 지연이 클 때는 제안된 회로와 전압 폴로워 자체의 위상 지연이 거의 같지만 위상 지연이 작을 때의 두 회로의 상대적인 위상 지연에는 큰 차이가 있다. <그림 6>의 아래 그림에는 위상지연이 발생하기 시작하는 주파수를 알기 쉽도록 영(zero) 도 부근을 확대하여 나타낸 것으로 위상 지연이 발생하는 주파수는 전압 폴로워 자체 (그림에서 'buffer'로 표시함)가 가장 낮고 그 다음이 기존 회로이며 제안된 회로의 경우가 가장 높다. 제안된 회로에서 위상 지연이 발생하는 주파수가 가장 높은 이유는 제안된 회로의 페루프 위상 응답에서 2 개의 극점과 1 개의 영점에 의한 위상 응답이 서로 상쇄되기 때문이다. 생체 임피던스 측정에서 위상 정보가 중요하기 때문에^[8] 위상을 정확히 측정할 필요가 있으며 Ackman은 최대 위상 오차로 0.2 도가 요구된다고 하였다^[9]. 이런 면에서 제안된 회로가 가장 높은 주파수까지 위상을 정확히 측정한다는 점은 주목할만하다. 주파수가 1 MHz에서 전압 폴로워 자체의 위상 오차는 0.7도이다.

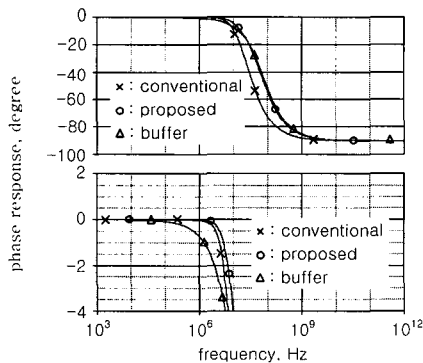


그림 6. 이득 여유가 15 dB일 때 전압 폴로워에서의 페루프 위상 응답

Fig. 6. Closed-loop phase responses at the voltage followers for the gain margin of 15 dB.

지금까지의 시뮬레이션 결과는 전압 폴로워에서 출력을 얻은 것을 제시하였는데 그 이유는 비록 기존 회로가 전압 폴로워 없이 사용되었지만^[4,6], 기존 회로의 경우에 이득단에서 얻은 출력의 위상 지연은 사용이 어려울 정도로 큰 것으로 시뮬레이션 되었기 (아래 <그림 7> 참조) 때문이다. 기존 회로에서 이득단의 페루프 응답은 전압 폴로워의 페루프 응답에 이득단의 주파수 응답이 곱해진 것이며, 이득단의 주파수 응답은 루프 이득을 제한하기 위하여 저역 통과 필터의 형태로 구성하므로(우세 극점을 넣어 주므로) 이득단에서 얻은 출력의 위상 지연은 매우 크게 된다. <그림 7>은 이득 여유가 15 dB일 때 이득단에서 얻은 페루프 위상 응답을 나타낸다. 고주파에서 이득단의 위상 지연이 전압 폴로워의 위상 지연과 합해져서, 기존 회로는 180도의 위상 지연을 나타낸다. 제안된 회로에서는 당연히 이득단의 위상 지연은 전압 폴로워의 위상 지연과 같다. <그림 7>의 아래 그림은 영 도 부근의 위상 지연을 확대한 것이다. 기존 회로의 위상 지연은 전압 폴로워의 위상 지연보다도 크며 너무 커서 사용이 어려울 정도이다.

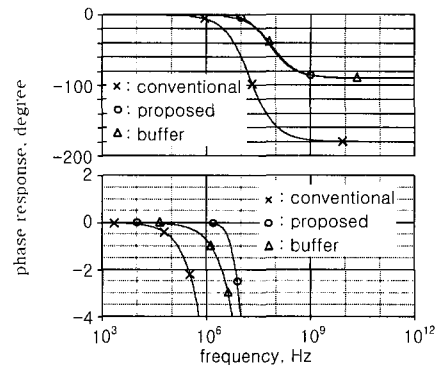


그림 7. 이득 여유가 15 dB일 때 이득단의 페루프 위상 응답

Fig. 7. Closed-loop phase responses at the gain stages for the gain margin of 15 dB.

본 논문에서 제안하는 회로의 큰 장점중의 하나는 이득 여유를 작게 할 수 있다는 것이다. 네가티브 커패시턴스 회로는 귀환을 이용하므로 이득 여유가 작을수록 즉 루프 이득이 클수록 성능이 좋아진다. <그림 8>은 이득 여유가 6 dB일 때의 입력 임피던스를 나타낸다. 주파수 1 MHz에서 이득 여유가 6 dB일 때 기존 회로와 제안된 회로의 입력 임피던스는 각각 1.6 MΩ과

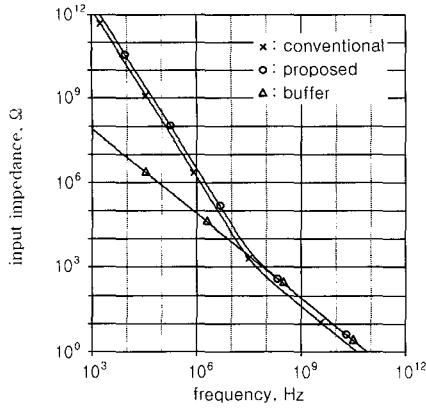


그림 8. 이득 여유를 6 dB로 하였을 때 기존의 회로와 제안된 회로의 입력 임피던스
 Fig. 8. Input impedances of the conventional and proposed circuits for the gain margin of 6 dB.

3.2 MΩ으로 15 dB일 때 <그림 4>에 비하여 4배 크다. 제안된 회로의 임피던스는 1 MHz에서 전압 폴로워의 임피던스 80 kΩ보다 40배 크다.

IV. 실험 결과

본 논문에서 제안된 네가티브 커패시턴스 회로에 대한 실험을 PCB에 제작하여 수행하였다. 먼저 GBP가 300 MHz인 광대역 연산 증폭기를 사용하여 전압 폴로워와 이득단을 구성하였다. 전압 폴로워 입력 단자에서의 스트레이 커패시턴스가 최소로 될 수 있도록 주의하여 회로를 구성하였다. 이득단은 부귀환 저항으로 470 Ω을, 접지쪽 저항으로 1 kΩ의 가변 저항을 사용하는 비반전 증폭기로 구성하여 이득을 조절할 수 있도록 하였다. 정귀환을 하지 않은 이 상태에서 HP4192A 고정밀 임피던스 분석기의 Oscillator level을 0.1 V로 하여 전압 폴로워의 입력 커패시턴스를 측정하였다. 이때 측정 주파수가 2 MHz이하에서 전압 폴로워의 입력 커패시턴스는 4.1 pF 정도로 주파수와 무관하게 일정한 값으로 측정되었다. 주파수가 4 MHz이상일 때는 낮은 주파수일 때 보다 커패시턴스가 조금 감소하는 것으로 측정되었는데 이것은 사용한 케이블의 파라시틱 등에 의한 영향을 받았기 때문으로 생각된다.

고주파 증폭기에서 흔히 발생하는 이득 피킹을 측정하기 위하여 전압 폴로워와 이득단으로 이루어지는 2 단 증폭기의 이득을 디지털 오실로스코프 HP54645D로

측정한 결과는 <그림 9>와 같다. 그림에서 C_c 는 이득 피킹을 제거하기 위하여 이득단의 부귀환 저항에 병렬로 연결한 보상 커패시터의 크기를 나타낸다. 2단 증폭기의 저주파 이득은 1.50 V/V이었으며, 보상 커패시터를 연결하지 않으면 이득 피킹은 150 MHz에서 발생하였고 피크 이득은 2.71이었다. 보상 커패시터로 2 pF를 연결하면 피크 이득은 100 MHz에서 1.90이었으며, 보상 커패시터로 4 pF를 연결하면 피크 이득은 70 MHz에서 1.58로 되어 이득 피킹을 거의 제거할 수 있었다.

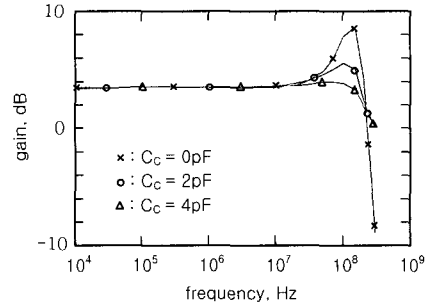


그림 9. 전압 폴로워와 이득단의 측정된 이득
 Fig. 9. Measured gain of the voltage follower cascaded with the gain stage.

이 회로에 $C_f = 2$ pF, $R_f = 10$ kΩ의 가변 저항, 그리고 $R_c = 1$ kΩ을 추가하여 제안된 네가티브 커패시턴스 회로를 완성하였다. 이득단의 부귀환 가변 저항으로 이득을 조정하여 측정된 커패시턴스가 1 MHz이하의 주파수에서 0.0 pF가 되도록 입력 커패시턴스를 상쇄시킬 수 있었다. 이때 정귀환 루프를 끊고 측정된 이득단의 DC이득은 2.9 V/V이었다. 제안된 회로는 고주파에서의 이득 피킹에 의한 영향을 적게 받기 때문에 정귀환 가변 저항 R_f 를 500 Ω까지 줄여도 회로는 안정되게 동작하였다. 나아가서 이득단의 부귀환 저항에 2 pF의 커패시터를 저항에 병렬로 연결하여 이득 피킹을 줄인 후에는 정귀환 가변 저항 R_f 를 200 Ω까지 줄였을 때에도 (이 경우 이득 여유는 1.1 즉 0.8 dB임) 회로는 안정되게 동작하고 입력 커패시턴스를 상쇄시킬 수 있었다. <그림 10>은 정귀환 가변 저항을 10 kΩ, 1 kΩ, 200 Ω으로 차례대로 줄이며 임피던스를 측정된 결과 (각각 ×, ○, △으로 나타냄)를 나타낸다. 사용한 HP4192A 임피던스 분석기의 임피던스 측정 범위는 1.3 MΩ으로 제한되어 임피던스 측정이 불가능한 영역이 넓었으므로 임피던스 측정 모드보다 측정 범위가 넓은 어드미

턴스 모드에서 측정하여 어드미턴스를 임피던스로 환산한 값을 그림에 표시하였다. 이런 이유로 임피던스가 수 MΩ보다 클 때의 측정치가 중요하지는 않다. <그림 10>에서 대시선(--)은 귀환 저항이 10 kΩ일 때의 입력 임피던스를 회로 해석에 의한 식 (3)으로 구한 임피던스이며 점선(...)은 측정된 커패시턴스 4.1 pF의 임피던스를 나타낸 것이다. 그림을 보면 귀환 저항이 10 kΩ일 때 측정된 입력 임피던스는 입력 커패시턴스만 존재할 때(점선)에 비하여 주파수가 낮을수록 크게 증가된 것을 알 수 있다. 귀환 저항이 10 kΩ일 때의 측정치는 회로 해석에 의한 이론값(대시선)보다는 조금 떨어지기는 하지만, 낮은 주파수에서 입력 임피던스가 -40 dB/dec의 기울기를 갖으며 주파수가 높아질수록 기울기가 감소하는 경향을 보여 대체적으로 회로 해석의 결과와 잘 일치한다.

강조되어야 할 점은 정귀환 저항 R_f 를 200 Ω으로 작게 하여 이득 여유를 1.1 까지 매우 작게 하여도 즉 최대 루프 이득을 0.9까지 매우 크게 하여도 회로가 안정되게 동작하였다는 것이다. 이로써 본 논문에서 제안된 네가티브 커패시턴스 회로가 낮은 이득 여유에서도 안정되게 동작함을 실험적으로 확인하였다.

V. 결 론

기존의 네가티브 커패시턴스 회로는 루프이득을 제한하기 위하여 적당한 대역폭을 갖는 연산 증폭기를 선택해야 한다는 불편함과 전극 저항이 바뀌어도 정귀환 이득 여유를 튜닝하기 어렵다는 단점을 갖는다. 또한 이득 피킹이 있는 경우 이득 여유가 없어져서 발전하기 쉽다. 한편 본 논문에서 제안된 네가티브 커패시턴스 회로는 광대역 연산 증폭기를 사용하므로 연산 증폭기의 선택이 쉬우며 귀환 저항 R_f 로 이득 여유를 튜닝할 수 있다.

본 논문에서 제안한 회로에서는 이득 피킹이 발생하더라도 루프 이득이 최대로 되는 주파수보다 높은 주파수에서 이득 피킹이 발생하므로 이득 여유의 변화가 거의 없으며 따라서 본 논문에서 제안된 회로는 매우 낮은 이득 여유로도 안정하게 동작한다. 나아가서 제안된 회로는 기존의 회로보다 입력 임피던스를 2배 크게 할 수 있으며 생체 임피던스 측정에서 위상 응답의 정확성이 중요한데 제안된 회로의 페루프 위상 응답이 가장 우수하였다.

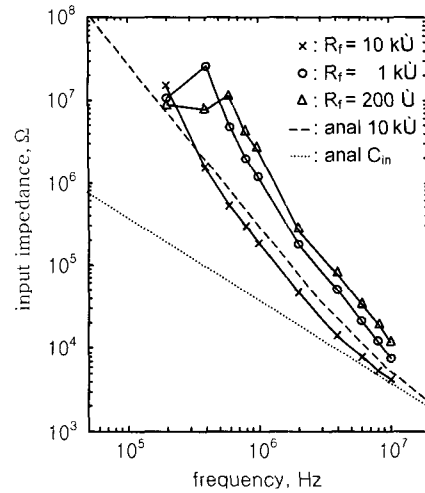


그림 10. 귀환 저항에 따른 제안된 회로의 측정된 입력 임피던스

Fig. 10. Measured input impedance of the proposed circuit with a tuned feedback resistor.

제안된 회로를 제작하여 제안된 회로가 매우 작은 이득 여유로도 안정되게 동작하며 입력 커패시턴스를 영으로 감소시키고 입력 임피던스를 증가시킬 수 있음을 실험으로 확인하였다. 그러므로 본 논문에서 제안된 네가티브 커패시턴스 회로는 정확한 생체 임피던스 측정에 유용하게 응용될 수 있을 것으로 기대된다.

참 고 문 헌

- [1] K. G. Boone, and D. S. Holder: "Current approaches to analogue instrumentation design in electrical impedance tomography", *Physiol. Meas.*, vol. 17, pp. 229-247, 1996.
- [2] P. J. Riu, J. Rosell, A. Lozano, and R. Pallas-Areny: "Multi-frequency static imaging in electrical impedance tomography: Part 1 instrumentation requirements", *Med. Biol. Eng. Comp.*, vol. 33, pp. 784-792, 1995.
- [3] D. Jennings, and I. D. Schneider: "Front-end architecture for a multi-frequency electrical impedance tomography system", *Med. Biol. Eng. Comput.*, vol. 39, pp. 368-374, 2001.
- [4] B. Rigaud, P. M. Record, J. Anah, and J. P. Morucci: "Active electrodes for electrical impedance tomography: The limitation of active

- stray capacitance compensation”, Annual Int. Conf. of the IEEE Eng. in Med. and Biol. Soc., vol. 13, pp. 1587-1588, 1991.
- [5] D. G. Gisser, J. C. Newell, G. Saulnier, C. H. Hochgraf, R. D. Cook, and J. C. Goble: “Analog electronics for a high-speed high-precision electrical impedance tomography”, Annual Int. Conf. of the IEEE Eng. in Med. and Biol. Soc., vol. 13, pp. 24-25, 1991.
- [6] R. D. Cook, G. J. Saulnier, D. G. Gisser, J. C. Goble, J. C. Newell, and D. Isaacson: “ACT3: A high-speed, high-precision electrical impedance tomography”, IEEE Trans. Biomed. Eng., vol. 41, pp. 713-722, 1994.
- [7] S. Soclof, “Analog Integrated Circuits”, Prentice Hall International, London, pp. 277-279, 1997.
- [8] A. J. Fitzgerald, D. S. Holder, L. Eadie, C. Hare, and R. H. Bayford: “A comparison of techniques to optimize measurement of voltage changes in electrical impedance tomography by minimizing phase shift errors”, IEEE Trans. Med. Imaging, vol. 21, pp. 668-675, 2002.
- [9] J. J. Ackman: “Complex bioelectrical impedance measurement system for the frequency range from 5 Hz to 1 MHz”, Annals of Biomedical Engineering, Vol. 21, pp. 135-146, 1993.

 저 자 소 개



金 永 弼(學生會員)

2002년 2월 : 대전대학교 전자공학과 졸업(학사). 2002년 3월~현재 : 대전대학교 전자공학과 석사과정.

黃 仁 德(正會員) 第36卷 D編 第5號 參照