

論文2003-40SC-6-2

# 지연 셀의 부하 저항 선형성을 개선한 차동 링 발진기

## (Improvement of Linearity in Delay Cell Loads for Differential Ring Oscillator)

閔丙熏\*, 丁恒根\*

(Byung-Hun Min and Hang-Geun Jeong)

## 요약

본 논문에서는 차동 링 발진기의 위상 잡음 특성을 향상시키기 위해 선형성을 개선한 차동 지연 셀을 소개한다. 기존의 가변 부하 저항을 사용한 차동 링 발진기는 넓은 주파수 튜닝 영역을 갖는 대신 가변 부하 저항으로 사용한 MOSFET 소자의 비선형성으로 인해 위상 잡음 특성이 좋지 않았다. 이러한 문제점을 극복하기 위해, 가변 부하 저항의 선형성을 개선한 새로운 차동 지연 셀을 제안하였다. 제안한 지연 셀의 가변 부하 저항은 기존의 가변 부하 저항 보다 30%이상 선형성을 개선하였음을 확인하였다. 위상 잡음 특성을 비교하기 위해, Ali Hajimiri가 제안한 링 발진기의 위상 잡음 모델을 사용하였다. 제안한 지연 셀로 차동 링 발진기를 구성하여 위상 잡음 특성을 구한 결과, 같은 발진 주파수와 같은 전력소모에서 기존의 링 발진기보다 2~3dBc/Hz 이상의 위상 잡음 특성이 향상된 결과를 얻게 되었다.

## Abstract

In this paper, the issue of the differential ring oscillator in designing low phase noise is linearity improvement of delay cell's load resistor. A novel differential delay cell that improves on the Maneatis load is proposed. The linearity improvement of load resistor results in lower phase noise in ring oscillator. For comparison of the phase noise characteristics, Ali Hajimiri's phase noise model is used. In order to have a low ISF(impulse sensitivity function), it is important to have a symmetry between rise time and fall time of oscillation waveform. The ISF value of ring oscillator based on the proposed delay cell is lower than that of the existing ring oscillators. Due to this result, the phase noise is improved by 2~3dBc/Hz for the same power dissipation and oscillation frequency.

**Keyword** : 링 발진기(ring oscillator), 지연 셀(delay cell), 위상 잡음(phase noise)

## I. 서론

링 발진기는 통신 시스템 및 디지털 회로에서의 핵

심 블럭이며, 클럭 복원 회로, 디스크 드라이브 읽기 채널, 주파수 합성기 등에 사용된다<sup>[1-3]</sup>. 링 발진기는 LC 발진기 보다 주파수 가변 범위가 넓고 집적화하기 용이하기 때문에 Low-RF 주파수 대역에서 선호된다. 특히 디지털 블럭의 한 부분으로 설계되는 경우가 많기 때문에 기판 잡음 및 전원 잡음의 영향을 최소화하기 위해 링 발진기는 보통 차동으로 설계된다.

차동 링 발진기는 여러 단의 지연 셀들의 피드백 구

\* 正會員, 全北大學校 電子情報工學部  
(Chonbuk National University, Division of Electronics and information)

※ 본 연구는 IDEC의 CAD tool 지원과 특허청의 반도체 매치 설계권 창출연구사업에 의해 연구되었음.

接受日字:2003年6月19日, 수정완료일:2003年9月16日

조로 구성되며, 주파수를 튜닝하기 위해 커패시턴스를 가변하는 구조와 저항을 가변하는 구조로 나눌 수 있다. 대부분의 차동 링 발진기는 넓은 주파수 튜닝 특성을 갖는 부하 저항 가변 지연 셀 구조를 사용한다<sup>[3-5]</sup>.

부하 저항 가변 지연 셀 구조는 부하 저항을 선형영역에서 동작하는 MOS 트랜지스터로 모의하였을 때, MOS 트랜지스터 소자의 비선형 특성으로 인하여 위상 잡음 특성이 좋지 않았다<sup>[3-4]</sup>. 선형영역에서 동작하는 MOS 트랜지스터의 비선형특성은 차동 지연 셀에서 기판 잡음이나 전원 잡음과 같은 공통모드 노이즈의 제거를 악화시킬 뿐만 아니라, 잡음 에일리어싱을 일으키는 문제점을 발생시켰다.

이러한 문제점을 해결하기 위해, 1993년에 J. G. Maneatis는 다이오드 컨넥션된 MOS 트랜지스터를 선형영역에서 동작하는 MOS 트랜지스터에 붙여 선형성을 개선시킨 결과를 보였다<sup>[5]</sup>. 그의 실험결과는 선형영역에서 동작하는 MOS 트랜지스터를 부하저항으로 사용한 지연 셀 구조보다 전원 노이즈 제거비가 18배 개선시킨 결과를 보여주고 있다<sup>[4, 5]</sup>.

J. G. Maneatis가 제안한 선형 특성을 개선시킨 차동 지연 셀 구조는 그의 논문 발표 이후로 차동 링 발진기의 지연 셀에서 많이 사용되는 구조로 선호 되었으며, 링 발진기의 차동 지연 셀에서 가변 부하 저항의 선형성이 위상잡음에 어떤 영향을 미치는지에 대한 연구에 집중하게 하는 결과를 갖게 하였다<sup>[6, 7]</sup>.

2000년 Liang Dai는 ISCAS 국제 학술대회에서, 지연 셀의 가변 부하 저항을 기존의 선형 영역에서 동작하는 MOS 트랜지스터, 포화영역에서 동작시킨 MOS 트랜지스터, J. G. Maneatis가 제안한 부하 저항 구조 등, 세 가지 차동 지연 셀 구조에 대한 시뮬레이션 결과 및 실험 결과를 보였다<sup>[6]</sup>. 그는 선형성을 개선시킨 J. G. Maneatis가 제안한 지연 셀 구조가 링 발진기의 위상 잡음 특성에서 가장 좋은 성능을 보여주고 있음을 실험을 통해 증명하였으며 지연 셀의 부하 저항 선형성 개선이 링 발진기의 위상잡음 특성에 매우 중요한 영향을 미치는 것을 보였다. 그러나, 위상잡음 분석에 있어서는 발진기를 선형 시불변 시스템으로 가정하고 얻은 D. B. Leeson의 모델을 사용하였는데, 위상잡음 특성과 지연 셀 부하저항의 선형성 관계를 정량적으로 설명하지는 못하였다.

본 논문에서는 J. G. Maneatis가 제안한 지연 셀의 부하 저항보다 더욱 선형성을 개선시킨 지연 셀 부하

저항을 소개한다. 또한 제안된 지연 셀로 구성된 차동 링 발진기의 위상 잡음 성능을 정량적으로 분석하기 위해 Ali Hajimiri의 위상 잡음 모델을 사용하였다<sup>[8-9]</sup>.

지연 셀의 부하저항 선형성 개선은 발진기 출력 파형의 상승시간과 하강시간 사이의 대칭성에 기여하며, 이는 ISF(impulse sensitivity function)값을 줄여 위상 잡음 성능을 개선함을 HSPICE 시뮬레이션 툴을 통해 검증하였다.

본 논문의 구성은 서론에 이어서, II장에서는 제안한 지연 셀의 구조와 선형성을 개선한 원리를 기존의 지연 셀과 비교 설명하고, 제안한 지연 셀로 차동 링 발진기를 구성하였을 때의 이점을 설명한다. 또한 제안한 지연 셀로 차동 링 발진기를 구성하였을 때 Ali Hajimiri가 제안한 위상 잡음 모델을 근거로 위상 잡음 특성이 개선됨을 설명한다. III장에서는 제안한 지연 셀의 선형성 개선 및 링 발진기의 위상 잡음 향상을 시뮬레이션을 통해 확인하고, 결론에서 본 논문을 정리한다.

## II. 선형성을 개선한 차동 지연 셀 및 차동 링 발진기의 위상잡음 해석

### 1. 기존의 차동 지연 셀 구조의 부하저항

기존의 차동 지연 셀의 가변 부하저항은 MOS 트랜지스터를 선형 영역에서 동작시킨 <그림 1(a)>와 J. G. Maneatis가 제안한 <그림 1(b)>의 구조가 있다.

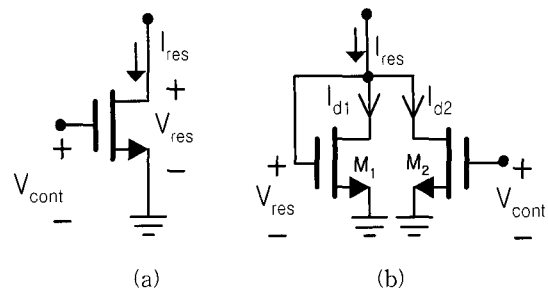


그림 1. 차동 지연 셀의 부하 저항  
Fig. 1. Load resistors of differential delay cell

MOSFET를 저항으로 사용하기 위해 선형 영역에서 동작시킬 때, 전류 전압 관계식은 식 (1)과 같으며, 드레인-소스 전압의 자승항을 포함한 비선형항이 존재한다.

$$I_{res} = \mu_n C_{ox} \frac{W}{L} \left\{ (V_{cont} - V_T) V_{res} - \frac{1}{2} V_{res}^2 \right\} \quad (1)$$

MOS 트랜지스터 소자의 비선형성의 문제를 극복하기 위해 <그림 1(b)>와 같은 부하 저항이 J. G. Maneatis에 의해 제안되었다[5]. 부하 저항으로 사용한 트랜지스터에 다이오드 컨넥션된 트랜지스터를 붙여서 부하 저항을 설계하면 식 (2)와 같이  $M_1$ ,  $M_2$  트랜지스터 각각에 대해 전류식을 세울 수 있다.

$$I_{d1} = \begin{cases} (K_1/2)(V_{res} - V_{t1})^2, & V_{t1} \leq V_{res} \\ 0, & V_{t1} > V_{res} \end{cases}$$

$$I_{d2} = K_2 \left[ (V_{cont} - V_{t2}) V_{res} - V_{res}^2/2 \right], \quad 0 \leq V_{res} \leq V_{cont} - V_{t2} \quad (2)$$

여기서  $V_{t1}$ ,  $V_{t2}$ 는  $M_1$ ,  $M_2$  트랜지스터 각각의 문턱 전압이며  $K_1$ ,  $K_2$ 는  $M_1$ ,  $M_2$  트랜지스터의  $\mu_n C_{ox} W/L$  값이다. 만일  $M_1$  트랜지스터와  $M_2$  트랜지스터의  $W/L$  값이 같다면  $K_1=K_2$ 이며 이때 전체 전류식  $I_{res}$ 는 식 (3)과 같으며 식 (1)과 비교할 때,  $M_1$  트랜지스터가 포화영역에서 동작하는 범위에서는 선형성을 개선할 수 있게 된다.

$$I_{res} = \begin{cases} K(V_{cont} - V_{t2}) V_{res} - V_{res}^2/2, & 0 < V_{res} < V_{t1} \\ K(V_{cont} - V_{t1} - V_{t2}) V_{res} + V_{t1}^2/2, & V_{t1} < V_{res} < V_{cont} - V_{t2} \end{cases} \quad (3)$$

그러나 이 구조는 식 (3)에서 보는 바와 같이  $M_2$  트랜지스터가 선형 영역에서 동작하더라도 제어전압 ( $V_{cont}$ )이 작을 경우에는 비선형항( $V_{res}^2/2$  또는  $V_{t1}^2/2$ )이 상대적으로 커져 비선형 특성이 매우 커진다. 또한  $V_{res} > V_{cont} - V_{t2}$ 일 때,  $M_2$  트랜지스터가 포화 영역으로 들어가게 되므로 선형성을 유지하기 위해서는 발진기의 출력 스윙이 제한을 받게 된다.

## 2. 제안한 차동 자연 셀 구조의 부하저항

<그림 2>는 선형성을 개선하기 위해 제안한 부하저항 구조이다. <그림 1(b)>의 구조에서 선형영역으로 동작하는  $M_2$  트랜지스터를  $N$ 개의 직렬 연결된 MOS 트랜지스터로 대체시켰다.

$M_1 \sim M_{N-1}$ 는 항상 선형영역에서 동작하도록 각각의 트랜지스터의 게이트에 전원 전압 근처의 높은 전위  $V_1$ 을 공급한다. 그리고  $M_N$ 의 게이트를 제어전압으로 조정하여 저항값을 가변하는 구조이다. 모든 트랜지스터의 크기를 같게 설정하고,  $V_A \approx V_{res}/N$ 라고 하고(부록

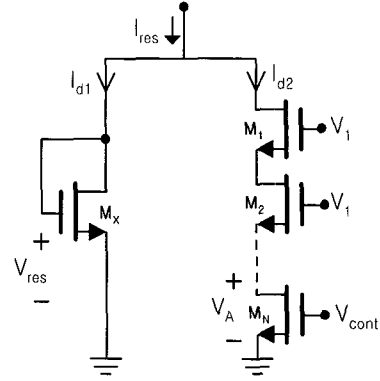


그림 2. 선형성이 개선된 차동 자연 셀의 부하 저항  
Fig. 2. The load resistor cell with improved linearity.

참조),  $M_1 \sim M_{N-1}$ 의 바디 효과를 무시한다면, 식 (4)와 같이 전체 전류식  $I_{res}$ 를 세울 수 있게 된다.

$$I_{res} \approx \begin{cases} (K/N)(V_{cont} - V_{tN}) V_{res} - V_{res}^2/2N, & 0 < V_{res} < V_{tN} \\ (K/N)(V_{cont} - V_{tN} - V_{tN}) V_{res} + V_{tN}^2/2N, & V_{tN} < V_{res} < N(V_{cont} - V_{tN}) \end{cases} \quad (4)$$

식 (4)에서 보는 바와 같이 비선형항( $V_{res}^2/2N$  또는  $V_{tN}^2/2N$ )은 식 (3)과 비교할 때  $1/N$ 배 감소하게 되며,  $M_N$  트랜지스터가 선형영역에서 동작하기 위한  $M_N$ 의 게이트에 인가되는  $V_{cont}$ 의 전압 범위는 <그림 2(b)>의 구조보다 증가하게 된다. 따라서 선형성을 유지하기 위한 발진기의 출력 스윙 폭이 넓어지며, 이는 링 발진기의 위상 잡음 개선으로 이어진다. 제안된 구조의 부하 저항 값 및 부하 저항의 가변 범위는 포화영역에서 동작하는  $M_x$  트랜지스터의  $R_{MX}$ 가 매우 큰 값이므로 식 (5)와 식 (6)과 같이 각각 세울 수 있게 된다.

$$R = R_{MX} // (R_{M1} + R_{M2} + \dots + R_{MN})$$

$$\approx R_{M1} + R_{M2} + \dots + R_{MN}$$

$$\approx (N-1)R_{M1} + \frac{K}{(V_{cont} - V_{tN})} \quad (5)$$

$$R > (N-1)R_{M1} \quad (6)$$

여기서  $K$ 는  $N$ 번째 트랜지스터의  $\mu_n C_{ox} W/L$ 이다. 제안한 차동 자연 셀 구조의 부하저항은 선형성이 개선되지만, 가변 부하 저항의 하한치 값( $(N-1)R_{M1}$ )이 제한을 받게 되므로 직렬 저항 연결 값  $N$ 은 발진 주파수를 고려하여 설계하여야 한다.

## 3. 링 발진기에서의 위상 잡음 해석

링 발진기의 위상 잡음을 해석하기 위해, A. Hajimiri

이 제안된 위상 잡음 모델을 사용하였다<sup>[8,9]</sup>. 식 발진기를 선형 시변 시스템으로 가정하고 얻은 잡음 식이다<sup>[9]</sup>.

$$L(f_{off}) = 10 \log_{10} \frac{\Gamma_{rms}^2}{8\pi^2 f_{off}^2} \cdot \frac{\overline{i_n^2} / \Delta f}{q_{max}^2} \quad (7)$$

여기서  $f_{off}$  오프셋 주파수이며  $q_{max} = V_{sw} C_B$ 이고 ( $V_{sw}$ 은 발진기의 출력 스윙 전압이며,  $C_B$ 는 발진 노드에서의 커패시턴스이다.)  $\overline{i_n^2} / \Delta f$ 는 링 발진기의 차동쌍으로 사용한 pMOS 트랜지스터와 부하저항으로 사용한 nMOS 트랜지스터의 전류 잡음 밀도(power spectral density of noise current)이다.  $\Gamma_{rms}^2$ 는 ISF(impulse sensitivity function) 함수의 rms(root mean square) 값으로서, 링 발진기의 임의의 임-출력 노드에 임펄스 전류를 임의의 시간에 인가할 때, 임펄스 전류를 인가하지 않았을 때의 링 발진기의 발진 파형과, 임펄스 전류를 인가했을 때의 발진 파형간의 위상 차이를 나타내는 함수이다. 위상잡음을 줄이기 위해서는 식 (7)에서 보는 바와 같이,  $\Gamma_{rms}^2$ 를 줄이거나, 발진기의 출력 스윙 폭을 크게 하여  $q_{max}$ 를 증가시키는 것이 방법이다.  $\Gamma_{rms}^2$ 를 줄이기 위해서는 발진 출력 파형의 상승시간과 하강시간의 대칭성이 매우 중요하며, 대칭성이 좋을수록  $\Gamma_{rms}^2$ 의 값을 줄일 수 있게 됨이 밝혀졌다<sup>[9]</sup>.

<그림 3>은 차동 지연 셀을 4단 연결한 링 발진기 구조를 보여준다. <그림 3>의 점선 부분으로 표시된 블록은 부하로 사용한 가변 저항을 의미한다.

발진기의 출력파형은 식 (8)과 같이 쓰여질 수 있다<sup>[8]</sup>.

$$V_{out}(t) = A(t) \cdot f[\omega_o t + \phi(t)] \quad (8)$$

여기서  $f$ 는  $2\pi$ 의 주기를 갖는 함수이고  $A(t)$ 와  $\phi(t)$ 는 발진기의 크기와 위상을 각각 나타낸다. <그림 4(a)>와 같은 링 발진기의 출력 파형이 시뮬레이션을 통해 얻어졌을 때 <그림 4(b)>와 같이 시간 축을 라디안으로 표시하여 식 (8)에서의 함수  $f$  값을 그릴 수 있다.

링 발진기의 임 출력 노드 중간에 <그림 3>에서와 같이 임펄스 전류를 인가하여 ISF 함수( $\Gamma(x)$ )를 그려보면 <그림 4(c)>와 같다. <그림 4(c)>에서 보는 바와 같이 발진 파형의 평균값에서( $0\pi, 1\pi, 2\pi, 3\pi, \dots$ ) ISF 함수( $\Gamma(x)$ )가 가장 크며, ISF 함수의 rms값은 식 (9)와

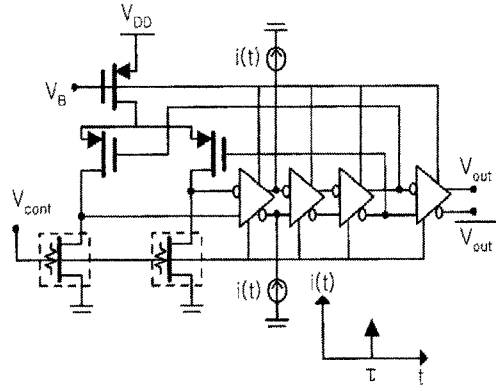


그림 3. 차동 링 발진기의 구조  
Fig. 3. Structure of differential ring oscillator.

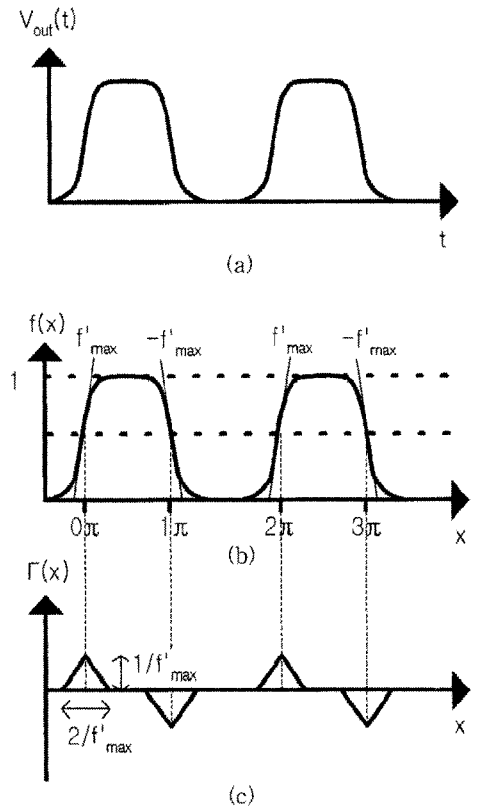


그림 4. 링 발진기의 출력 파형과 ISF  
Fig. 4. Output waveform of ring oscillator and ISF

$$\begin{aligned} \Gamma_{rms}^2 &= \frac{1}{2\pi} \int_0^{2\pi} \Gamma^2(x) dx \\ &= \frac{1}{\pi} \left[ \int_0^{1/f'_{rise}} x^2 dx + \int_0^{1/f'_{fall}} x^2 dx \right] \end{aligned}$$

$$= \frac{2\pi^2}{3} \cdot \frac{1}{N^3} \left[ 4 \cdot \frac{1+A^3}{(1+A)^3} \right] \quad (9)$$

여기서  $A \equiv f_{rise}/f_{fall}$ 이며,  $f_{rise}$ 와  $f_{fall}$ 은 발진 파형의 상승시간에서의 최대  $\Gamma(x)$  값과 하강시간에서의 최대  $\Gamma(x)$  값을 각각 의미하며,  $N$ 은 지연 셀의 단수를 의미한다. 식 (9)에서 보는 바와 같이, 지연 셀의 단수를 일정한 값으로 고정할 경우,  $\Gamma_{ms}^2$ 의 최소값은  $A=1$ 일 때이며, 이 때의  $\Gamma_{ms}^2$ 는  $\frac{2\pi^2}{3N^3}$ 이다<sup>[9]</sup>.

$A=1$ 은  $f_{rise}=f_{fall}$ 을 의미하며, 상승시간과 하강시간 사이의 대칭성 정도가 좋을수록 ISF 함수 값이 작아져 위상 잠음 특성을 개선할 수 있게 된다. 본 논문에서 제안한 지연 셀 가변 부하 저항의 선형성 개선은 링 발진기 출력 파형의 상승시간과 하강시간 사이의 대칭성에 기여를 하게 된다. 링 발진기 지연 셀의 부하 저항 선형성 개선은, 상승 시간에서의 천이와 하강 시간에서의 천이과정에서 대칭성 개선으로 귀착되어지며 이를 시뮬레이션을 통해 검증하였다.

### III. 시뮬레이션 결과

1. 기존의 지연 셀과 제안한 지연 셀의 선형성 비교  
링 발진기는 삼성  $0.35\mu\text{m}$  공정으로 시뮬레이션 하였다. <그림 5>는 제안한 지연 셀(<그림 2>)과 기존의 지연 셀(<그림 1>)의 가변 부하 저항의 선형성을 HSPICE 시뮬레이션 툴을 이용하여 시뮬레이션한 그림이다. 제안한 지연 셀의 직렬 연결한 MOSFET 개수는 4개이며 각 지연 셀의  $V_{cont}$ 는 2V를 인가하였고 시뮬레

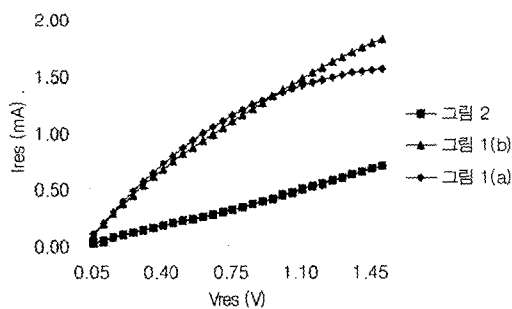


그림 5. 지연 셀 부하 저항의 선형성 비교  
Fig. 5. Linearity comparison for delay cell load resistors.

이션한 모든 트랜지스터의 사이즈는  $L=0.35\mu\text{m}$   $W=3\mu\text{m}$ 로 하였다. <그림 5>에서는 보는 바와 같이, 제안한 지연 셀의 가변 부하 저항 특성이 기존의 것보다 개선됨을 볼 수 있다.

<그림 6>은 <그림 5>에서 각 지연 셀의 부하 저항 값을 구한 시뮬레이션 결과이다. 기존의 지연 셀은 부하 저항의 변동율이 40%가 넘는 반면 제안한 지연 셀은 10% 이내로 부하 저항의 선형성이 개선되었음을 보여주고 있다.

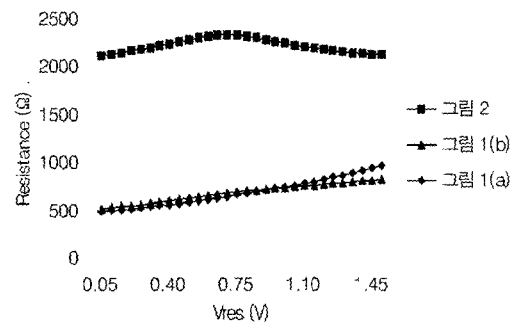


그림 6. 지연 셀 부하저항 값의 비교  
Fig. 6. Comparison for load resistance.

2. 링 발진기의 위상 잠음 특성 비교

기존의 가변 부하 저항을 사용하였을 때와 제안한 가변 부하 저항을 사용하였을 때의 링 발진기 위상 잠음 특성을 비교하기 위해 발진 주파수가 같도록 설계하였다. 설계된 링 발진기들의 발진 주파수는 900MHz이며, 전력소모는 모두 12mW였다. <그림 3>과 같이 4단의 지연 셀을 연결하여 링 발진기를 구성하고 임펄스 전류를 인가하였을 때, 위상 쉬프트는 식 (10)과 같다. 이때 위상 쉬프트는 발진기에 임펄스 전류를 인가하지 않았을 때의 발진 파형의 위상과 발진기에 임펄스 전류를 인가한 다음의 발진 파형의 위상간의 차이를 의미한다.

$$\Delta\phi = \Gamma(\omega_o t) \cdot \frac{\Delta V}{V_{swing}} \quad (10)$$

식 (10)에서  $\Delta V$ 는 임펄스 전류를 인가하였을 때의 발진 전압의 변화량을 가리키며,  $V_{swing}$ 은 발진기의 스윙 전압 폭을 의미한다. 임펄스 전류를 인가한 다음 시뮬레이션을 통해 위상 쉬프트와  $\Delta V$ 를 구하여, 식 (10)

에 의해 ISF( $\Gamma(\omega_0 t)$ )를 구하게 된다.

<그림 7>은 기존의 지연 셀에 의한 링 발진기와 제안한 선형성이 개선된 지연 셀에 의한 링 발진기의 출력 파형을 비교한 것이며 <그림 8>은 식 (10)에 의해 ISF 값을 구한 것이다. <그림 8>의 ISF 값들은 발진 파형의 한주기( $0 \sim 2\pi$ )내에서 20개의 시간을 샘플링 하여 식 (10)에 의해 얻어진 것이다. 이때,  $0\pi$ 와  $2\pi$ 는 <그림 4(b)>의  $0\pi$ 와  $2\pi$ 와 같으며, 발진 파형의 상승시간의 평균값에서 다음번 상승시간의 평균값까지를 한 주기로 잡은 것이다.

<그림 8>은 임펄스 전류가 발진 파형의 상승시간의 평균값에서( $0\pi, 2\pi$ ) 인가될 때, 위상차를 가장 많이 내며 그때의 ISF 값이 가장 큼을 보여준다. 또한 발진 파형의 하강시간의 평균값이 되는 시간에서도 ISF 값이 크게 됨을 기대할 수 있는데, 발진 파형의 하강시간에서 ISF의 최대값이 되는 시간이 기존의 링 발진기는  $0.75\pi$ 이고, 제안한 링 발진기는  $0.82\pi$ 였다. 링 발진기의 상승시간과 하강시간의 대칭성은 식 (9)에서 보는 바와 같이, ISF값에 영향을 미치며, 제안한 선형성이 개선된 링 발진기가 기존의 지연 셀로 구성된 링 발진기 보다 상승시간과 하강시간 사이에 더욱 좋은 대칭성을 보여 줌을 알 수 있다.

식 (9)에 의해 상승시간과 하강시간 사이의 대칭성이 좋은 제안한 지연 셀을 사용한 링 발진기가 더욱 낮은 ISF 값들을 갖게 됨을 기대할 수 있는데, <그림 8>은 선형성이 개선된 지연 셀을 사용한 링 발진기가 기존의 링 발진기보다 더욱 낮은 ISF 값들을 가지게 됨을 보여준다. 한주기 내에서 ISF 값들의 rms값( $\Gamma_{rms}$ )을 구

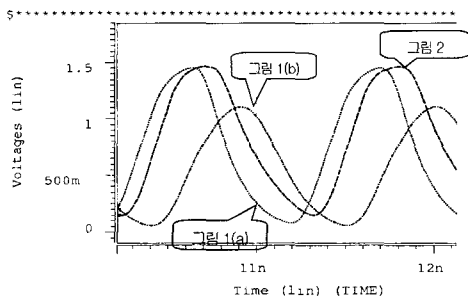


그림 7. 지연 셀의 부하저항에 따른 링 발진기 출력 파형 비교

Fig. 7. Output waveform comparison for ring oscillator with different load resistors in delay cell.

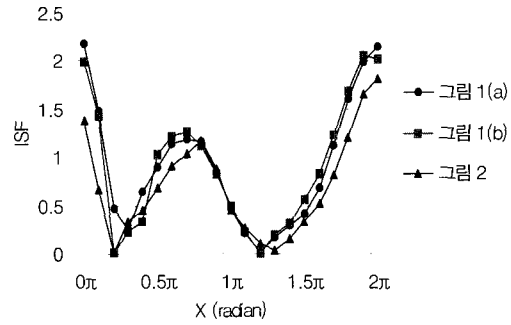


그림 8. 지연 셀의 부하저항에 따른 링 발진기의 ISF 비교

Fig. 8. ISF comparison for ring oscillator with different load resistors in delay cell.

한 결과 기존의 링 발진기는  $0.95 \sim 0.97$ 이었고 제안한 지연 셀을 사용한 링 발진기는  $0.8$ 이었다.

Ali Hajimiri가 제안한 위상 잡음 모델을 근거로 위상 잡음 특성을 구하기 위해 식 (7)을 사용하였다. 식 (7)에서 트랜지스터의 잡음 전류 밀도는 식 (11)과 식 (12)를 이용하여 구하였다.

$$\frac{\overline{i_n^2}}{\Delta f} = 4kT \gamma g_{ds} \tag{11}$$

$$\frac{\overline{i_n^2}}{\Delta f} = 4kT \gamma g_m \tag{12}$$

지연 셀의 차동쌍으로 사용한 트랜지스터의 잡음 전류 밀도는 트랜지스터가 포화영역에서 동작하므로, 식 (12)를 사용하며,  $\gamma$ 는 트랜지스터가 짧은 채널일 때  $2 \sim 3$ 의 값을 갖는다. 부하저항으로 사용한 트랜지스터는 선형영역에서 동작하므로 식 (11)을 사용하며,  $g_{ds}$ 는 드레인 소스간 전압이  $0V$ 일 때의 컨덕턴스 값을 의미한다. 이 식에서  $\gamma$ 는  $1 > \gamma > 2/3$  사이의 값을 갖는다.

잡음 원을 갖는 차동 지연 셀은 <그림 9>와 같으며 여기서, 출력 노드에서의 잡음 전류 밀도는 식 (13)과 같다.

$$\overline{i_{n.out}^2} = 1/2 (\overline{i_{ni}^2} + \overline{i_{nr}^2}) \tag{13}$$

<표 1>에서 보는 바와 같이, 발진 출력 노드에서의 잡음 전류 밀도는 큰 차이가 없지만, 선형성을 개선한 차동 링 발진기는 같은 발진 주파수와 같은 전력 소모에서 기존의 차동 링 발진기 보다 ISF 값이 작으며 이

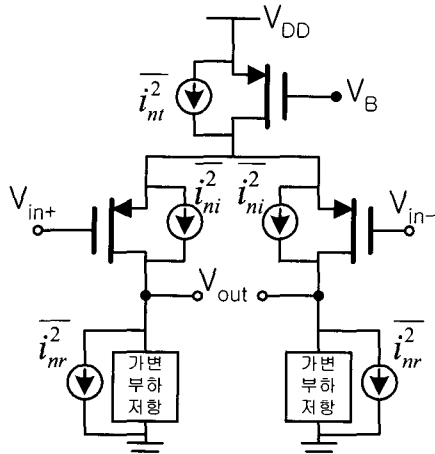


그림 9. 잡음원을 표시한 차동 지연 셀  
Fig. 9. Differential delay cell with noise current source.

표 1. 링 발진기의 위상 잡음 비교

Table 1. Phase noise comparison of ring oscillator.

지연셀의 부하저항 구조	전력 소모 (mW)	$f_o$ (MHz)	ISF ( $\Gamma_{rms}$ )	전압 스윙폭 (V)	잡음 전류밀도 (A)	위상잡음 (dBc/Hz @1MHz)
그림 1(a)	12	900	0.97	1.38	$8.55e-23$	-101.1
그림 1(b)	12	900	0.95	1.05	$8.85e-23$	-102.2
그림 2	12	900	0.8	1.32	$8.71e-23$	-104.2

로 인해 기존의 링 발진기 보다 2~3dBc/Hz 더 좋은 위상 잡음 특성을 보인다.

IV. 결 론

본 논문에서는 기존의 지연 셀보다 선형성이 개선된 새로운 차동 지연 셀의 구조를 제안하였다. 또한 Ali Hajimiri의 위상 잡음 모델을 사용하여 지연 셀의 선형성 개선이 링 발진기의 위상 잡음에 미치는 영향을 분석하였다. 제안한 차동 지연 셀은 J. G. Maneatis가 제안한 부하 저항에 직렬로 MOS 저항을 연결하여, MOSFET 소자의 비선형 특성을 줄이는 방법을 사용하였으며 제안한 가변 부하 저항은 기존의 방식보다 선형성이 30%이상 개선된 특성을 보였다.

제안한 지연 셀로 링 발진기를 구성하여, 기존의 링 발진기와의 위상 잡음 특성을 A. Hajimiri가 제안한 위

상 잡음 모델에 의해 분석하였을 때, 제안한 링 발진기는 기존의 링 발진기 보다 상승시간과 하강시간에서의 대칭성이 좋으며 기존의 링 발진기 보다 ISF값이 감소됨을 확인하였다. 이를 통해 지연 셀의 가변 부하 저항의 선형성 개선은 링 발진기의 위상 잡음 향상에 기여함을 보였다.

또한 선형성이 개선된 지연 셀로 링 발진기를 구성할 경우, 같은 전력소모와 같은 발진 주파수에서 기존의 링 발진기보다 위상잡음 특성이 2~3dBc/Hz 더 좋은 것으로 나타나게 되었다. 따라서 좋은 위상 잡음 특성을 필요로 하는 통신 시스템 등에서 링 발진기를 사용할 때, 제안한 지연 셀의 가변 부하 저항은 응용되어 질 수 있을 것이다.

부 록

<그림 2>의 직렬 연결한 MOS 트랜지스터는 각각의 소스 전위가 다르므로  $V_A \approx V_{res}/N$ 로 설정하기에는 다소 무리가 있다. 그러나 직렬 연결한 MOS 트랜지스터의 수 및 제어전압( $V_{cont}$ )를 적절하게 설정하면 각 트랜지스터의  $V_{DS}$ 값을 20%이내의 오차 범위 내로 맞출 수 있게 된다. <그림 3>의 직렬 연결한 MOS 트랜지스터 부분만을 그리면 <그림 10>과 같다.  $M_1, M_2$  트랜지스터의 소스 노드를 각각 a, b라고 하고, 바디 효과를 무시하면 식 (14)와 같이 쓸 수 있다.

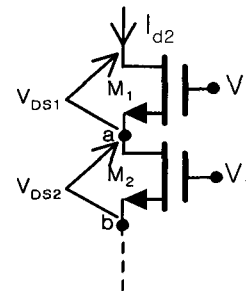


그림 10. <그림 3>의 일부분  
Fig. 10. A part of Fig. 3.

$$\begin{aligned}
 I_{D2} &= K \left\{ (V_{1a} - V_{th})V_{DS1} - \frac{1}{2}V_{DS1}^2 \right\} \\
 &= K \left\{ (V_{1b} - V_{th})V_{DS2} - \frac{1}{2}V_{DS2}^2 \right\} \quad (14)
 \end{aligned}$$

식 (14)에서,  $V_{DS1}-V_{DS2}$ 항으로 풀면 식 (15)와 같다.

$$V_{DS1} - V_{DS2} = \frac{V_{DS1}V_{DS2}}{V_1 - V_{th} - \frac{1}{2}(V_{DS1} + V_{DS2})}$$

$$< \frac{V_{DS,avg}^2}{V_1 - V_{th} - V_{DS,avg}} \quad (15)$$

$V_{DS,avg}=0.2V$ 라고 하고,  $V_1=3.3V$ ,  $V_{th}=0.75V$ 이면  $V_{DS1}$  과  $V_{DS2}$  값의 차이는 8.5%이하이다. 따라서 발진 스윙 전압이 0.2V~1.3V로 스윙할 때, 직렬 연결 MOS 트랜지스터 수를 4로 설정하면,  $V_{DS,avg}$ 에서 각각의 트랜지스터의  $V_{DS}$ 값 차이는 최대 17% 이내로 오차를 맞출 수 있게 된다.

참 고 문 헌

[1] A. W. Buchwald, et al., "A 6-GHz integrated phase-locked loop using AlCaAs/Ga/As heterojunction bipolar transistors," IEEE JSSC, vol. 27, pp. 1752~1762, December, 1992.

[2] W. D. Llewellyn, et al., "A 33Mbi/s data synchronizing phase-locked loop circuit," in ISSCC Dig. Tech. Papers, pp. 12~13, February, 1988.

[3] Ian A. Young, et al., "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Micro-

processors," IEEE JSSC, vol. 27, pp. 1599 ~ 1607, November, 1992.

[4] B. Kim and P. Gray, "A 30MHz hybrid analog/digital clock recovery circuit in 2- $\mu$ m CMOS," IEEE JSSC, vol. 25, pp. 1385~1394, December, 1990.

[5] John G. Maneatis and Mark A. Horowitz, "Precise Delay Generation Using Coupled Oscillators," IEEE JSSC, vol. 28, pp. 1273~1282, December, 1993.

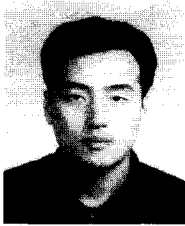
[6] Liang Dai and Ramesh Harjani, "Comparison and Analysis of Phase Noise Ring Oscillators," IEEE International Symposium on Circuits and Systems, pp. 77~80, May, 2000.

[7] S. L. Gierkink, et al., "Intrinsic 1/f device noise reduction and its effect on phase noise in CMOS ring oscillators," IEEE JSSC, vol. 34, pp. 1022~1025, July, 1999.

[8] Ali Hajimiri, et al., "Jitter and Phase Noise in Ring Oscillators," IEEE JSSC, vol. 34, pp. 790~804, June, 1999.

[9] Thomas H. Lee and Ali Hajimiri, "Oscillator Phase Noise: A Tutorial," IEEE JSSC, vol. 35, pp. 326~336, March, 2000.

저 자 소 개



閔 丙 燾(正會員)  
 1993년 2월 : 군산대학교 전자공학과(공학사). 1995년 2월 : 군산대학교 대학원 전자공학과(공학석사). 1999년~현재 : 전북대학교 대학원 박사과정 재학중. <주관심분야 : RF IC 집적회로 설계>



丁 恒 根(正會員) 第37卷 第2號 SC編 參照  
 1977년 2월 : 서울대학교 전자공학과(공학사). 1979년 2월 : KAIST 전기 및 전자공학과(공학석사). 1989년 12월 : University of Florida 전기공학과(공학박사). 1979년~1982년 : ETRI 연구원. 1989년~1991년 : Motorola 연구원. 1991년~현재 : 전북대학교 전자정보공학부 전임강사, 조교수, 부교수, 교수, 전북대학교부설 공학연구원 전자정보신기술연구센터 연구원. <주관심분야 : RF IC 집적회로 설계>