

PCB 설계인자의 복사성 EMI 영향 분석

박학병 · 김형근
박노천* · 정규백*

삼성종합기술원
삼성전자*

I. 서 론

'90년대 초부터 진행된 전자제품의 고속 디지털화와 국제적인 전자파규제강화로 인해 EMC(Electromagnetic Compatibility)는 제품개발의 일정을 결정하는 중요한 부분이 되었다. 과거 EMC가 디지털 TV 통신 제품 등 일부 제품에 국한된 기술영역으로 인식되었으나, 최근 여러 제품 기능이 하나로 합쳐지는 복합화 추세로 인해 냉장고와 같은 백색가전까지 EMC 문제영역이 확대되고 있다. 냉장고의 경우 단순히 음식을 보관, 냉동하는 단순기능의 제품으로 EMC가 크게 문제가 되지 않는 제품이었으나, 최근에는 기본 기능 외에 통신과 디스플레이 기능을 확장한 제품이 출시되고 있어, 새로운 부가 기능에 의해 고속 디지털 시스템에서 발생하는 어려운 EMC 문제들이 발생한다. 이러한 추세는 시장 요구의 다양화와 가전 업체들의 신제품 개발 경쟁에 따라 더욱 가속화 될 것으로 예상된다.

제품 개발에 있어 EMC 비중 증가와 영역의 확대에 따라 EMC를 개발 초기 단계에서 대응하기 위한 EMC 설계가 강조되고 있으며, 특히 EMC 문제의 절반 이상을 차지하는 복사성 (Radiated Emission) EMI가 중요한 기술로 인식되고 있다.

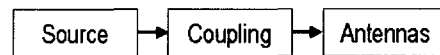
복사성 EMI 관점에서 EMC 설계는 PCB(Printed Circuit Board)와 기구분야로 대별할 수 있다. 대부분의 고속 디지털 시스템의 기능 및 규격의 상당 부분이 PCB에 의해 결정되므로, 본 고에서는 가전 및

통신시스템 PCB EMC 설계에 있어서 중요한 Design 인자들을 도출하고, 각 인자들이 복사성 EMI에 미치는 영향을 알아보려고 한다.

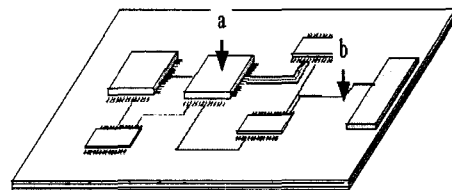
II. 본 론

전자파 방사는 [그림 1]과 같이 Source, Coupling 및 Antennas 세 가지 요소의 관계로 설명이 되며, 고속 디지털 PCB 상의 Noise Source는 [그림 2]와 같이 Trace Signal과 Power Noise로 대별할 수 있다.

이 두 가지 Noise Source의 대응설계를 위하여 요구되는 기술 분야는 [그림 3]과 같다. 본 고에서는 PCB 설계에 있어 중요성이 상대적으로 높은 Return Path 및 De-coupling Capacitor 실장을 논한다.

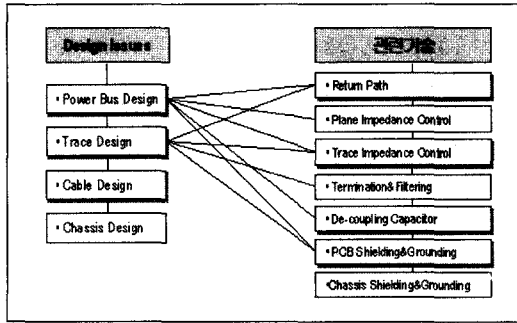


[그림 1] 전자파 방사의 3요소



a. 부품 Chip Power Noise, b. Trace Signal

[그림 2] PCB에서의 EMI 발생원

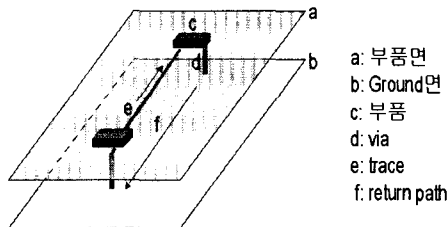


[그림 3] Design Issue와 관련기술

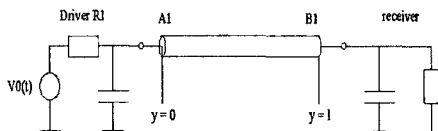
2-1 Return Path

[그림 4]에 표시된 바와 같이 Driver에서 구동된 전류는 Receiver로 전달되며, Ground Plane 상에서 역의 방향으로 Return Current가 흐른다. Return Current가 흐르는 경로를 Return Path라고 한다.

Trace와 Ground Plane 상에 발생하는 전류분포를 계산하기 위해, [그림 4]를 [그림 5]와 같이 단순한 등가회로로 근사화 할 수 있다. 각 고조파의 전류를

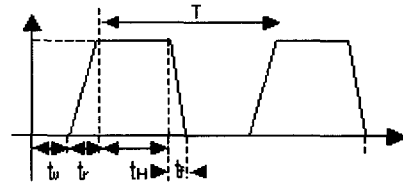


[그림 4] Micro strip 구조의 PCB

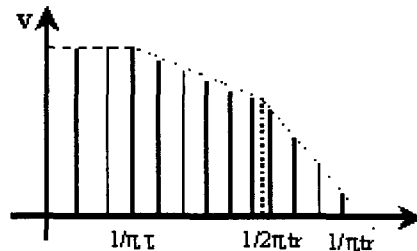


[그림 5] [그림 4]의 등가회로

각각 구하기 위해 회로를 구동하는 전압 (그림 6)은 Fourier Transform을 통해 [그림 7]과 같이 구하여진다. 이때 Trace에 흐르는 전류는 [식 1]에 의해 구해지며, Ground Plane 상에 발생하는 전류밀도는 [식 2]를 이용하여 근사적으로 계산 가능하다. [식 2]를 통해 분석할 때, Trace 하단은 전류세기가 가장 높으며, Trace에서 멀어질수록 전류밀도는 줄어드는 [그림 8]과 같은 분포를 가진다. [그림 9]와 같이 각각의 전류세기 성분에 의해 측정 점에서 전계 강도 E_{total} 이 형성된다. 전체적인 전계 강도 E_{total} 은 각각의 전류밀도에 의한 전계 강도의 Vector합으로 표현할 수 있다.



[그림 6] 인가전압의 시간영역 표시

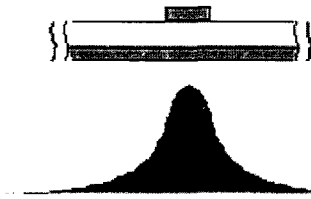


[그림 7] [그림 6]의 주파수영역 표시

$$I(\omega) = I_0(\omega) \frac{1+j\omega R_2 C_2^*}{R_1+R_2-\omega^2 L (C_1 R_1+C_2^* R_2)+j\omega [R_1 R_2 (C_1+C_2^*)+L-\omega^2 C_1 C_2^* R_1 R_2]}$$

where $C_2^* = C_2 + C' /$ and $\omega = n \omega_0 = n * 2\pi f_0$

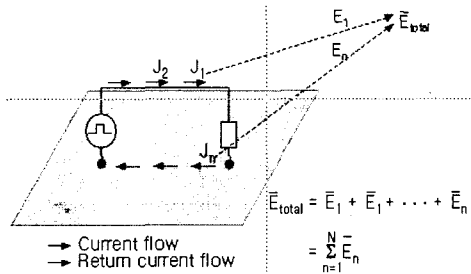
[식 1] 전송선로에 유기되는 주파수별 전류



[그림 8] Ground Plane 상의 전류분포

$$J_{\text{GND}}^s = \frac{I_{\text{signal}} * h}{\pi(x^2 + h^2)}$$

[식 2] Ground Plane 상에 발생하는 전류밀도



[그림 9] Trace와 Ground Plane 전류에 의한 전계 강도

대부분의 전류는 trace 아래에 집중되므로, trace 길이가 파장에 비해 충분히 작은 경우 [그림 10]과 같이 Small Loop Antennas로 근사화 할 수 있으며, 전계 강도는 [식 3]으로 표현 가능하다.

Return Path의 EMI영향을 직관적인 방법으로 분



[그림 10] Small Loop Antennas

$$E_r = Z_0 \cdot \frac{\pi}{c_0^2} \cdot \frac{1}{R} \cdot f^2 \cdot A \cdot I \cdot \sin\theta \cdot e^{-jk_0 R}$$

[식 3] Loop Antennas에 의한 전계 강도

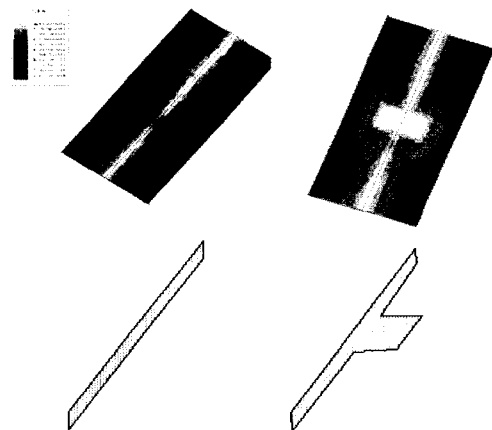
석하기 위하여 Small Loop Antennas 모델을 사용하면, 전계 강도 계산식 (식 3)에서 A에 전계 강도가 비례함을 알 수 있다. 따라서 EMI 저감을 위해서는 Loop Area를 최소화하는 것이 필요하며, 그 방법은 크게 두 가지 관점으로 요약된다.

- High Speed Trace의 Length
- Return Path 디자인

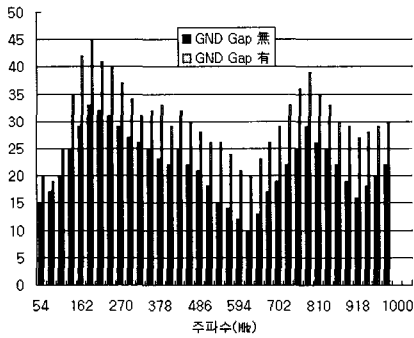
일반적으로 Return Path가 EMI에 영향을 미치는 경우는 기능 동작의 이유로 Ground Plane을 분리하고, 분리된 Slit 위로 고속 신호가 지나가는 경우이다.

[그림 11]은 Solid Ground 구조와 Slit이 있는 구조의 Return Current 분포를 Ansoft Full_wave spice로 계산하고, Trace와 Return Path가 형성하는 Loop Area를 보여준다. Slit이 있는 경우 Loop Area가 Solid Ground에 비해 상대적으로 크며, [식 4]를 통해 Slit이 있는 구조가 높은 EMI가 발생함을 예측할 수 있다.

[그림 12]는 각각의 Ground구조에 대해 27 MHz 신호를 인가하였을 때, 발생하는 EMI를 MOM Field Simulator를 이용하여 계산한 결과이다. Slit이 있는 구조가 최대 10 dB 이상 높은 전계 강도를 가지며,



[그림 11] Ground Plane 전류 형상별 전류 분포



[그림 12] Ground Slit 有, 無에 따른 EMI 해석결과

정성적으로 [식 3]을 통해 직관적으로 판단하는 내용과 일치한다.

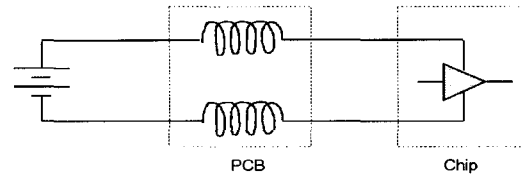
실제의 고속 디지털 PCB 설계에 있어 Return Path 설계는 EMI Level에 가장 중요한 영향을 미치는 인자로 고속 Clock의 경우는 반드시 고려해야 할 요소이다. 또한 주요 Trace 디자인에 Small Loop Antennas Model 개념을 활용하여 Loop Area를 줄이기 위한 다양한 노력을 한다면, EMI 저감 설계에 유용하게 활용될 수 있다.

2-2 Power Noise

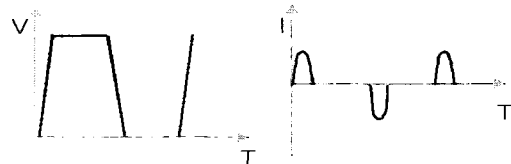
최근 많은 고속 Chip들의 사용으로 Switching 동작 Mode에서 발생하는 Noise가 EMI의 주요한 원인이 되고 있다. [그림 13]은 전원에서 Chip으로 전류가 공급되는 PCB의 등가회로이며, [그림 14]는 신호측 발생 전압과 VCC/GND 양단간 발생하는 전류를 보여준다. Switching mode에서 발생하는 전류(그림 14)는 Plane간의 Voltage Potential $V(w)$ 을 다음과 같이 발생시킨다.

$$\Delta V = L \frac{dI}{dt}$$

두 plane간의 전압차는 PCB Resonance와 Wire Resonance와 연계되어, EMI 증가의 중요한 원인이



[그림 13] Power Delivering 등가회로



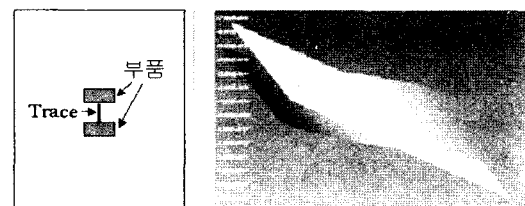
[그림 14] Voltage & Current.

된다.

PCB Resonance는 Power, Ground Plane 형상과 유전상수에 따라 영향을 크게 받으나, 편의상 모든 Plane은 Solid Plane이고, 유전체의 상대 유전상수는 4.4인 경우 Resonance의 발생과 EMI로의 연결과정을 살펴보고자 한다. PCB Resonance는 Dominant mode의 경우 [그림 15]와 같이 파장의 1/2이 PCB Length와 일치하는 경우 발생한다. PCB resonance frequency는 다음식으로 구할 수 있다.

$$f_{res} = \frac{c}{\lambda} = \frac{3 \cdot 10^8}{4.2L}$$

[그림 15]는 PCB Trace의 Emission을 최소화하기 위해 Trace길이를 최소화한 가로, 세로의 길이는 30, 20인 일반적인 4층 PCB이다. 2층에 Ground, 4층에

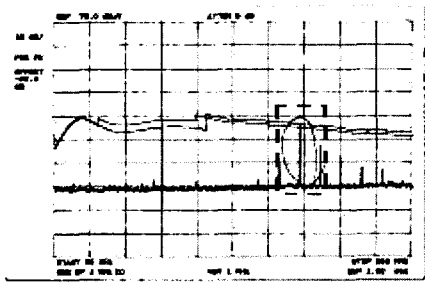


[그림 15] PCB Resonance.

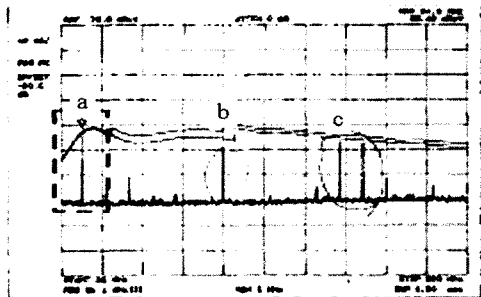
Power Plane을 적층하였다. 근사식에 의해 계산되는 Resonance Frequency는 350 MHz이며, 3-meter에서의 EMI Level은 [그림 16]과 같다. EMI Level이 높게 나타나는 주파수는 PCB Resonance Frequency와 일치한다.

[그림 17]은 [그림 15]에 1.3 meter의 wire를 수평으로 VCC Plane에 접속한 경우의 EMI Level이다. 1/4파장인 a에 Dominant mode resonance가 형성되고, b, c에서 2차, 3차 공진이 발생한다.

제품 상태에서는 여러 복잡 인자들에 의해 이러한 단일 인자의 영향들을 명확히 도출하기는 어렵다. 다른 인자들의 영향을 최소화하는 형태로 설계된 Test PCB에서는 단일 인자의 영향을 세부적으로 관찰할 수 있다. 또한 이러한 현상은 관찰이 어렵거나, 여러 인자들의 영향이 복합되는 경우가 많지만,



[그림 16] PCB Resonance에 의한 EMI

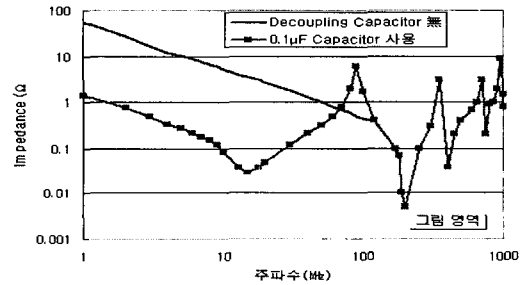


[그림 17] Wire Resonance에 의한 EMI

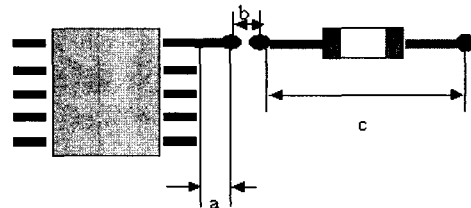
이러한 영향은 실제의 제품에서도 동일하게 EMI에 영향을 미친다.

EMI Level을 줄이기 위해 전압 Noise를 줄이는 것이 필요하며, 이는 전원 공급부와 Chip사이에 형성된 Power Delivering Path의 Impedance를 낮추어 실현할 수 있다. Impedance를 낮추기 위하여 일반적으로 사용하는 방법은 Noise Chip의 VCC Pin과 Ground Plane에 De-coupling Capacitor를 삽입하는 것이다. [그림 18]은 De-coupling Capacitor가 없는 경우와 있는 경우의 Impedance 계산 예이다.

De-coupling Capacitor는 용량, Capacitor 특성 및 실장 방법에 따라 특성에 큰 차이를 가진다. 여기서는 실장 방법에 따른 영향을 분석하고자 한다.



[그림 18] De-coupling Capacitor 有, 無에 따른 Impedance



- a: Power Pin의 Trace 길이
- b: de-coupling Capacitor와 Power Pin Via의 거리
- c: de-coupling Capacitor의 Power, Ground Plane연결 거리
- d: Ground, Power Plane간 두께

[그림 19] De-coupling Capacitor의 실장 인자

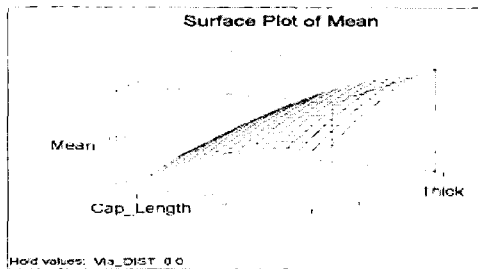
De-coupling Capacitor 실장에서 조절되는 디자인 인자는 [그림 19]의 a, b, c와 PCB Ground 및 VCC Plane간 두께로 볼 수 있다.

각 실장 인자들이 Impedance와 EMI에 미치는 영향은 차이를 가진다. 따라서 모든 인자들을 최적화하여 설계를 하는 것이 이상적이다. 그러나 현실적으로 모든 인자를 최적화하여 설계하기 어려우므로 제품 설계에서 각 인자들의 영향도를 정확히 파악하고 중요한 인자들을 중심으로 최적설계를 실행하는 것이 현실적 방법이다.

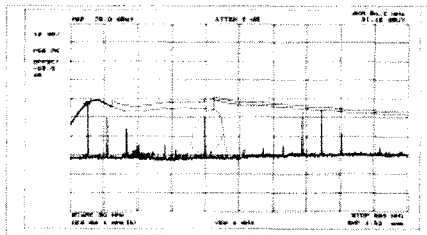
[그림 20]은 <표 1>을 실험계획법을 이용하여 분

<표 1> Type별 인자의 수준

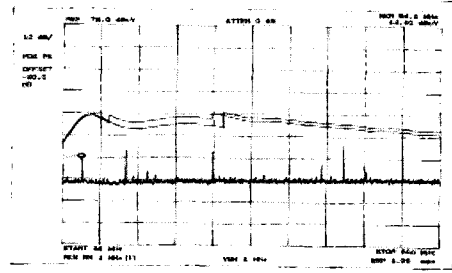
실장인자	Type-A	Type-B
a	1	3
b	1	10
c	2	10
d	0.4	0.7



[그림 20] 실장인자의 Impedance 영향



[그림 21] Type-b의 EMI(at 3-meter)



[그림 22] Type-a의 EMI(at 3meter)

석한 결과 중, 실장인자 b와 d의 영향을 보여준다. [그림 21]과 [그림 22]는 실장 인자들이 최적 상태로 설계된 <표 1>의 Type-a상태와 최적화되지 못한 Type-b상태의 EMI Level을 측정된 결과이다.

일반적으로 사용하는 De-coupling Capacitor는 [그림 21], [그림 22]에서 보는 바와 같이 실장방법에 따라 효과에 있어 큰 차이를 가진다. 제품 설계시 현실적이고, 효율적인 활용 방법을 찾기 위해서는 조절이 쉽고, EMI 영향이 큰 인자들의 Control Plan을 구체화하는 것이 필요할 것으로 판단된다.

Ⅲ. 결 론

Source Suppression을 위한 실장 인자인 Return Path와 De-coupling Capacitor 실장 방법을 이론적, 실험적인 방법으로 분석하였다.

이러한 설계 인자들은 양면 PCB 이하의 단순 공법을 사용하는 제품에서는 반복적 Modify를 통하여 최적화를 진행할 수 있으나, 4층 이상의 복잡 PCB에서는 현실적으로 어렵다. 따라서 설계 단계에서 본 고에서 언급된 Return Path, De-coupling Capacitor와 [그림 2]에 표시된 인자들에 대한 EMC 설계를 실현하는 것이 필요하며, 무엇보다 EMC 설계를 위해 제품 특성과 설계, 생산 특성에 적합한 EMC 설계방법론을 확보하는 것이 가장 중요할 것으로 판단된다.

참 고 문 헌

- [1] C. R. Paul, *Introduction to Electromagnetic Compatibility*, John Wiley Interscience, NY 1992.
- [2] Howard W. Johnson, Martin Graham, *High Speed Digital Design*, Prentice-Hall, 1993.
- [3] John L. Volakis, *Finite Element Method for Electromagnetics*, IEEE Press, NY 1997.
- [4] Stefan Oing, *Application-and Verification-Handbook for Comoran*, Incases Engineering GMBH, Paderborn.

≡필자소개≡

박 학 병

현재: 삼성종합기술원 전문연구원
미 무선통신협회 등록 EMC Consultant

김 형 근

현재: 삼성종합기술원 전문연구원

박 노 천

현재: 삼성전자 CS경영센터 규격인증그룹
EMC Part

정 규 백

현재: 삼성전자 CS경영센터 규격인증그룹