한국정밀공학회지 제 20 권 제 11 호 (2003 년 11 월)
Journal of the Korean Society of Precision Engineering Vol. 20, No. 11, November 2003.

신경회로망과 실험계획법을 이용한 칩형상 예측

한성종*, 최진필#, 이상조**

Prediction of Chip Forms using Neural Network and Experimental Design Method

Seong-Jong Han*, Jin-Phil Choi# and Sang-Jo Lee**

ABSTRACT

This paper suggests a systematic methodology to predict chip forms using the experimental design technique and the neural network. Significant factors determined with ANOVA analysis are used as input variables of the neural network back-propagation algorithm. It has been shown that cutting conditions and cutting tool shapes have distinct effects on the chip forms, so chip breaking. Cutting tools are represented using the Z-map method, which differs from existing methods using some chip breaker parameters. After training the neural network with selected input variables, chip forms are predicted and compared with original chip forms obtained from experiments under same input conditions, showing that chip forms are same at all conditions. To verify the suggested model, one tool not used in training the model is chosen and input to the model. Under various cutting conditions, predicted chip forms agree well with those obtained from cutting experiments. The suggested method could reduce the cost and time significantly in designing cutting tools as well as replacing the "trial-and-error" design method.

Key Words : Chip Form (칩형상), Chip Breaking (칩절단), Neural Network (신경회로망), Back-Propagation Algorithm (오류역전파 알고리즘), Experimental Design (실험계획법)

1. 서론

오늘날 절삭가공 기술이 점차 자동화, 무인화의 방향으로 발전하면서 절삭가공 시 필연적으로 발생하는 칩의 제어와 그 처리의 중요성이 증대됨에 따라 칩처리성이 우수한 공구를 개발하려는 연구가 활발히 진행되고 있다. 일반적으로 단인공구를 사용하는 선삭가공에서 발생하는 불연속형 칩은 가공 시 공작물에 엉키어 제품의 품질을 저하시키고 기계의 고장과 공구의 수명을 단축시키는 주된 요인일 뿐만 아니라 작업자에게도 위험을 주어, 결과적으로 생산성을 저하시키는 요인이 되고 있다. 따라서, 다양한 절삭조건에서 칩처리성이 우수한 절삭공구를 개발할 필요성이 있으나, 칩의 생성 과정에 대한 이론적인 모델 및 해석의 어려움으로 인하여 많은 부분을 전문가의 경험이나 시

접수일: 2002 년 12 월 17 일; 게재승인일: 2003 년 8 월 14 일
* 대우고등기술원
\# 교신저자: 연세대학교 기계공학과 대학원
E-mail: feel2@korea.com, Tel: (02) 2123-3855
** 연세대학교 기계공학과

행착오에 의존하고 있는 실정이다. 이에 공구형상과 절삭조건을 이용하여 절삭 시 필연적으로 발생하는 칩의 절단여부와 칩의 형상을 공구설계 단계에서 예측할 수 있는 방법이 요구되고 있다.

본 연구에서는 신경회로망의 오류역전파 알고리즘을 이용하여 칩의 절단여부와 형상을 예측하고 이를 실험을 통해 검증하였다. 3 수준 실험계획법을 이용하여 칩형상에 영향을 주는 인자들을 찾고, 절삭조건과 공구형상과의 관계를 무차원변수로 정량화하여 신경회로망의 입력변수로 사용하였다. 절삭공구 형상변수의 경우, 실제 가공에 참여하는 절삭영역을 Z-map 개념을 이용하여 표현하고 이를 신경회로망의 입력변수로 사용함으로써 실제 공구형상 정보를 모델에 반영하도록 하였다. 완성된 신경회로망 모델을 검증하기 위하여 모델 학습에 사용하지 않은 공구를 이용하여 다양한 절삭조건에 대한 절삭실험을 수행한 결과, 모델에서 예측한 칩형상과 실험에서 얻어진 칩형상이 약 85% 이상 잘 일치함을 알 수 있었다.

2. 신경회로망 구성을 위한 예비실험

2.1 칩형상 분류

일반적으로 선삭공구는 상면에 일정한 형상(칩브레이커)을 두어 칩생성 시 칩의 흐름을 저지하거나 구속시켜 칩을 절단시키는 역할을 함으로서 칩의 제어성을 향상시킨다. 칩형상은 칩의 지름, 피치, 기울임각의 조합으로 표현되며, 절삭조건과 칩브레이커의 형상에 따라 생성되는 칩형상이 크게 달라지게 된다.[1] Fig. 1 은 INFOS(독일절삭정보센터)에서 분류한 칩형상을 일반적인 절삭조건에서 나타나는 칩형상으로 재분류한 것으로서, 신경회로망의 출력변수로 사용된다.

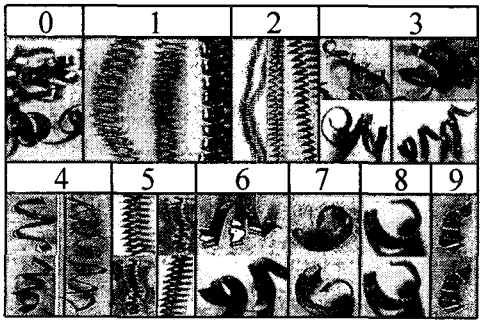

Fig. 1 Chip form classification

Table 1 Chip form classification

Chip forms	Category	Breaking
tangled chip	0	Continuous
long corkscrew chip	1	
long helical chip	2	
snarled chip	3	Discontinuous (discrete)
short corkscrew chip	4	
short helical chip	5	
spiral tubular chip	6	
spiral chip	7	
comma chip	8	
short comma chip	9	

2.2 기초실험

일반적으로 칩형상과 칩절단 여부는 절삭조건과 칩브레이커 형상변수에 의해 결정되어진다 [2]. 칩브레이커는 노즈반경, 랜드폭, 그루브폭, 백월높이 등의 형상변수로 표현이 가능하지만, 이는 복잡한 공구형상을 정확히 표현하지는 못한다. 본 연구에서는 3 차원 공구형상을 신경회로망의 입력변수로 사용하기 위해, 칩생성 과정에 참여하는 공구의 영역을 기초실험을 통해 선정하고 이를 바탕으로 공구형상을 z-map value 로 기술함으로써 복잡한 임의형상의 공구를 사용할 경우 칩형상을 예측할 수 있도록 하였다. 실험에 사용된 공구는 ㈜한국야금의 중삭용, 사상용 공구와 이전 연구에서 자체 개발한 MF1 형 공구 [2] 를 사용하였으며, 공구형상을 Fig. 2 에 나타내었다. Table 2 는 절삭조건, 툴홀더의 사양 및 공작물의 물성치를 보여주고 있다.

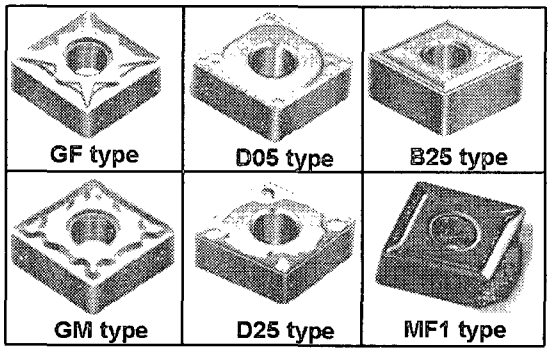

Fig. 2 Chip breakers used in experiment

Table 2 Cutting conditions and specifications of tool-holder and workpiece

feedrate	0.05 ~ 0.4 mm/rev			
depth of cut	0.5 ~ 3.0 mm			
velocity	100 ~ 200 m/min			
cutting tool	GM, GF, B25, MF1, D25,D05			
tool holder	side cutting edge angle			95°
	side rake angle			-5°
	tool inclination angle			5°
workpiece	SCM440	Yield Strength	Tensile Strength	Hardness
		840(Pa)	990(Pa)	290(HB)
NC lathe	DAEWOO PAN20			

정상상태에서 공작물을 일정시간 동안 절삭한 후 공구현미경(Union Optical Inc., Versamet-3 X50)을 이용하여 공구의 마멸흔적을 관찰하였고, 각 절삭조건에서 발생한 칩형상을 Fig. 1 과 Table 1 의 칩형상 분류표에 따라 분류하여 신경회로망의 학습데이터로 사용하였다. Fig. 3 은 MF1 형 공구를 이용하여 절입깊이 2.5mm, 이송속도 0.3mm/rev, 절삭속도 150m/min 로 200m 를 가공한 후 얻어진 마멸흔적을 예로서 보여주고 있다. 그림에서 원호안의 영역에서 마멸이 급속히 진행되었음을 알 수 있으며, 이는 칩생성 과정에 칩브레이커 끝단(노즈영역)의 영향이 다른 부분보다 큰 것임을 의미한다.

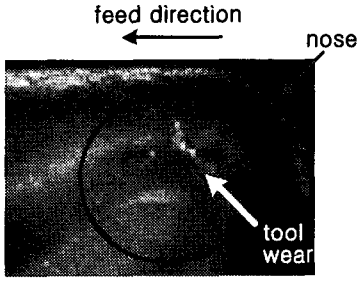

Fig. 3 Tool wear (MF1 type)

실제 절삭에 참여하는 공구영역을 신경회로망 모델의 입력값으로 사용하기 위해 Fig. 4 와 같이 절입방향과 이송방향을 따라 메쉬(mesh)를 나누고, 각 노드점에 대해 기준선에서 공구면까지의 Z 축 좌표(Z-map value)를 계산함으로써 복잡한 공구형상을 3 차원 데이터로 표현하였다. 일반적으로 공구 노즈영역에 근접할수록 칩생성에 미치는 영향이 크기 때문에 공구 끝단에 가까워질수록 메쉬 간격을 작게 하여 보다 상세한 형상정보를 얻도록 하였다. Fig. 4 로부터 MF1 형 칩브레이커의 경우, 절삭깊이 0.35~1.0mm 영역에서는 1~12, 14~17, 20~22, 25~28, 31~35, 38~41, 46~49, 54~56 노드가 실제 절삭에 참여하는 영역이고, 각 노드점의 Z-map value 를 Table 3 에 나타내었다.

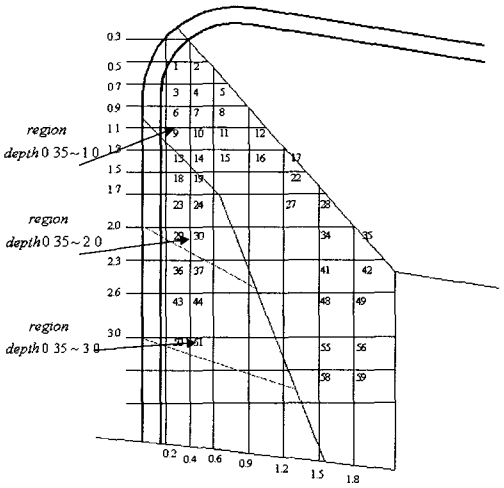

Fig. 4 Node point for Z-map representation of MF1 type

Table 3 Z-map values of MF1 type

MF1	0.2	0.4	0.6	0.9	1.2	1.5	1.8
0.5	0.318	0.364					
0.7	0.334	0.387	0.438				
0.9	0.334	0.387	0.44				
1.1	0.326	0.379	0.432	0.241			
1.3	0.318	0.371	0.424	0.232			
1.5	0.314	0.364	0.417	0.417	0.2		
1.7	0.311	0.356	0.409	0.496	0.405	0.177	
2	0.309	0.345	0.398	0.489	0.558	0.188	0.15
2.3	0.306	0.337	0.327	0.471	0.551	0.534	0.15
2.6	0.304	0.33	0.383	0.464	0.544	0.624	0.453
3	0.301	0.321	0.374	0.454	0.534	0.614	0.553
3.4	0	0.316	0.365	0.445	0.525	0.605	

2.3 칩형상 데이터베이스 확보

신경회로망의 자기조직화 기능을 사용하기 위해서는 신경회로망을 학습시키기 위한 학습(감독) 패턴을 만들어야 하며, 이를 위해서는 절삭조건과 공구형상에 따른 칩형상의 데이터 확보가 선행되어야 한다. Table 4 는 MF1 type 칩브레이커를 사용하여 이송속도와 절입깊이를 변화시켜가며 얻은

칩형상을 보여주며, 표 안에 진하게 칠해진 영역은 신경회로망의 학습패턴으로 사용되어진 것이다.

Table 4 Chip forms obtained using MF1 type

depth of cut (mm) \ feedrate (mm/min)	0.05	0.09	0.13	0.17	0.20	0.24	0.28	0.31	0.35	0.40
3.9	0	0	0	0	7	7	5, 7	8	8	8
3.6	0	0	0	0	7	7	6, 7	8	8	8
3.3	0	0	3	3	2, 7	5, 7	8	8	8	8
3.0	0	0	3	6	8	8	8	8	8	8
2.7	0	0	3	6	8	8	8	8	8	8
2.4	0	0	3	6	8	8	8	8	8	8
2.1	0	3	6	7, 8	8	8	2, 8	4, 8	5, 8	8
1.8	0	3	3, 7	9	9	9	9	9	9	9
1.5	0	5	5, 8	9	9	9	9	9	9	9
1.2	0	5	5, 8	9	9	9	9	9	9	9
0.9	0, 2	5	5, 8	9	9	9	9	9	9	9
0.7	0, 3	2	5	5	5	5	5	5	5	5
0.4	0, 5	2	2	2	5	5	5	5	5	5

3. 실험계획법을 이용한 신경회로망의 입력변수 선정

신경회로망을 이용한 칩형상 예측에 관한 기존의 연구는 전류신호나 절삭력의 변동값을 입력값으로 사용하므로 차원이 같은 입력값을 가지게 된다.[3,4] 본 연구에서는 신경회로망의 입력으로 공구의 형상변수와 절삭조건을 사용하는데, 이를 무차원 변수로 변환하여 사용하기로 한다. 입력변수를 무차원 변수로 조정하지 않고 신경회로망의 입력으로 사용할 경우, 변수 수준들간의 오더(order) 차이로 인한 수치적인 에러가 발생하거나 신경회로망이 수렴하지 않는 경우가 발생하게 된다. 입력변수를 무차원화하기 위해 분산분석을 이용함으로써 절삭조건과 공구의 형상과의 상관관계를 먼저 규명하였다.

3.1 분산분석(ANOVA)

분산분석(ANOVA)이란 특성치의 산포를 제곱합으로 나타내고, 이 제곱합을 실험과 관련된 요인(인자, 교호작용과 오차)들의 제곱합으로 분해하여 오차에 비해 특히 큰 영향을 주는 요인이 무엇인가를 찾아내는 방법이다.[5,6] 본 연구에서는 분산분석을 통하여 나타난 검정통계량(F_0)을 기준으로 칩형상에 영향을 미치는 인자를 선정하고, 절삭조건과 공구의 형상인자와의 관계를 정량화시켜 그 값을 신경회로망의 입력값으로 사용한다. 특성치로서 칩반경을 선택하였고, 절입깊이, 이송속도, 절삭속도, 칩브레이커 종류 등의 4 가지 인자에 대해 3 수준 실험을 행하였다. Table 5 는 각 인자의 수준값을 나타내며, 풀링(pooling)된 분산분석표를 Table 6 에 나타내었다. SS 는 특성치의 제곱합, DOF 는 자유도(Φ), F_0 는 각 인자의 검정통계량으로서 $F_0 = (S_A/\Phi_A)/(S_E/\Phi_E)$, F(0.05)는 유의수준 α =95%에서 F 분포값을 의미한다. Fig. 5 는 각 인자에 대한 수준별 평균 칩반경을 도시하고 있다. 분산분석 결과로부터 모든 인자들이 유의수준 95% 이내에서 모두 유의함을 알 수 있다. 2 인자 교호작용은 칩반경에 영향을 주기는 하지만 그 영향력이 매우 작아 분산분석 시 오차항에 풀링되었다.

Table 5 Factors and levels for $L_{27}(3)^{13}$

level	A (tool type)	B (feedrate)	C (velocity)	D (depth)
0	MF1	0.23	200	3
1	GM	0.4	150	0.5
2	GF	0.05	100	1.8

Table 6 ANOVA table with pooling

factor	SS	DOF	mean	F0	F(0.05)
A	17.81	2	8.91	7.01	3.55
B	64.21	2	32.11	25.30	3.55
C	23.64	2	11.82	9.31	3.55
D	43.71	2	21.86	17.22	3.55
Error	22.85	18	1.27		
Total	172.2	26			

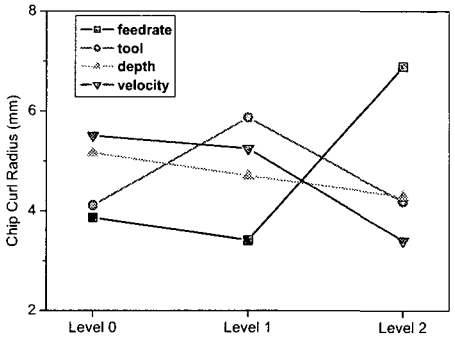

Fig. 5 Effects of each factor on the chip curl radius

분산분석 결과로부터 이송속도가 클수록, 절입 깊이와 절삭속도가 작아질수록 칩반경이 작아짐을 알 수 있으며, MF1 형 공구가 가장 작은 칩반경을 가짐을 알 수 있다(칩반경이 작아질수록 칩절단이 잘 이루어진다 [2]). 모든 인자들이 유의하므로, 이들을 신경회로망의 입력변수로 사용하게 된다.

3.2 무차원화

각 인자에 대하여 칩반경을 작아지게 하는 수준값을 1, 칩반경을 커지게 하는 수준값을 0 으로 설정하고, 각 인자의 최소, 최대 수준값을 0 에서 1 사이의 값으로 무차원화시켰다. 또한, 분산분석을 통하여 나온 검정통계량 중 특성치에 가장 큰 영향을 주는 인자(이송속도)를 기준으로 하여 각 인자들의 가중치를 결정하였다. Table 7 은 신경회로망의 입력으로 사용하기 위하여 무차원화된 인자와 가중치를 적용한 결과를 보여주고 있다. 칩 브레이커 형상변수(A 인자)의 경우 2.2 절에서 설명한 Z-map value 를 사용하게 된다.

Table 7 Normalized factors and their weights

factor		1	2	3	···	6	7	8
A	range	z-map values						
	dimensionless variable							
	weight factor							
B	range	0.05	0.1	0.15	···	0.3	0.35	0.4
	dimensionless variable	0.13	0.25	0.38	···	0.75	0.88	1.0
	weight factor	0.13	0.25	0.38	···	0.75	0.88	1.0
C	range	100	120	140	···	200		
	dimensionless variable	1	0.8	0.6	···	0		
	weight factor	0.37	0.29	0.22	···	0		
D	range	0.35	1.0	1.5	···	3.0		
	dimensionless variable	1	0.76	0.57	···	0		
	weight factor	0.68	0.51	0.39	···	0		

4. 신경회로망의 구성과 시뮬레이션

4.1 신경회로망의 개요와 구성

인공지능의 한 분야인 신경회로망은 뇌의 신경세포를 단순화시켜 수학적으로 모델링한 인공세포(artificial neuron)와 각각의 인공세포들을 연결하는 연결선으로 구성되어 있다. 인공세포들은 Fig. 6 과 같이 다른 인공세포에서 전달된 출력값에 연결강도를 곱하여 수학적인 합산에 의해 구하여진 총합을 전달함수에 입력하여 뉴런의 출력값을 얻는다. 신경망의 학습과정은 연결강도(가중치)의 값에 따라 결정되고 신경망의 학습은 각각의 인공세포들을 연결한 연결선의 연결강도를 조절함으로써 행하여진다.[7] 본 연구에서는 각 계층의 연결강도를 결정하는 학습 알고리즘으로 지도(감독)학습의 대표적인 행태인 오류역전파 알고리즘(Back propagation)을 사용하는 다층퍼셉트론(Fig. 7)을 사용하였다.

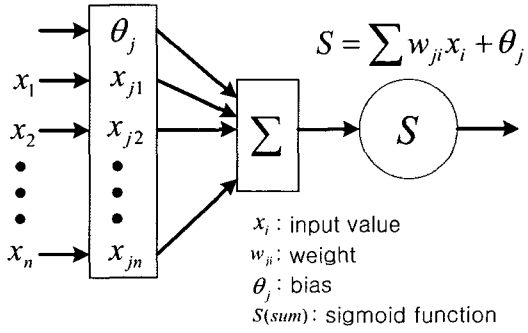

Fig. 6 Diagram of artificial neuron

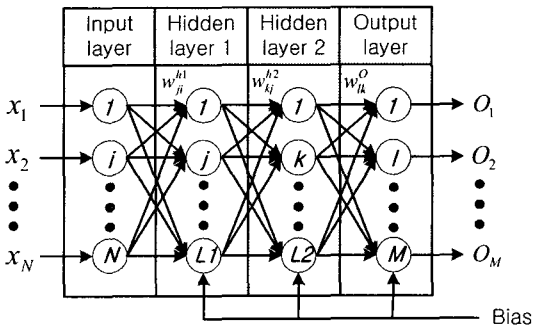

Fig. 7 Architecture of multi-layer perceptron

본 연구에서 개발한 오류역전파 신경회로망 프로그램은 크게 입력부분(신경망의 크기를 결정하고 감독데이터를 불러옴), 학습부분(신경망을 학습시킴), 회상부분(학습에 사용되지 않은 패턴에 대하여 패턴분류가 가능한지를 살펴봄)로 구분된

다. 입력부분에서는 주어진 감독데이타를 학습시키기 위하여 신경망의 크기를 결정하게 된다. 즉, 다층퍼셉트론의 계층의 수, 입력층 뉴런의 개수, 은닉층 뉴런의 개수, 출력층 뉴런의 개수, 감독데이타에 사용되는 학습패턴의 수를 결정하게 된다. 신경망의 크기를 결정한 후에 신경망의 초기 학습률, 모멘트를 결정하고, 초기 가중치와 초기 바이어스의 범위를 지정해준다. 학습에 필요한 감독데이타(입력데이타, 목적데이타)를 불러들임으로써 입력작업이 완료된다. 다음으로 신경망의 학습과정이 진행되는데, 지역국소에 빠질 경우 신경망의 초기 가중치와 바이어스를 재입력하고 초기 학습률과 모멘트의 값을 재선정하였다. 이상의 학습부분이 끝나면 학습에 사용되지 않는 패턴에 대하여 분류가능한지를 알아보기 위한 회상작업으로 프로그램을 끝마치게 된다. 만약 학습에 사용되지 않는 패턴에 대하여 회상한 결과가 80%이상 일치하지 않은 결과가 발생할 경우에는 학습의 초기로 돌아가 다시 학습시킴으로써 신뢰성을 높였다. 또한, 한번 학습된 신경망을 저장하는 기능을 두어 신경망을 매번 학습을 해야 하는 번거로움을 피할 수 있도록 하였다.

4.2 감독데이터와 학습조건

신경회로망을 학습시키기 위한 데이터는 절입깊이에 따라 총 9 개로 나누어 추출하였고, 각각 독립적으로 신경망을 학습시켰다. 이는 절삭에 참여하는 공구영역의 3 차원 형상데이터의 Z-map value 를 신경망의 입력으로 사용함으로써, 많은 수의 입력뉴런으로 인한 지역국소에 빠짐을 방지하기 위함이다.

Table 8 은 절입깊이 0.35mm~0.65mm 에서 Fig. 2 의 6 개 공구를 사용한 신경망의 감독데이터를 나타내며 학습패턴수는 28 개로 정하였다. 표에서 OS(Output Shape)는 신경망을 학습시킨 후 학습패턴에 사용되었던 입력값을 넣었을 때 회상하는 값을 의미하며, CS(Chip shape)는 학습에 사용된 패턴을 의미한다. 모든 경우에 대해 OS 와 CS 의 값이 일치하는데, 이로부터 신경회로망을 이용하여 주어진 학습패턴에 대한 패턴분류가 가능함을 보여주는 것이다. 9 개의 절입깊이 구간에 대해 동일한 방법을 적용하였으며, 각 구간에 대한 반복횟수와 오차를 Table 9 에 정리하였다.

Table 8 Supervised data for learning different tools (depth of cut=0.35~0.65mm)

P.N.	Input Pattern								OS	CS
	1	2	3	4	5	···	35	36		
1	0.33	0.68	0.11	0.08	0.09	···	0.13	0.13	0	0
2	0.50	0.68	0	0.08	0.09	···	0.13	0.13	1	1
3	0.78	0.68	0.11	0.08	0.09	···	0.13	0.13	2	2
4	0.23	0.60	0.07	0.08	0.09	···	0.13	0.13	0	0
5	0.33	0.60	0.11	0.08	0.09	···	0.13	0.13	1	1
6	0.50	0.60	0.07	0.08	0.09	···	0.13	0.13	2	2
7	0.23	0.68	0.11	0.08	0.09	···	0.05	0.16	2	2
8	0.78	0.68	0.11	0.08	0.09	···	0.05	0.16	5	5
9	0.23	0.60	0.37	0.08	0.09	···	0.05	0.16	5	5
10	0.60	0.60	0.29	0.08	0.09	···	0.05	0.16	5	5
11	0.13	0.68	0	0.08	0.09	···	0.05	0.16	0	0
12	0.13	0.60	0.11	0.08	0.09	···	0.05	0.16	0	0
13	0.33	0.68	0.11	0.08	0.09	···	0.16	0.16	0	0
14	0.50	0.68	0	0.08	0.09	···	0.16	0.16	1	1
15	0.33	0.60	0.11	0.08	0.09	···	0.16	0.16	1	1
16	0.43	0.60	0.11	0.08	0.09	···	0.16	0.16	1	1
17	0.78	0.60	0	0.08	0.09	···	0.16	0.16	2	2
18	0.33	0.68	0.11	0.08	0.09	···	0.15	0.15	0	0
19	0.50	0.68	0.04	0.08	0.09	···	0.15	0.15	1	1
20	0.78	0.68	0.11	0.08	0.09	···	0.15	0.15	2	2
21	0.33	0.60	0	0.08	0.09	···	0.15	0.15	0	0
22	0.44	0.60	0.11	0.08	0.09	···	0.15	0.15	1	1
23	0.70	0.60	0.11	0.08	0.09	···	0.15	0.15	2	2
24	0.23	0.68	0.11	0.09	0.10	···	0.17	0.15	2	2
25	0.60	0.68	0.29	0.09	0.10	···	0.17	0.15	5	5
26	0.23	0.60	0	0.09	0.10	···	0.17	0.15	2	2
27	0.33	0.60	0.11	0.09	0.10	···	0.17	0.15	5	5
28	0.50	0.60	0.18	0.09	0.10	···	0.17	0.15	5	5

Table 9 Number of iteration and total error

	depth of cut	iteration #	total error
1	0.35 ~ 0.65	30,000	0.020
2	0.65 ~ 0.9	30,000	0.019
3	0.9 ~ 1.2	30,000	0.023
4	1.2 ~ 1.5	30,000	0.019
5	1.5 ~ 1.8	30,000	0.025
6	1.8 ~ 2.1	30,000	0.022
7	2.1 ~ 2.4	30,000	0.025
8	2.4 ~ 2.7	35,000	0.030
9	2.7 ~ 3.0	35,000	0.033

4.3 검증실험

완성된 신경회로망 모델의 타당성을 검증하기 위해, 학습에 사용되지 않은 임의형상의 칩브레이커에 대하여 칩형상을 예측하였다. 절삭공구는 신경망의 학습과정에 사용하지 않은 D05(Fig. 2 참조)

형을 사용하였으며, Fig. 8 은 절입깊이와 이송속도의 변화에 따라 얻어진 칩형상을 보여준다. Table 10 은 D05 형 공구를 신경망의 입력값으로 사용하였을 경우의 예측 결과이다. 'R'항은 신경회로망을 이용하여 예측된 칩형상이며, 'T' 항은 실제 절삭과정에서 발생된 칩형상으로서 Fig. 8 의 칩형상을 분류한 결과이다. 두 결과가 일치하지 않는 영역을 진하게 표시하였으며, 총 48 개 절삭조건에서 6 개를 제외하고는 신경회로망을 통해 예측된 칩형상과 실제 실험에서 얻어진 칩형상이 잘 일치함을 알 수 있다.

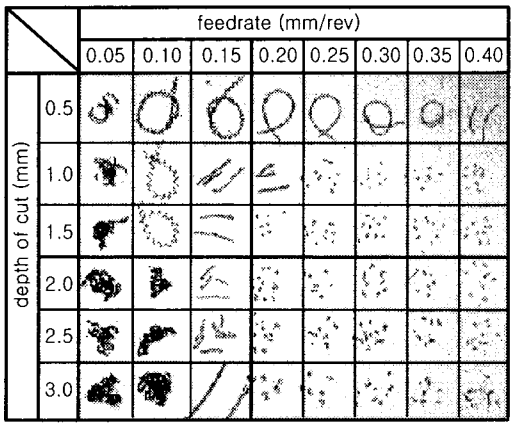

Fig. 8 Chipmap for D05 type

Table 10 Comparison of predicted and experimental chip forms for D05 type chip breaker

	0.05		0.1		0.15		0.2		0.25		0.3		0.35		0.4	
	R	T	R	T	R	T	R	T	R	T	R	T	R	T	R	T
0.5mm	0	0	1	1	1	1	2	2	2	2	2	2	5	2	5	5
1.0mm	0	0	1	1	5	5	8	5	9	9	9	9	9	9	9	9
1.5mm	0	0	0	1	5	5	9	9	9	9	9	9	9	9	9	9
2.0mm	0	0	0	0	5	5	9	8	9	9	9	9	9	9	9	9
2.5mm	0	0	0	0	5	5	8	8	9	9	9	9	9	9	9	9
3.0mm	0	0	0	0	1	2	7	7	7	7	7	8	8	8	8	8

5. 결론

본 연구에서는 선삭공구를 보다 체계적으로 설계하기 위해서, 실험계획법과 신경회로망을 이용한 칩형상 예측기를 개발하였다. 분산분석을 이용하여 칩반경에 영향을 미치는 인자들을 규명하고, 이를 신경회로망의 입력변수로 사용하였다. 공구의 형상정보를 변수화하기 위해 Z-map value 를 이용하였으며, 이는 기존의 몇 개 형상변수에 의한 표현방법에 비해 공구형상을 잘 표현할 수 있다는 장점이 있다. 절삭조건(절입깊이, 이송속도, 절삭속도)과 3 차원 공구형상정보를 예측기의 입력변수로 사용하고, 신경회로망을 학습시켜 모델을 완성하였다. 신경회로망 모델의 타당성을 검증하기 위해, 학습에 사용하지 않은 공구를 입력변수로 하여 칩형상 패턴을 예측하고 이를 실험에서 얻은 칩형상과 비교한 결과, 예측값과 실험값이 85% 이상 잘 일치함을 알 수 있었다.

본 연구에서 개발한 칩형상 예측기를 이용함으로써, 임의의 칩브레이커 형상을 가지는 공구로 다양한 절삭조건에서 가공을 할 때 발생하는 칩형상을 예측하고 나아가 칩절단 여부를 미리 판별할 수 있게 되므로, 공구개발 시간과 비용을 크게 단축시킬 수 있을 것으로 기대된다.

참고문헌

1. Rahman, M., Zhang, X. D., "Three Dimensional Model of Chip Flow, Chip Curl and Chip Breaking under the Concept of Equivalent Parameters," Int. J. of Machine Tool and Manufact., Vol. 35, No. 7, pp. 1015-1031, 1995.
2. Choi, J. P., Lee, S. J., "Chip Breaking Prediction in Turning Process Using Three-Dimensional Cutting Model," J. of the KSPE, Vol. 16, No. 9, pp. 191-199, 1999.
3. C. Nedeβ , "Real-Time Monitoring and Controlling of Chip Form in Turning Processes with Acoustic Emission using Thin Film Sensors," Transactions of NAMRI/SME, Vol. 37/5, pp. 569-577, 1997.
4. Kim, H. K., Shim, J. H., "Performance Evaluation of Chip Breakers Using Neural Network," Proc. of the KSPE, pp.70-74, 1998.
5. Park, J. H., Modern Experimental Design, Min Young-Sa, 1997.
6. Jun, J. Y., Ko, T. J., "Selection of Chip Breakers Based on Experimental Methods," Proc. of the KSPE, pp. 271-275, 1997
7. Kim, D. J., Theory and Application of Neural Network, Hi-Tech Info, 1989.