

## I. 서 론

현대의 이동 통신 시스템은 한정된 주파수 대역을 보다 효율적으로 사용할 수 있는 디지털 변조 통신 방식을 사용하고 있다. 이렇게 디지털 변조된 신호는 원하는 송신 출력까지 RF(Radio Frequency) 전력 증폭기를 이용하여 증폭시키게 되는데, 신호의 왜곡 없는 전달을 위해서는 전력 증폭기가 고선형 특성을 가지고 있어야 한다. 기지국 시스템에서는 많은 채널의 신호를 동시에 증폭하여야 하기 때문에 특히 높은 선형 특성이 요구되는데, 이를 위해 전력 증폭기는 주로 A 또는 AB급 모드로 동작된다. CDMA(Code Division Multiple Access) 같은 디지털 변조 신호는 신호의 평균 전력과 순간 최고 전력과의 차이가 크기 때문에 이 최대 전력을 수용하기 위해 전력 용량이 상당히 큰 소자를 사용하여야 한다. 이렇게 하여 요구되는 선형성을 평균 출력 전력에서 어느 정도의 수준에 맞추고, 피드포워드(feedforward)와 같은 부가적인 선형화 기법을 사용하여 최종적인 고선형 특성을 얻게 된다<sup>[1]-[4]</sup>.

일반적으로 기지국 시스템은 단말기와는 달리 DC 전력 공급이 풍부하기 때문에 앞에서 설명한 방식을 이용하여 효율은 좀 떨어지더라도 요구되는 높은 선형성을 달성하고 있다. 그러나 증폭기의 전력 레벨 증가 및 소형화에 따른 열 문제로 인해 최근에는 증폭기의 고선형뿐만 아니라 고효율 특성도 점차 중요한 특성 항목이 되어가고 있다. 고효율을 달성하기 위한 방법은 증폭기 자체의 효율을 높이는 것과 부

가적인 선형화 회로의 효율을 높이는 것으로 나누어 생각할 수 있다. 전자의 경우는 Doherty, LINC(Linear amplification using Nonlinear Components), EER(Envelope Elimination and Restoration; Kahn), 바이어스 적응 제어(bias adaptation) 등의 방법이 있는데<sup>[5],[6]</sup>, 고선형 및 고효율 특성을 동시에 성취할 수 있는 방법으로 Doherty와 바이어스 적응 제어 방식이 최근에 고효율 주 증폭기로 가장 유력시되고 있다. 한편 후자의 경우를 위해서 피드포워드 선형화 성능에 버금가면서 동시에 DC 전력 소모가 현저히 적은 디지털 전치왜곡(DPD: Digital PreDistortion) 선형화 방식에 대한 연구가 진행되고 있다<sup>[7]-[10]</sup>. 기존의 아날로그 전치왜곡 방식들은 주로 RF 대역에서 임의의 왜곡 신호를 발생하여 이용하였기 때문에 증폭기의 왜곡 특성과 일치하지 않아 선형성 개선 성능이 좋지 못하였다. 또한 고풍력 전력 소자의 메모리 효과(memory effect)에 의해 발생하는 비선형성 때문에 WCDMA 다중 캐리어 시스템과 같은 광대역 신호 조건에서는 그 성능이 더욱 저하된다. 디지털 전치왜곡 선형화 기법은 주파수 특성을 포함하여 왜곡 신호 특성을 조정할 수 있으므로 기존의 아날로그 방식으로는 구현이 힘든 증폭기의 메모리 효과를 효과적으로 보정하여 선형화 성능을 개선할 수 있다.

다른 중요한 연구 분야는 peak-clipping 연구이다<sup>[11]</sup>. 앞서 언급한 것처럼 최대 출력은 상당히 커서 평균치보다 10 dB 정도 높으나 그 발생 빈도가 낮아서 이 신호를 차단하여도 왜곡이 크지 않아 시스템 운

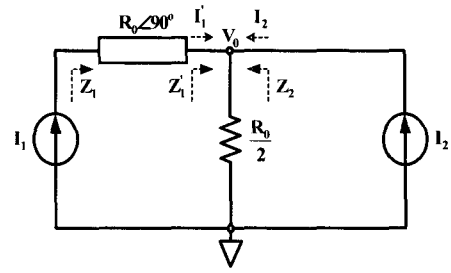
용이 가능하다. Clipping은 디지털 도메인(digital domain)에서 이루어지며, 왜곡을 최소화하면서 clipping하기 위한 다양한 clipping masking 연구가 수행되고 있으나 본 논문에서는 구체적으로 기술하지 않고, 앞서 설명한 기지국용 선형 전력 증폭기의 고효율 및 고선형성 달성 기법에 관한 내용을 기술한다. 고효율 증폭기로 가장 유망한 것으로 사료되는 Doherty 증폭기 및 이 증폭기의 바이어스 적응 제어에 관한 기술을 소개하고 차세대 선형화 기술로 각광을 받고 있는 디지털 전치왜곡 선형화기에 대해 다룰 것이다.

## II. Doherty 증폭기 및 이 증폭기의 바이어스 적응 제어

Doherty 증폭기는 효율을 개선하기 위해서 W. H. Doherty에 의해 1936년에 보고되었다. 이 증폭기는 캐리어 증폭기와 피킹 증폭기로 구성되어 있고 고효율을 유지하기 위해서 저출력에서는 캐리어 증폭기만 동작하고 고출력에서는 두 증폭기가 병행해서 동작하게 된다. 증폭기의 요구 특성에 따라서 두 증폭기의 비를 다르게 할 수도 있는데, 이때 발생하는 문제점인 임피던스 정합(impedance matching) 문제와 전력 결합(power combining) 문제를 부하 변조(load modulation) 기법으로 해결한다. 이 증폭기에서 피킹 증폭기는 B급 혹은 C급으로 동작되며 많은 왜곡이 형성되는데, 이 왜곡은 캐리어 증폭기의 왜곡과 서로 상쇄되도록 바이어스를 조정함으로써 선형 증폭기를 구현할 수 있게 된다. 이 상쇄를 정교히 하고 두 증폭기에서 최대 출력을 얻기 위해서는 바이어스의 적응제어가 필요하게 된다. 본 논문에서는 이 증폭기의 동작 원리를 구체적으로 기술한다.

### 2-1 Doherty 증폭기의 동작 원리

Doherty 증폭기의 동작 원리는 여러 문헌에 잘



[그림 1] 간소화된 Doherty 증폭기의 출력부

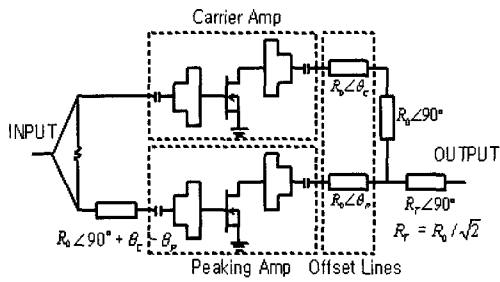
설명되어 있으며<sup>[5],[6],[12],[14]</sup>, 그 핵심은 부하 임피던스 변조(load modulation) 기법을 이용한다는 것이다. 그 원리는 [그림 1]의 간소화된 Doherty 증폭기의 출력부 회로를 이용하여 설명될 수 있으며 아래와 같은 수식으로 묘사될 수 있다.

$$Z_1' = \frac{V_0}{I_1'} = \frac{R_0}{2} \left( \frac{I_1' + I_2}{I_1'} \right), \quad 0 \leq I_2 \leq I_1' \quad (1)$$

$$Z_1 = \frac{R_0^2}{I_1'^2} = \frac{2R_0}{1 + I_2/I_1'} = \frac{2R_0}{1 + \alpha}, \quad 0 \leq \alpha \leq 1 \quad (2)$$

[그림 1]에서 전류원  $I_1$  과  $I_2$  는 각각 캐리어 증폭기와 피킹 증폭기를 의미한다. 식 (2)에서 전류원  $I_2$  가 0부터  $I_1'$  까지 변함에 따라 전류원  $I_1$  에서 본 부하 임피던스는  $2R_0$ 에서  $R_0$ 으로 변조됨을 알 수 있다. 좀 더 자세히 말하면, 피킹 증폭기가 차단되었을 때 캐리어 증폭기의 부하 임피던스는  $2R_0$ 가 되고 두 증폭기 모두 개방되면  $R_0$ 가 되며 그 중간 출력에서는 중간 값의 부하 임피던스를 가지게 된다. 피킹 증폭기의 동작 변화로 인한 이득의 변화는 이러한 부하 임피던스 변조를 통해 입력 단에서 생기는 전력 분배기의 손실을 고려하여 보상된다. 그래서 증폭기 전체의 이득이 일정하게 유지되면서, 동시에 출력 단에서 비대칭적인 전력 결합이 이루어질 수 있다. 즉, 일종의 비대칭 전력 결합기(asymmetric power combiner)를 구현하게 되는 것이다.

### 2-2 초고주파 Doherty 증폭기 구조



[그림 2] 초고주파 Doherty 증폭기

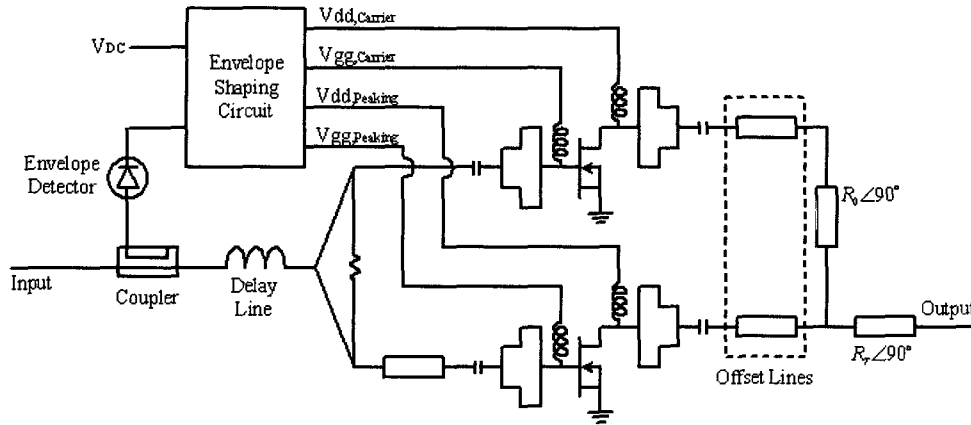
앞 종속절에서 설명된 부하 임피던스 변조 기법을 초고주파 Doherty 전력 증폭기에 실제로 적용한 구조를 [그림 2]에 나타내었다. 전류원  $I_1$  과  $I_2$  는 각각 완전 정합된 캐리어 증폭기와 피킹 증폭기로 대체되었다. 이 증폭기의 입력은 전력 분배기와 각 증폭기의 입력 정합 회로로 구성되어 있고 출력 단의 위상 차이를 보상하기 위해서  $R_0$  옴의 특성 임피던스(characteristic impedance)를 가지는 지연 선로(delay line)가 첨가되어 있다. 출력 단에는 이 소자들이 최대 출력일 때에  $R_0$  로의 정합 회로(matching circuit)가 첨가되고 이 정합된 캐리어 및 피킹 증폭기의 바로 뒷 단에는 각각 소정의 길이  $\theta_c$ 와  $\theta_p$ 를 갖는 오프셋 라인이 따르는데, 이 두 라인의 역할은 부하 임피던스가 변조되는 상황에서 캐리어 증폭기의 출력 정합을 이루게 하고, 피킹 증폭기가 단절되었을 때에 개방 출력 임피던스를 이루게 하는 것이다. 구체적인 역할 및 설계 방법은 참고문헌 [12]에 잘 설명되어 있다. 이 오프셋 라인들로 인해 부하 임피던스 변조가 적절히 이루어져 비대칭 출력 결합을 하게 되고 전력 누출을 최소화 할 수 있다. 한편 캐리어 증폭기 출력 단의  $\lambda/4$  라인은 [그림 1]에 있는 것과 같이 임피던스 인버터 역할을 하고, 최종 출력 단의 특성 임피던스  $R_T$  를 갖는  $\lambda/4$  라인은 포트 임피던스  $R_0$  를 부하 임피던스  $R_0/2$ 로 변환하기 위한 임피던스 트랜스포머이다.

초고주파 Doherty 증폭기의 동작을 실현하기 위한 가장 간단한 바이어싱 방법은 캐리어 증폭기는 A급 혹은 AB급으로, 피킹 증폭기는 B급 혹은 C급으로 바이어싱하는 것이다. 그러나 이러한 방법만으로는 고효율을 이룰 수 있으나 고선형 특성을 얻는 데 한계가 있으며, 따라서 두 증폭기의 바이어스를 3차 혼변조 왜곡 신호(3<sup>rd</sup>-order intermodulation distortion signal)가 상호 상쇄되도록 인가하게 된다. 고정된 바이어스에서는 출력에 따라서 변하는 혼변조 왜곡 신호를 잘 상쇄할 수 없으며 이로 인해 Doherty 증폭기의 바이어스 적응 제어에 대한 관심이 증대하고 있다. 바이어스 제어된 Doherty 증폭기는 구조상 비대칭적인 전력 결합이 가능할 뿐 아니라 기존의 바이어스 제어가 없는 Doherty 증폭기의 단점인 불완전한 부하 임피던스 변조를 보상할 수 있다<sup>[13],[14]</sup>.

### 2.3 초고주파 Doherty 증폭기의 바이어스 적응 제어 시뮬레이션

Doherty 증폭기에서는 기본적으로 두 개의 증폭기(캐리어 증폭기와 피킹 증폭기)가 요구되기 때문에 여러 가지 바이어스 적응 제어 방식이 적용될 수 있다. 초고주파 Doherty 증폭기의 일반적인 바이어스 적응 제어도를 [그림 3]에 나타내었으며, 두 증폭기에 대한 게이트 및 드레인 바이어스의 일부 혹은 전부가 제어될 수 있다. 여기서  $V_{dd,Carrier}$ 는 캐리어 증폭기의 드레인 전압을,  $V_{gg,Carrier}$ 는 캐리어 증폭기의 게이트 전압을,  $V_{dd,Peaking}$ 은 피킹 증폭기의 드레인 전압을, 마지막으로  $V_{gg,Peaking}$ 은 피킹 증폭기의 게이트 전압을 나타낸다.

[그림 3]의 바이어스 제어된 Doherty 증폭기에 대한 시뮬레이션을 위해 Motorola사의 4 와트(watt) 소자인 MRF281 LDMOSFET 디바이스 모델을 사용하였다. 이 소자 모델은 38 dBm의 P1 dB를 가지도록 정합되었으며, 바이어스 적응 제어를 하는데 있어



[그림 3] 초고주파 Doherty 증폭기의 바이어스 적응 제어도

본 논문에서는 세 가지 경우로 나누어 시뮬레이션을 수행하였다. 첫 번째로 피킹 증폭기의 게이트 바이어스만을 제어했을 경우에 대해 시뮬레이션 하였다. 왜냐하면 게이트 바이어스의 경우 Doherty 증폭기의 특성상 캐리어 증폭기에 비해 피킹 증폭기의 바이어스를 자유롭게 바꿀 수 있기 때문이다. 두 번째로 피킹 증폭기뿐만 아니라 캐리어 증폭기의 게이트 바이어스를 동시에 제어하였는데, 이렇게 함으로써 두 증폭기에서 왜곡된 신호를 좀 더 효율적으로 상쇄할 수 있다. 마지막으로 피킹 증폭기의 게이트 및 드레인 바이어스와 캐리어 증폭기의 드레인 바이어스를 제어하였으며, 두 증폭기의 드레인 바이어스 제어 형태는 같게 하였다. [그림 4]는 세 가지 경우에 대한 파워 레벨에 따른 바이어스 제어 형태를 나타내며, 시뮬레이션을 통해 최적화된 결과이다.

[그림 4]의 게이트 및 드레인 바이어스 적응 제어 조건에서 IS95 CDMA 신호를 인가했을 때, -30 dBc ACLR(Adjacent Channel Leakage Ratio)에서의 효율 (PAE: Power Added Efficiency)과 평균 출력 전력을 <표 1>에 나타내었다. 그리고 비교를 위해 기존의 AB급 증폭기에 대한 결과를 같이 제시하였다. [그림 4](a)의 조건은 다른 바이어스 제어 형태에 비

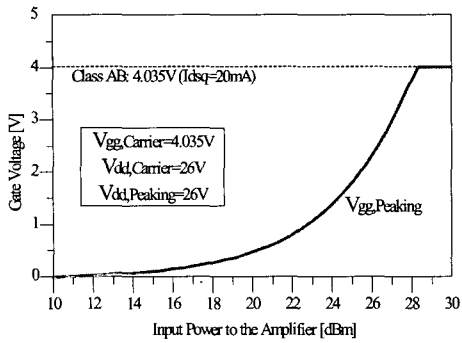
해 성능 개선량은 적지만 회로 구현 및 바이어스 제어 회로의 지연 보상이 쉽다. 반면에 [그림 4](c)의 조건은 성능 개선량이 제일 크지만 드레인 바이어스를 제어하기 때문에 보다 큰 전류를 다루어야 하는 부담이 있고, 두 바이어스 제어 회로의 지연을 같게 맞추어야 한다. [그림 4](b)의 조건은 성능 및 구현면에서 나머지 두 조건의 중간이 될 것이다.

#### 2.4 실제 구현 결과

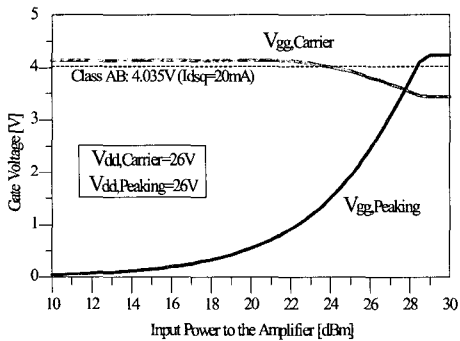
[그림 4]의 (a)와 (b)의 바이어스 적응 제어 형태는 실제 회로로 구현된 바 있으며<sup>[13],[14]</sup>, 그 제어 회로도 를 [그림 5]에 나타내었다. [그림 5]의 (a)는 [그림 4]의 (a)의 바이어스 제어 형태를 생성하는 회로이며,

<표 1> CDMA 신호에 대한 바이어스 적응 제어 형태에 따른 시뮬레이션 결과(-30 dBc 기준)

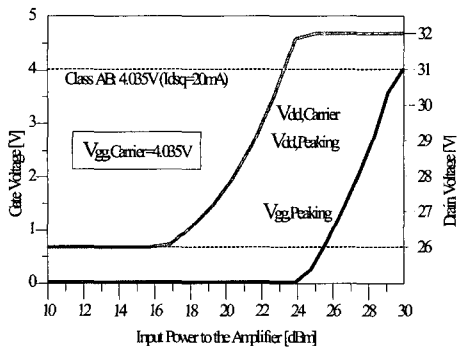
바이어스 조건	출력전력 [dBm]	PAE [%]
AB급	32.1	25.6
[그림 4](a) 조건	33.0	40.6
[그림 4](b) 조건	34.8	45.3
[그림 4](c) 조건	37.0	52.4



(a) 피킹 증폭기의 게이트 바이어스만 제어



(b) 캐리어 및 피킹 증폭기의 게이트 바이어스를 제어



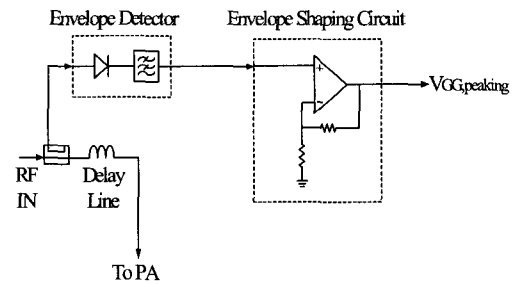
(c) 피킹 증폭기의 게이트 및 드레인 바이어스와 캐리어 증폭기의 드레인 바이어스를 제어

[그림 4] 초고주파 Doherty 증폭기의 최적화된 바이어스 제어 형태

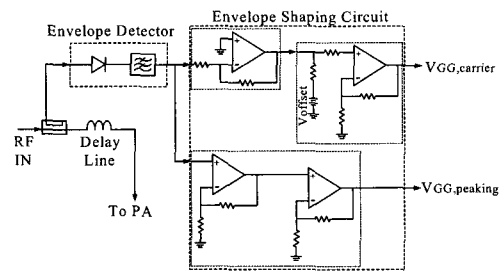
[그림 5]의 (b)는 [그림 4](b)의 제어 형태를 생성하기 위한 회로이다. 포락선 검출기(Envelope Detector)는 두 경우 모두 Shottky 다이오드와 저주파 여파기(low pass filter)를 이용해 구현되었다. 그리고 포락선 셰이핑(envelope shaping)을 위해 피킹 증폭기의 게이트 바이어스는 두 경우 모두 비반전 OP-Amp를 이용해

<표 2> WCDMA 신호에 대한 실제 바이어스 적응 제어 실험 결과(-30 dBc 기준)

바이어스 조건	출력전력 [dBm]	PAE [%]
AB급	31.3	24.5
[그림 4](a) 조건	32.7	39.4
[그림 4](b) 조건	33.5	41.0
[그림 4](c) 조건	-	-



(a) 피킹 증폭기 제어



(b) 캐리어 및 피킹 증폭기 제어

[그림 5] 게이트 바이어스 적응 제어 회로

제어되었으며, 캐리어 증폭기를 제어하는 회로는 반전 OP-Amp와 레벨 쉬프터(level shifter)의 조합으로 구성되었다.

초고주파 Doherty 증폭기의 캐리어 및 피킹 증폭기는 시뮬레이션에서 사용된 것과 동일한 Motorola사의 MRF281 LD MOSFET을 사용하여 2.14 GHz 대역에서 제작되었다. 이 Doherty 증폭기에 [그림 5]의 바이어스 제어 회로를 부착한 실험 결과가 <표 2>에 나타나 있으며, 이때 사용된 신호는 순방향 WCDMA(Wideband Code Division Multiple Access) 신호이다. 시뮬레이션에서 예상됐던 결과들이 측정되었음을 확인할 수 있다. 초고주파 Doherty 증폭기의 드레인 바이어스 적응 제어에 관한 실제 구현 사례는 아직 발표된 적 없으며, 앞으로 이에 대한 연구가 진행될 것으로 예상된다.

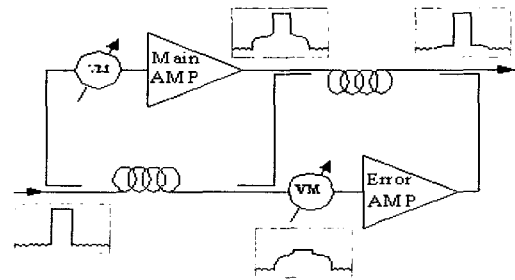
### III. 디지털 전치왜곡 선형화기(DPD)

#### 3-1 기지국용 전력 증폭기의 목표치와 종래 기술

국내 기존 무선 통신 방식인 CDMA나 차세대 방식인 WCDMA의 경우 피크 대 평균 전력비(peak to average power ratio)가 매우 크며, 사용 주파수 대역이 매우 넓다. 특히 WCDMA의 경우, 한 채널의 chip rate가 3.84 Mbps이며 4개의 채널까지 동시 사용이 가능하여, 최대 신호 대역폭(signal bandwidth)이 20 MHz나 된다. 이렇게 넓은 대역에서 피크 대 평균 전력비가 높은 신호를 전송하기 위해서는 기지국용 전력 증폭기가 넓은 대역에서 우수한 선형성을 가져야만 한다. <표 3>은 통신 사업자가 제시하고 있는 WCDMA 선형화 전력 증폭기의 목표치이다. 표에서 제시하는 것과 같이  $\pm 5$  MHz 오프셋(offset) 주파수에서  $-55$  dBc 이하의 ACLR을 가져야 하며, 20 MHz 대역에서  $\pm 0.2$  dB의 이득 평탄도(gain flatness)를 가져야 한다.

<표 3> WCDMA 기지국용 선형화 전력 증폭기의 목표치

Parameter	Specification
Operating frequency	2110 ~ 2170 MHz
RF input power	-5 dBm min.
RF output average power	60 Watts @WCDMA 4FA
Gain (over all condition)	45 dB min.
Gain variation	$\pm 0.5$ dB overall frequency
Gain flatness over frequency range	$\pm 0.2$ dB overall any 20 MHz
ACLR @ $\pm 5$ MHz, 4 FA	-55 dBc
Operating temperature	0 °C to +60 °C



[그림 6] 피드포워드 선형화 전력 증폭기의 개략도

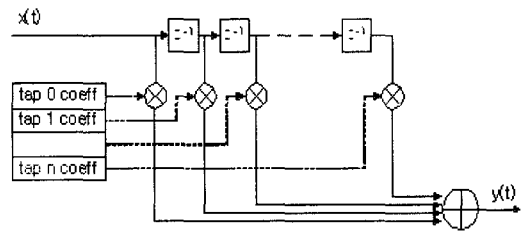
이러한 까다로운 목표치를 달성하기 위해 종래 가장 널리 사용하고 있던 선형화 기술이 바로 피드포워드 선형화 방식이다<sup>[11]-[14]</sup>. 피드포워드 선형 전력 증폭기는 [그림 6]에서와 같이 주 신호를 증폭시키기 위한 주 증폭기(main amplifier) 모듈과 에러 신호를 증폭하기 위한 에러 증폭기(error amplifier) 모듈로 구성되어 있다. 이 선형화 방식은 주 증폭기에서 발생하는 왜곡 성분을 에러 증폭기를 이용해 직접 제거하기 때문에 주 증폭기의 메모리 효과(memory effect)를 무시할 수 있으며, 동작 대역이 매우 넓고,

선형성 개선 정도(15~30 dB)가 탁월하다. 피드포워드 전력 증폭기는 이러한 우수한 성능 때문에 종래의 대표적인 기지국용 선형화 장치로 여겨졌다. 그러나 이 선형화 증폭 장치는 주 증폭기에 대비해서 무시할 수 없는 용량의 예러 증폭기를 추가적으로 가지고 있어<sup>[4]</sup>, 효율이 매우 떨어지며 비싼 가격, 열 문제, 사이즈 문제 등 많은 약점을 가지고 있다. 또한 이 장치는 디지털 신호 처리(DSP: Digital Signal Processing) 부분이 없이 단지 RF 증폭기로만 구성되어 송신기로서의 기능을 완벽히 수행하지 못한다.

### 3-2 디지털 전치왜곡 선형화기(DPD)

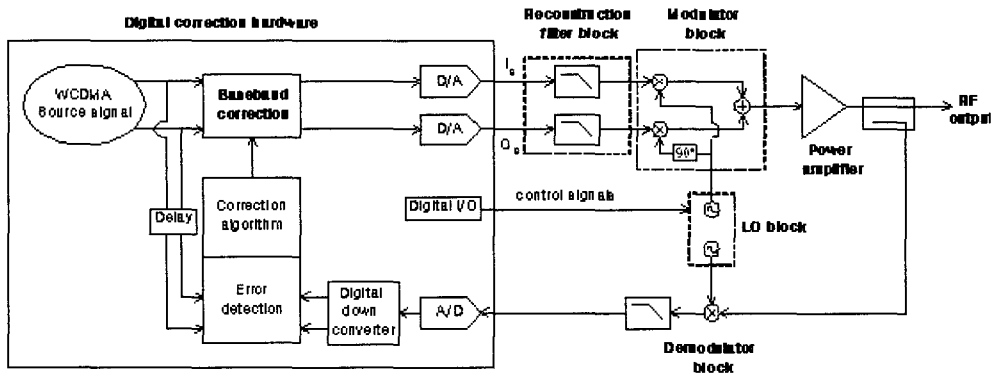
앞서 말한 피드포워드 증폭기의 약점을 모두 보완하며 우수한 선형화 특성을 가진 기술이 바로 디지털 전치왜곡 선형화기(DPD)이다. 이 기술은 RF 전치왜곡(predistortion) 기술을 디지털 도메인에서 구현한 것으로서, 주 증폭기의 왜곡 성분에 대한 정보를 DSP에서 추출한 다음, 이 정보를 참조로 최적의 전치 왜곡 입력 신호를 만들어 증폭기를 선형화 시키는 방법이다. [그림 7]은 디지털 전치 왜곡 선형화기의 구성도이다. 그림에서와 같이, 디지털 전치 왜곡 장치는 크게 디지털 부분, 변복조 부분, 주 증폭

FIR(finite impulse response) filter

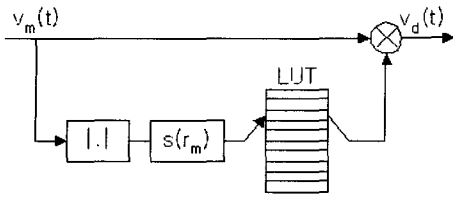


[그림 8] 전치 왜곡 신호 구현을 위해 사용되는 다차항의 FIR 필터

기 부분으로 나눌 수 있다. 디지털 부분에서 디지털 소스 신호가 DSP를 통해 전치 왜곡 신호로 변환된 다음 DAC(Digital to Analog Converter)를 통해 RF 변조기(RF modulator)에 전달된다. 이 신호는 변조 부분에서 RF 신호로 up-conversion되어 주 증폭기의 전치 왜곡 입력 신호로 사용된다. 증폭기의 출력 신호는 다시 복조 부분에서 디지털 신호로 down-conversion되며, 이 신호는 디지털 소스 신호에 감산되어 증폭기의 왜곡 성분만이 추출된다. 추출된 왜곡 성분을 참조로 최적의 전치 왜곡 신호를 만들어 다시 up-conversion한다. 이 과정을 반복하여, 어떤 임의의 디지털 소스 신호에 대한 최적의 전치 왜곡 신



[그림 7] 디지털 전치 왜곡 선형화기의 구성도



[그림 9] 순람표를 사용하는 디지털 전치 왜곡기의 내부 구조

<표 4> 주파수 변환 방식의 장/단점

	장점	단점
직접 변환	넓은 신호 대역폭, 단순성	IQ 불균형, dual DACs 요구
디지털 IF	IQ 균형, single DAC	줄어든 대역폭, DC 오프셋, 복잡성

호가 만들어진다.

[그림 8]과 같은 다차항의 FIR(Finite Impulse Response) 필터를 사용하여 전치 왜곡 신호를 구현한다. DSP는 선형화 알고리즘을 통해 최적의 전치 왜곡 신호를 얻기 위해 디지털 입력 신호의 절대 값에 대한 다차항 FIR 필터의 최적 탭 계수(optimum tap coefficients)를 제공한다. 계수 제공 방법으로는 다항식(polynomial) 방식과 순람표(LUT: Lookup Table) 방식 등이 있다<sup>[7],[8]</sup>. 순람표의 구조는 [그림 9]에 나타나 있다. [그림 9]에서  $s(r)$ 은 컴팬딩(companding) 함수로서, 입력 신호를 크기에 따라 비일정 분포로 재조정하여 중요한 구간에 색인을 늘리고 중요치 않은 구간의 색인을 줄인다.

최적의 탭 계수를 얻기 위한 수렴 알고리즘은 적응 필터(adaptive filter)의 대표적인 수렴 방식인 RLS(recursive least square) 알고리즘이 주로 사용된다<sup>[9],[10]</sup>. [그림 7]의 주파수 변복조 부분에 사용되는 주파수 up/down 변환기는 직접 변환 방식과 디지털 IF 변환 방식이 있다. 직접 변환 방식은 RF 신호에서 기저 대역 IQ 신호로, 기저 대역 IQ 신호에서 RF 신호로

직접 변환하는 방식이며, [그림 7]의 변조 부분이 직접 변환 방식이다. 디지털 IF 변환 방식은 RF 신호에서 IF 신호를 거쳐 디지털 도메인에서 기저 대역 신호로 끌어내리는 방식이며, [그림 7]의 주파수 복조 부분이 이와 같은 방식이다. <표 4>는 두 방식의 장/단점을 제시한다.

이와 같은 디지털 전치 왜곡 선형화기는 피드포워드의 장점인 넓은 동작 대역과 우수한 선형성, 메모리 효과의 보상 등을 모두 가지고 있다. 디지털 전치 왜곡 선형화기는 에리 증폭기가 없고, 대부분의 선형화 동작이 저전력의 디지털 회로에서 이루어지기 때문에 고효율을 얻을 수 있으며, 저가격, 작은 사이즈로 실현할 수 있다. 또한 디지털 전치 왜곡 선형화기는 자체가 디지털 부분을 포함하고 있어 기지국 송신기로서의 모든 역할을 다 할 수 있다. 다시 말해서, 디지털 전치 왜곡 선형화기는 기존 피드포워드 선형화기의 장점을 모두 가지고 있으며, 그것의 단점을 모두 보완할 수 있기 때문에, 차세대 기지국용 선형화 전력 증폭기(LPA)로 매우 적합하다.

#### IV. 요약 및 결론

최근에 기지국용 전력 증폭기의 고효율 방안에 대한 연구가 활발히 이루어지고 있으며, 현재 바이어스 제어된 Doherty 증폭기와 디지털 전치 왜곡 선형화기가 그에 대한 최적의 기술들로 인정 받고 있다.

바이어스 제어된 Doherty 증폭기는 주증폭기 자체의 효율을 높이기 위한 기법으로, 순간적인 전력 레벨에 따라 Doherty 증폭기의 바이어스가 고선형/고효율 특성을 가지도록 적응 제어된다. Doherty 증폭기는 비대칭적인 전력 결합을 가능하게 하여 전력 손실 없이 바이어스 적응 제어가 원활히 수행되도록 하며, 역으로 바이어스 적응 제어 기법은 Doherty 증



폭기의 부하 임피던스가 적절히 이루어지도록 해준다. 결과적으로, Doherty 증폭기와 바이어스 적응 제어 기법은 서로의 결점을 보완해 주며 고선형/고효율 성능을 가능하게 한다.

디지털 전치 왜곡 선형화기는 기지국용 전력 증폭기의 고선형 요구 사항을 보다 효율적으로 실현하기 위한 것으로, 종래 사용되어 왔던 피드포워드의 장점인 고선형성, 안정성, 메모리 효과의 보상, 넓은 동작 대역 특성 등을 모두 가지고 있을 뿐만 아니라, 저 효율, 열 문제, 사이즈 문제, 낮은 가격 대 성능비 등의 단점을 해결할 수 있다. 또한 디지털 전치 왜곡 선형화기는 디지털 회로를 포함하고 있어 그 자체가 무선 통신 기지국용 송신기의 모든 역할을 수행할 수 있는 독립성을 가지고 있다.

최종적으로 바이어스 제어된 Doherty 증폭기와 디지털 전치 왜곡 선형화기가 결합된 형태의 전력 증폭기가 추후에 개발될 것으로 사료되며, CDMA, WCDMA, OFDM 등의 무선 통신 기지국용 전력 증폭기를 대체할 것으로 확신한다.

#### 참 고 문 헌

[1] Y. Y. Woo, Y. Yang, J. Yi, J. Nam, J. Cha and B. Kim, "A New Adaptive Feedforward Amplifier for WCDMA Base Stations Using Imperfect Signal Cancellation", *Microwave Journal*, vol. 46, no. 4, Apr. 2003.

[2] R. J. Wilkinson, P. B. Kenington, "Specification of Error Amplifiers for Use in Feedforward Transmitters", *IEE Proceeding-G*, vol. 139, no. 4, pp. 477-480, Aug. 1992.

[3] J. K. Cavers, "Adaptation Behavior of a Feedforward Amplifier Linearizer", *IEEE Trans. on Vehicular Tech.*, vol. 44, no. 1, Feb. 1996.

[4] Y. Yang, Y. Y. Woo and B. Kim, "Optimization for error-canceling loop of feedforward amplifier using

a new system-level mathematical model", *IEEE Trans. Microwave Theory Tech.*, vol. 51, no. 2, pp. 475-482, Feb. 2003.

[5] P. B. Kenington, *High Linearity RF Amplifier Design*, Artech House Inc., Norwood, MA, 2000.

[6] S. C. Cripps, *RF Power Amplifiers for Wireless Communications*, Artech House Inc., Norwood, MA, 1999.

[7] Y. Nagata, "Linear amplification techniques for digital mobile communications" *Proc. IEEE Veh. Technol. Conf.*, pp. 159-164, 1989.

[8] J. Namiki, "An Automatically Controlled Predistorter for Multilevel Quadrature Amplitude Modulation", *IEEE Trans. Commun.*, vol. Com-31, no. 5, pp. 707-712, May 1983.

[9] M. Faulkner, T. Mattsson and W. Yates, "Adaptive Linearization Using Predistortion", *Proc. IEEE Veh. Technol. Conf.*, pp. 35-40, 1990.

[10] J. K. Cavers, "Amplifier Linearization Using a Digital Predistorter with Fast Adaptation and Low Memory Requirement", *IEEE Trans. Veh. Technol.*, vol. 39, no. 4, pp. 374-382, Nov. 1990.

[11] A. Wright, O. Nesper, "Multi-Carrier WCDMA Basestation Design Considerations - Amplifier Linearization and Crest Factor Control", *Technology White Paper by PMC-Sierra, Inc.*, Issue 1, Aug. 2002.

[12] Y. Yang, J. Yi, Y. Y. Woo and B. Kim, "Optimum Design for Linearity and Efficiency of a Microwave Doherty Amplifier using a New Load Matching Technique", *Microwave Journal*, pp. 20-36, Dec. 2001.

[13] Y. Yang, J. Cha, B. Shin and B. Kim, "A Microwave Doherty Amplifier Employing Envelope Tracking Technique for High Efficiency and Li-

nearity", *IEEE Microwave and Wireless Components Letters*, vol. 13, no. 9, Sep. 2003.

[14] J. Cha, Y. Yang, B. Shin and B. Kim, "An Adaptive Bias Controlled Power Amplifier with a Load

-Modulated Combining Scheme for High Efficiency and Linearity", *IEEE MTT-S Int. Microwave Sympo.*, vol. 1, pp. 81-84, Jun. 2003.

≡ 필자소개 ≡

김 범 만



1947년 1월 3일생  
1972년: 서울대학교 전자공학과 (공학사)  
1974년: 텍사스 대학교 전기공학과 (공학석사)  
1979년: 카네기-멜론 대학교 전기공학과 (공학박사)

1978년~1981년: GTE 연구소 연구원  
1981년~1989년: Texas Instruments 중앙연구소 연구원/수석연구원  
1989년~1994년: RIST 전자분야 분야장  
1998년~2000년: 포항공과대학교 교무처장  
1989년~현재: 포항공과대학교 전자전기공학과 교수  
1994년~현재: 전자파 특화 연구 센터 소장  
[주 관심분야] 초고주파 회로 설계, III-V족 반도체 소자/MMIC 디자인과 제작, 전력 증폭기 개발

이 재 혁



1974년 3월 14일생  
1997년: 포항공과대학교 전자전기공학과 (공학사)  
1999년: 포항공과대학교 전자전기공학과 (공학석사)  
1999년~현재: 포항공과대학교 전자전기공학과 박사 과정

[주 관심분야] 초고주파 전력 증폭기(증폭기 설계, 선형화 기술)

우 영 윤



1976년 10월 6일생  
2000년: 한양대학교 전자/전자통신/전파공학과 (공학사)  
2000년~현재: 포항공과대학교 전자전기공학과 석박사 통합 과정  
[주 관심분야] 초고주파 회로 설계 및 선형 전력 증폭기(LPA) 개발

차 정 현



1975년 5월 31일생  
2001년: 전북대학교 정보통신공학과 (공학사)  
2001년~현재: 포항공과대학교 전자전기공학과 석박사 통합 과정  
[주 관심분야] 초고주파 전력 증폭기(증폭기 설계, 선형화 기술, 효율 증대 기

술)