

I. 서 론

최근 이동통신기술은 아주 빠른 속도로 발전하고 있다. 1세대는 음성을 전송하는 이동통신 방식이었고, 2세대에 들어서면서 속도와 서비스 측면에서 향상되었다. 3세대라 불리는 IMT-2000은 음성 위주의 저속 데이터 서비스에서, 범 세계적 로밍(Roaming)의 고속 멀티미디어 서비스를 목표로 하고 있다. 2010년쯤에 서비스가 개시될 예정인 4세대 이동통신은, 아직 3세대 서비스가 제대로 이루어지지 않은 상황에서, IMT-2000 진화 시스템 하향링크의 30 Mbps의 전송속도 만으로는 향후 멀티미디어 서비스를 충족하지 못한다는 판단하에, 전세계 주요 업체에서는 정지시 1 Gbps 고속 주행시 100 Mbps의 데이터 서비스를 목표로 이미 4세대 이동통신 시스템 개발에 착수하였다. 4G를 위한 주파수는 2006년에 할당할 예정이며, 3G보다 높은 주파수가 기대되는 가운데 지지국의 수를 최소화하기 위하여, 비 IMT-2000 2 GHz 대역이나, 3~5 GHz 대역이 선정될 것으로 판단된다^{[1][2]}.

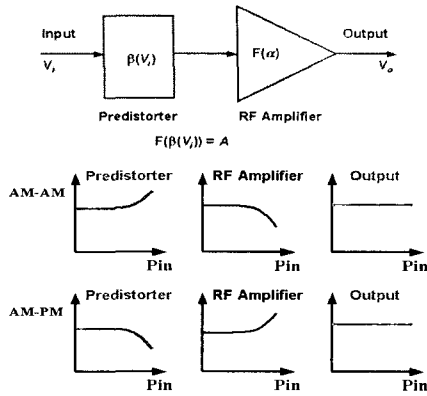
이동통신 서비스의 발달과 함께 진화하고 있는 전력증폭기는 이동통신 단말기의 통화 품질 및 배터리 사용수명에 가장 큰 영향을 주는 핵심 부품이므로 선형성과 효율 특성이 매우 중요하고, 범 세계적 로밍 서비스를 위한 다중모드/대역 기술이 필요하다. 그리고 향후 4G 시스템에서 목표로 하는 고 이동성(High Mobility), 고속 데이터율(High Data Rate) 전송, 다중 표준 연동(Multi-standard Interface)을 위해서는 더욱 우수한 전력증폭기의 선형성, 효율특성,

다중대역 기술이 필요할 것으로 판단된다^[3]. 이에 따라 본 고에서는 최근의 전력증폭기의 선형성과 효율 특성을 향상시키기 위한 기술과 Multi-Standard 단말기를 위한 다중 모드/대역 전력증폭기 기술을 알아보고자 한다.

II. 고선형 전력증폭기 기술

최근의 이동통신은 QPSK(Quadrature Phase Shift Keying), QAM(Quadrature Amplitude Modulation), OFDM(Orthogonal Frequency Division Multiplexing)과 같은 주파수 효율성이 좋은 디지털 변조 기술을 사용하고 있다. 하지만 이러한 신호는 주파수 효율이 좋을수록 큰 PAPR(Peak to Average Power Ratio)을 갖기 때문에 선형 전력증폭기가 필요하게 되고, 더불어 여러 종류의 선형화 기술이 소개되고 있다.

단말기용 전력증폭기는 선형성뿐만 아니라, 효율 특성도 매우 중요하기 때문에 선형성을 개선하면서도 효율 특성을 악화시키지 않는 저전력소모의 선형화 기술이 필요하다. 또한 전력증폭기의 소형/저가화의 추세에 따라서 회로구조가 간단하여 MMIC(Monolithic Microwave Integrated Circuit)에 집적가능하여야 한다. 전력증폭기의 선형화 기법에는 백오프(Back-off), 피드백(Feedback), 피드포워드(Feedforward), 전치왜곡(Predistortion) 등 여러 기술들이 있으나, 위에서 전제된 요구에 적합한 기술로는 전치왜곡 방법이 가장 일반적이다. 전치왜곡기는 전력증폭기와 입력부 사이에 위치하여, 전력증폭기에 의해 발생하는 AM-AM과 AM-PM 특성과 반대되는 비선형 함수



[그림 1] 전력증폭기와 전치왜곡기의 동작

를 [그림 1]과 같이 발생함으로써 선형성을 개선할 수 있다.

초기의 전력증폭기의 전치왜곡 선형화 방법으로는 직렬다이오드와 병렬 다이오드가 소개되었다. 일반적으로 전력증폭기의 AM-AM 왜곡은 부정크기(negative amplitude)를, AM-PM 왜곡은 양성위상(positive phase)을 제공한다. 이를 보상하기 위해 직렬다이오드에 병렬로 연결된 커패시터와 함께 구성된 전치 왜곡기는 전력증폭기의 앞단에 위치한다^[4]. 입력 전력이 증가함에 따라 다이오드의 전류는 커지게 되어, 비선형 등가 저항이 감소하게 되므로 식 (1)의 다이오드의 이득(S_{21})은, positive amplitude와 negative phase를 제공하여 선형성을 개선한다.

$$S_{21} = \frac{2Z_0 Y}{1 + 2Z_0 Y} \quad (1)$$

여기서, $Y = \frac{1}{R} + j\omega C$

병렬다이오드 전치왜곡기는 직렬다이오드와 같이 다이오드의 비선형 특성을 이용한 선형화 기술이다^[5]. RF 입력 전력이 커짐에 따라서 다이오드의 정류 전류는 증가하게 된다. 이 증가된 전류는 다이오드의 바이어스 저항에서의 전압 강하가 커짐으로 인

해 다이오드에 걸리는 전압이 줄어들게 되므로, 다이오드의 등가저항은 입력전력에 따라서 증가하는 비선형 소자가 된다. 따라서 다이오드의 이득(S_{21})은 식 (2)와 같이 표현되며, 병렬다이오드는 입력 전력이 증가함에 따라 positive amplitude와 negative phase를 제공하므로 선형성을 개선한다.

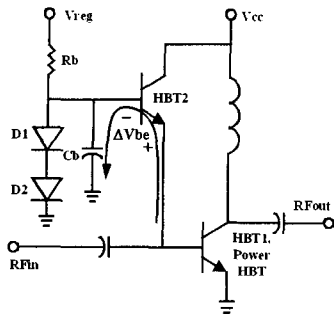
$$S_{21} = \frac{2R}{(2R + Z_0)^2 + (\omega C_j R Z_0)^2} \{ (2R + Z_0) - j\omega C_j R Z_0 \} \quad (2)$$

여기서, $R = \frac{R_d \cdot R_b}{R_d + R_b}$

직렬/병렬 다이오드를 이용한 전치왜곡기는 MM-IC에 집적가능한 회로이지만, 여전히 DC 차단(Block) 커패시터나 RFC(RF Choke) 등의 사용으로 칩 1면적이 증가하게 되며, 사용되는 DC 전류의 소모 또한 1~2 mA로 작지만 존재하게 된다. 또한 삽입손실이 3 dB 정도로 전력증폭기의 이득(Gain)의 감소를 초래하게 되는 문제점이 있다.

이러한 문제점을 해결하는 방법으로써, 바이어스 회로의 전류 드라이버 트랜지스터의 베이스-에미터 다이오드를 이용한 전치왜곡 선형화기가 소개되었다^[6]. 이 기술도 직렬/병렬 다이오드와 같이 비선형 가변저항을 이용한 선형화 기법이다. 출력 전력이 커짐에 따라서 선형화기의 저항(Resistance)은 감소하게 되어, 증폭기의 베이스 전압을 상승시켜 주어서 이득이 증가하게 되므로 큰 출력 전력에서의 이득 압축(Gain Compression) 현상을 방지해준다. 이 선형화기는 포화(Saturation) 출력 전력을 0.7 dB, 인접 채널 누설비(ACLR, Adjacent Channel Leakage Ratio)를 3 dB 향상시켰다. 하지만 이 바이어스회로 구성은 외부 공급전압의 변화에 민감하게 반응하고, AB 급 동작에 의한 전력증폭기의 베이스 전류의 증가는 다이오드의 동작전압을 감소시키는 문제점이 있다.

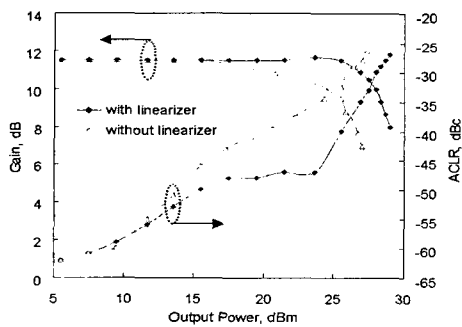
이 문제를 극복할 수 있는 회로로써, 능동 바이어스 회로에 병렬 커패시터를 이용한 전치왜곡기가 제



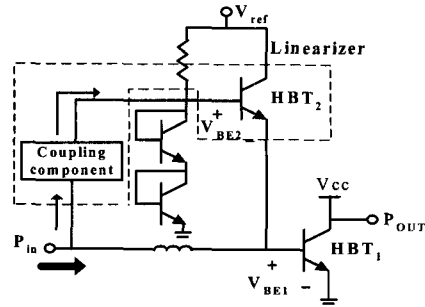
[그림 2] 병렬 커패시터를 이용한 전치왜곡기

시되었다^{[7],[18]}. [그림 2]에서 HBT2의 베이스-에미터 다이오드와 커패시터 Cb는 선형화기를 구성한다. 병렬 커패시터 Cb는 HBT1의 베이스 전류 드라이버 트랜지스터 HBT2로의 임피던스를 줄여준다. 즉 선형화기로의 임피던스를 줄여들게 되어 약 0.3 dB의 작은 삽입 전력 손실이 생기게 된다. 이 손실에 의해 HBT2의 베이스-에미터단에 $-\Delta V_{be}$ 만큼의 전압강하가 생기게 되어, 전력증폭기 HBT1의 베이스 전압을 증가시켜 선형성을 제공하게 된다. [그림 3]은 전력증폭기의 출력단의 측정된 Gain과 ACLR이다. 선형화기가 있는 경우 출력 1 dB(1 dB Gain Compression Point)는 5 dB 개선되었고, 출력전력 27 dBm에서의 ACLR은 7 dB 개선되었다.

전력증폭기 HBT1의 베이스 전압 감소를 보상하기



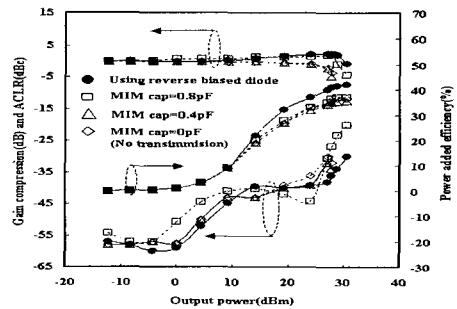
[그림 3] 병렬 커패시터가 있는 경우와 없는 경우의 측정된 Gain과 ACLR



[그림 4] 결합 소자를 이용한 전치왜곡기

위하여 전류 드라이버 트랜지스터 HBT2의 베이스-에미터 전압을 제어하는 방법으로 [그림 4]와 같이 결합소자를 이용한 선형화 방법이, 결합소자를 커패시터를 이용하는 방법과^[8], 역 다이오드를 이용하는 방법^[9] 제시되었다.

RF 입력부와 드라이버 트랜지스터의 베이스 사이에 연결된 결합 소자는 입력 전력이 증가함에 따라서, HBT2의 베이스-에미터 전압이 감소하게 되어, 전력증폭기 HBT1의 감소된 베이스-에미터 전압을 보상하게 되어 선형성을 확보하는 기술이다. 결합소자를 커패시터를 이용하는 경우에 비해 역 다이오드를 사용하게 되면, 입력 전력 레벨이 커질수록 역 다이오드의 커패시턴스가 증가하고 등가저항은 감소하는 보다 효율적인 능동 선형화기로 동작한다.



[그림 5] 결합소자 0, 0.4, 0.8 pF의 커패시터를 이용하는 경우와 역 다이오드를 이용한 경우의 측정된 Gain compression, ACLR, PAE

<표 1> 전치왜곡기의 성능

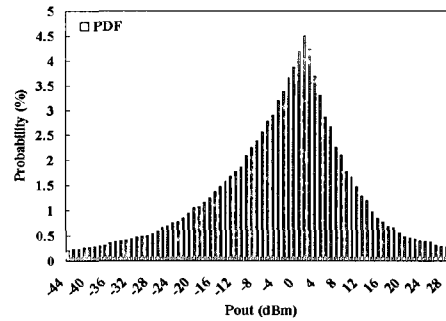
기술	PldB개선 (dB)	ACLR 개선(dB)	PAE개선 (%)
직렬다이오드	1.2	5	NA
병렬다이오드	~0	5	8.5
바이어스다이오드	~0	3.6	-0.5
병렬커패시터	5	7	4.3
커패시터결합	2	4	0
역다이오드 결합	3.7	7.5	5

[그림 5]에 결합소자를 이용한 전치왜곡기의 측정된 Gain Compression, ACLR, PAE(Power Added Efficiency)를 도시하였다. 0.8 pF의 커패시터를 사용하는 경우 출력 P1 dB는 2 dB, ACLR은 4 dB 향상되었고, 역 다이오드를 이용하는 경우 출력 P1dB는 3.7 dB, ACLR은 7.5 dB 증가하였다.

<표 1>에 전치 왜곡기 기술들의 성능을 요약하였다. 병렬 커패시터와 역 다이오드 결합을 이용한 전치왜곡기는 삽입전력손실이 작으면서, 추가의 DC 전력 소모가 필요 없으면서도 MMIC에 작은 면적으로 집적가능하며, P1 dB와 ACLR을 개선함과 동시에 PAE도 개선하는 가장 진보된 기술로 파악된다.

III. 고효율 전력증폭기 기술

전력증폭기는 이동통신 단말기에서 가장 큰 전력을 소모하는 소자이므로, 전력증폭기의 효율 특성이 중요하다. 최근에는 IS-95 CDMA 단말기의 출력 전력이 사용되는 빈도에 따라 통계치로 표시하여, 이를 근거로 효율을 향상 시키는 방법이 많이 연구되고 있다. [그림 6]은 IS-95 CDMA 표준에 대한 전력증폭기 출력의 PDF(Probability Distribution Function)를 보여주고 있다. 최대 출력 전력이 CDMA 전력증폭기의 중요한 특성임에도 불구하고, 증폭기는 0 dBm 근처의 낮은 출력에서 대부분 동작하게 된다.



[그림 6] IS-95 CDMA 도시 환경에 근거한 전력증폭기 확률분포함수(PDF)^{[10]~[11]}

28 dBm 출력의 확률은 0.2 %이지만, 0 dBm 출력에서는 3 % 이상으로 훨씬 높음을 알 수 있다. 따라서 CDMA 이동통신 단말기의 효율을 향상시키기 위해서는, 최대출력 영역에서의 효율 개선과 함께, 저출력 전력 레벨(Level)에서 전력증폭기의 효율을 향상시키는 것이 중요하다.

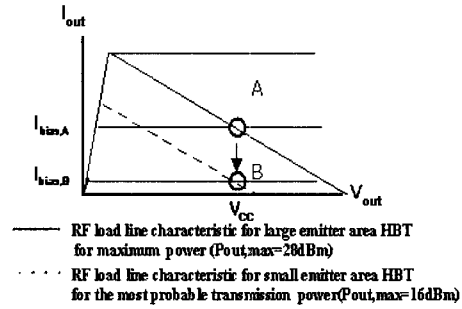
고효율 전력증폭기를 위하여 출력 전력에 따라 바이어스(콜렉터 혹은 드레인) 공급 전압을 제어한 결과들이 최근 많이 보고되었다. 검파기(Detector)를 사용하여 입력 혹은 출력부에서 신호의 크기를 감지하고, DC-DC 컨버터(Converter) 혹은 Class S 변조기(Modulator)를 사용하여 출력 전력 레벨에 따라 가변 바이어스 전압을 제공한다^{[12],[13]}. 출력 전력 레벨에 따라 가변 바이어스 전압을 공급함으로써, 전력증폭기가 모든 전력 레벨에서 포화영역 근처에서 동작하므로 효율 개선 효과가 우수하다. 기본적으로 DSP 혹은 검파기에서 입력 신호의 크기에 대한 정보를 받아 DC-DC 컨버터를 제어하여 바이어스 공급 전압을 출력에 따라 동적으로 공급하게 된다. 16 dBm 출력에서 20 % 이상의 효율을 나타내고 있으며, 전체 효율은 1.4배 증가되었다^[12]. 바이어스 전압을 변조하는 Class S 변조기(스위칭 DC-DC 컨버터)를 적용한 경우 고정 바이어스를 사용했을 때보다 ET

(Envelope Tracking)기술을 적용하였을 때 저출력에서 전류 소모가 현저히 줄어들었음을 알 수 있다. 평균전력사용 효율은 고정바이어스 전압 2.2 %에서 ET 방법을 적용했을 때 11.4 %로 5배 성능 개선 효과를 보인다^[13].

스위치를 이용한 기술로는 이단(Two Stage) 전력 증폭기 중간에 적용하여, 낮은 출력에서는 첫번째 단만을 사용하는 바이패스 방법이 소개되었다^[14]. 이 기술을 적용했을 때 성능 개선 효과는 평균전력사용 효율로 9.5 %로 적용하지 않았을 때의 2.07 %에 비교하여 4.5배 개선 효과가 있다. 효율 개선 효과가 우수하지만, 출력단 전후에 스위치의 삽입으로 인해 이득 손실이 불가피하고, 고선형 스위치가 사용되지 않으면 선형성이 나빠질 우려가 있으며 MMIC에 집적할 경우 칩 면적이 크게 증가하게 된다.

상기 기술들은 효율 특성이 아주 우수함에도 불구하고 부가적인 소자로 DC-DC 컨버터, Class S 변조기, 검파기, 커플러, 스위치 등이 필요하게 되므로 고가이며 모듈의 크기가 커지는 문제로 인하여 이동통신 단말기용 전력증폭기에 쉽게 적용되기 어려운 기술이다.

최근 전력증폭기모듈(Power Amplifier Module, PAM)은 동작점 전류(Quiescent Current, I_q)를 고출력 모드와 저출력모드 동작에서 서로 다른 값을 사용한 스마트 전력증폭기(Smart PAM) 제품이 출시되고 있다(RFMD, Skyworks, Anadigics). 저출력모드에서는 작은 동작점 전류를 사용하여 효율을 증가시키는 기술로, 동작점 전류 선택회로를 이용하는 기술이다^[15].^[16] 동작방법으로는 MSM 모델에서 공급하는 제어 신호에 따라 바이어스 전류를 제어회로 쪽으로 바이패스시켜 동작점 전류를 선택하는 방법과, 제어신호에 의해 제어회로가 바이어스 전류를 주입함으로써 동작점 전류를 선택하는 방법이 있다. 평균 전력사용효율은 제어회로가 적용되었을 때 바이어스 전류 바이패스(바이어스 전류주입) 방법의 경우 5.94(5.8) %



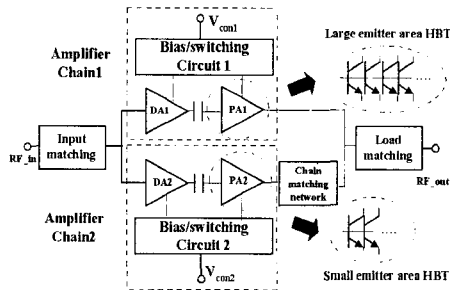
[그림 7] 최대 출력과 사용빈도가 높은 출력에 대한 로드라인. 점 A는 큰 에미터 면적의 HBT의 동작점, 점 B는 작은 면적의 HBT의 동작점

이며 적용되지 않았을 때 3.58(4.1) %로 1.6(1.4)배 향상되었다. 효율 개선효과가 그다지 우수하지 않지만 제어회로의 부가적인 DC 전력소모가 거의 없으며, 저가의 소형화 제작이 가능하다.

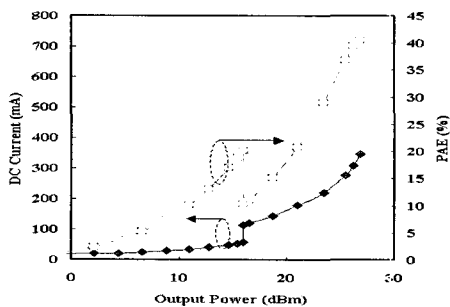
효율 특성이 아주 우수하면서도 저가의 소형화 제작이 가능한 기술로써, 출력 레벨에 따라 트랜지스터의 에미터 면적을 달리하여, P1 dB가 서로 다른 트랜지스터 면적을 병렬로 구현함으로써 효율을 향상시킨 Dual Chain MMIC 전력증폭기 기술이 소개되었다^[17]. Dual Chain 전력증폭기는 트랜지스터의 에미터 면적을 병렬로 묶어, [그림 8]에서와 같이 증폭기 2(Amplifier Chain 2)는 16 dBm 정도의 P1 dB에 최적화된 저출력 증폭기이며, 증폭기 1(Amplifier Chain 1)은 28 dBm 이상의 P1 dB 성능을 제공하는 고출력 증폭기이다. [그림 7]은 Dual Chain 전력증폭기의 에미터 면적에 따른 로드라인을 보이고 있다. 동작점 A의 경우 28 dBm 출력에 적합한 큰 에미터 면적의 RF 로드라인 특성을, 동작점 B는 16 dBm과 같은 낮은 출력에 적합한 로드라인 특성이다. 즉, 에미터 면적을 달리하여 전력증폭기의 P1dB를 제어함으로써 낮은 출력일 때 P1dB 근처에서 동작시켜 효율 성능 개선 효과가 아주 우수하다. 이 구조는 별도의 부가적인 회로가 필요하지 않기 때문에 MMIC 전력증폭

기 크기를 소형($1\text{ mm} \times 1.2\text{ mm}^2$)으로 제작되었다. 트랜지스터 출력단의 병렬연결 구조간의 출력 손실을 방지하기 위해 격리(Isolation) 특성을 높이는 것이 요구되므로 출력 매칭 구조가 중요하다. PA1과 PA2가 각각 출력 레벨에 따라 최적의 에미터 면적으로 구성되어 있다. [그림 9]에서는 Dual Chain MMIC 전력증폭기의 측정된 DC 전류 및 PAE를 나타내었다. 16 dBm 출력에서 21 %의 PAE를, 이때 소모된 DC전류는 54 mA로, 효율 면에서는 300 % 성능 향상을 보인다. 평균전력사용 효율의 경우도 12.9 %로 일반적인 방법 4.2 %에 비교하여 3배 이상의 효과를 얻을 수 있다.

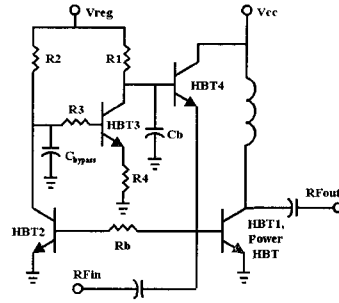
외부 제어 신호가 필요없는 고효율 전력증폭기로



[그림 8] 단일 매칭 회로로 구현된 Dual Chain MMIC 전력증폭기 구조



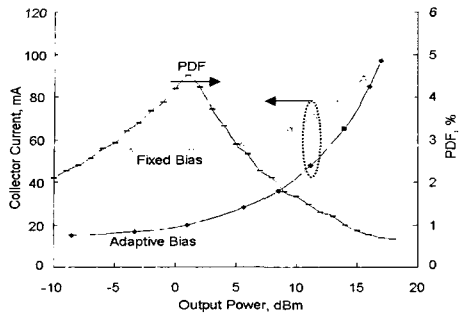
[그림 9] Dual Chain MMIC 전력증폭기의 측정된 DC 전류 및 전력 부가 효율



[그림 10] 능동 바이어스 제어회로

써, 지능형(Intelligent) 능동 바이어스 제어회로 기술이 있다^[18]. 전력증폭기에 작은 입력 전력이 인가되면 작은 동작점 전류로 동작하여 효율을 향상시키고, 입력 전력이 커짐에 따라서 동작점 전류를 자동적으로 커지게 하여 큰 출력전력에서 선형성을 개선하는 기술이다.

[그림 10]은 능동 바이어스 제어 회로이다. 트랜지스터 HBT2는 전력증폭기에 인가되는 입력 신호를 검출한다. 저항 Rb의 값과 HBT2의 면적은 검출기 HBT2로 인가되는 파워의 양을 결정한다. HBT1과 HBT2가 AB급으로 동작하기 때문에 HBT2의 콜렉터 전류(I_{C2})는 입력파워가 증가함에 따라서 증가하게 되고, HBT2에 의해 증폭된 신호는 커패시터 C_{bypass} 에 의해 바이패스 된다. 증가된 HBT2의 콜렉터 전류(I_{C2})는 HBT3의 베이스 전압을 감소시키므로, HBT3의 콜렉터 전류는 감소하게 된다. 따라서 감소된 HBT3의 콜렉터 전류(I_{C3})는 HBT4의 베이스 전압(V_{B4})을 증가시키게 되어, HBT4의 에미터 전류와 증폭기 HBT1의 콜렉터 전류(I_{C1})은 증가하게 된다. 그러므로 능동 바이어스 회로의 동작점 전류는 입력파워가 증가함에 따라서 증가하게 되므로, 파워 레벨이 낮은 영역에서는 고효율 특성을 얻어 평균전력사용 효율을 증가시키고 동시에, 높은 출력 파워 영역에서는 큰 동작점 전류가 사용되어 고 선형성을 얻을 수 있는 기술이다.



[그림 11] 출력파워에 대한 고정 바이어스회로와 능동 바이어스 제어회로를 적용한 전력증폭기의 측정된 컬렉터 전류, 그리고 IS-95 CDMA 도시 환경에서의 전력증폭기 PDF

<표 2> 고효율 기술의 비교

기술	평균전력사용효율(%)		PAM Complexity
	적용전	적용후	
바이어스 공급전압제어	2.2	11.4	높음
바이패스	2.07	9.5	중간
바이어스전류제어	3.6	5.9	낮음
Dual Chain	4.2	12.9	낮음
능동바이어스	6.1	11.82	낮음

[그림 11]에서와 같이 출력파워 17 dBm 이하에서 측정된 전력증폭기의 컬렉터 전류는 능동 바이어스 제어 회로를 사용한 경우 작은 전류로 동작되므로, 전력증폭기가 확률적으로 가장 많이 사용되는 출력 파워 영역에서 효율을 증가시켜 평균전력사용 효율은 11.82%로, 고정바이어스 회로의 경우 6.1%에 비해 1.9배 이상 증가하였다.

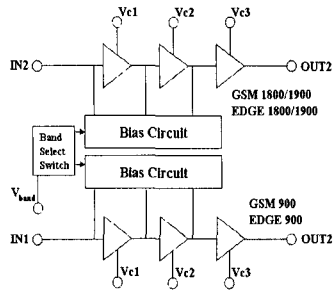
<표 2>에 각각의 고효율 기술을 평균전력사용 효율과 전력증폭기모듈(PAM)의 복잡성(Complexity)을 정리하였다. 바이어스 공급전압 제어회로와 스위치를 이용한 바이패스 고효율 전력증폭기 기술은 효율 특성이 우수하지만, 복잡성으로 인하여 고가와 큰 모듈의 크기로의 구현이 불가피하며, 바이어스 전류

제어기술은 효율특성이 그다지 우수하지 않다. 반면 Dual Chain 전력증폭기와 지능형 능동바이어스회로 기술은 저가, 소형으로 구현이 가능하면서도 효율 특성이 우수하다. 고효율 전력증폭기 기술은 현재 가장 중요한 이슈일 뿐만 아니라, 앞으로도 지속적인 연구와 발전이 필요하다고 판단된다.

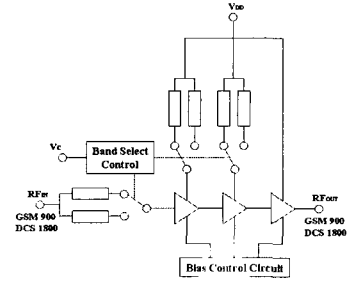
IV. 다중모드/대역 전력증폭기 기술

다중모드/대역 기술에 대한 연구는 최근 몇 년 사이에 이동통신산업에서 중요한 이슈로 떠오르고 있다. 이동통신의 진보와 함께 단말기는 다중모드(AMPS, GSM, DCS, CDMA, TDMA)와 다중대역(800 MHz, 900 MHz, 1,800 MHz, 1,900 MHz)을 동시에 사용할 수 있는 이른바 범 세계적 로밍 서비스의 기능을 수행할 수 있는가가 쟁점으로 떠오르게 되었다. 기저대역(Base Band)과 아날로그(Analog) 회로의 경우에는 ULSI(Ultra Large-Scale Integration)를 이용하여 큰 어려움 없이 다중모드와 다중대역을 만족시킬 수 있지만, RF 회로의 경우 특히 전력 증폭기는 각각의 모드와 대역에 따라 서로 다른 바이어스 및 정합 구조가 필요하므로 많은 연구가 필요하다. 따라서 그동안 연구되었던 다중대역 전력 증폭기의 최근 연구 결과들에 대해 알아보도록 한다.

그동안 연구되어 왔던 다중대역 전력증폭기의 구조는 각각의 원하는 주파수 대역에 맞는 증폭기들이 하나의 MMIC에 평행 배치된 형태이다^{[19],[20]}. [그림 12]는 병렬 구조 GSM(Global System for Mobile)/EDGE(Enhanced Data Rates for Global Evolution), 900/1,800/1,900 MHz 삼중대역(Triple-Band) 전력증폭기 회로이다^[19]. 각각의 대역에 따라 다른 바이어스와 정합회로를 가지며, 출력전력에 따른 최적화된 트랜지스터의 에미터(Emitter) 면적이 사용되었고, <표 1>에 각각의 모드와 대역에 따른 출력파워(Pout)와 효율(PAE) 특성을 정리하였다. 하지만 구조적 특성상



[그림 12] 병렬 구조 GSM/EDGE, 900/1800/1,900 MHz 삼중대역 전력증폭기



[그림 13] 단일체인 GSM900/DCS1800 양대역 전력증폭기

<표 3> 모드/대역에 따른 Pout, PAE

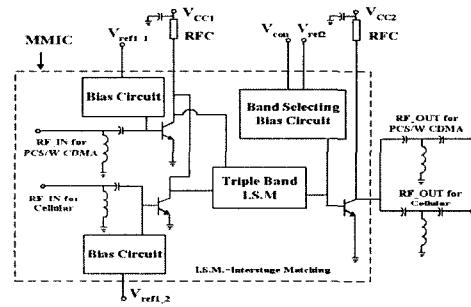
구분	900 MHz		1,800/1,900 MHz	
GSM	Pout	35.5 dBm	Pout	33.4 dBm
	PAE	50 %	PAE	45 %
EDGE	Pout	29.5 dBm	Pout	28.5 dBm
	PAE	25 %	PAE	25 %

단일대역 전력증폭기에 비해 칩과 모듈 크기가 두 배 정도 커지게 되며, 그에 따라 가격 또한 증가하게 되는 단점이 있다.

다른 형태의 다중대역 전력증폭기로 [그림 13]에서와 같이 스위치를 이용한 단일체인(Single-chain) 구조가 소개되었고^[21], 입력정합부와 RFC는 대역선택제어회로(Band Select Control)에 의하여 원하는 대역이 선택되어 동작한다. 동작 트랜지스터를 하나의 구조로 사용함으로써 칩과 모듈 크기를 줄여주어, 저가로 구현될 수 있는 기술이다. <표 4>는 각각의 모드와 대역에 따른 Pout과 PAE 특성을 정리하였다. 하지만, 대역 선택을 위한 스위치의 사용으로 인한

<표 4> 모드/대역에 따른 Pout, PAE

GSM 900 MHz		DCS 1,800 MHz	
Pout	35 dBm	Pout	32.5 dBm
PAE	48 %	PAE	44 %



[그림 14] 공통 출력단을 갖는 삼중대역 전력 증폭기

손실(Loss)에 의해 전력증폭기의 이득이 감소하게 된다.

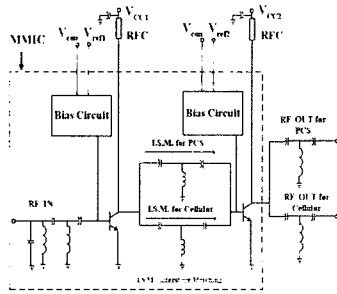
이러한 문제점을 해결하는 방법으로써, 대역 선택을 위한 스위치를 사용하지 않으며, 전력증폭기 MMIC에서 가장 많은 면적을 차지하는 출력단 트랜지스터를 공통으로 사용하는 방법이 소개되었다^[22]. [그림 14]는 공통 출력단을 갖는 삼중대역 전력증폭기 회로이다. 각각의 주파수 대역에 따라 2개의 입력/출력 포트가 구성되며, 드라이브단 출력포트에서 하나로 이어지는 공통의 출력단이 존재하며, 출력정합회로는 각각의 대역에서 최대의 출력전력과 효율을 얻을 수 있도록 개별 정합회로를 사용하였다. 제작된 MMIC의 크기는 $0.96 \times 1.0 \text{ mm}^2$ 으로 기존의 단일대역 전력 증폭기에 비해 크게 증가하지 않았다. Cellular 대역에서는 PCS/W-CDMA 대역에 비해 낮

<표 5> 대역에 따른 Pout, PAE, Iq

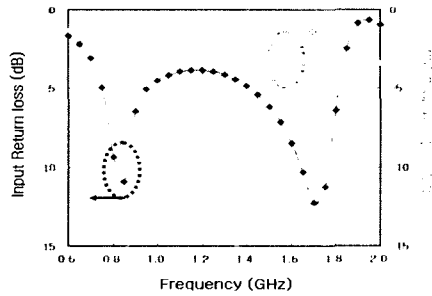
구분	Cellular 850 MHz	PCS 1,750 MHz	W-CDMA 1,950 MHz
Pout	29.2 dBm	29.6 dBm	29.4 dBm
PAE	46 %	35 %	35 %
Iq	50 mA	95 mA	95 mA

<표 6> 대역에 따른 Pout, PAE, ACPR, Iq

구분	Cellular 850 MHz	PCS 1,750 MHz
Pout	30 dBm	29 dBm
PAE	42 %	37 %
ACPR	-51 dBc	-48 dBc
Iq	60 mA	85 mA



[그림 15] 단일입력 단일경로 Cellular/PCS 양대역 전력증폭기



[그림 16] 드라이브단의 입력반사손실(S_{11})과 출력 반사손실(S_{22})

은 동작점 전류로 동작시키기 위해서, 대역선택회로(Band Selecting Circuit)를 사용하였다. <표 5>에 각각의 대역에 따른 Pout, PAE, Iq를 정리하였다.

더욱더 개선된 구조로써, 드라이브단과 출력단의 트랜지스터를 공통으로 사용하고, 각 대역에서 최적화된 입력/출력 정합을 통해 MMIC 면적을 최소화하는 단일입력(Single-input) 단일경로(Single-chain) Ce-

llular/PCS 양대역 전력증폭기가 [그림 15]와 같이 소개되었다^[23]. 입력정합회로를 이중-L구조와 병렬 커패시터의 구성으로 양대역(Cellular/PCS)의 입력반사손실(S_{11})을 만족시킬 수 있으며, 두 경로의 단간정합(Inter-Cellular) 대역의 낮은 동작점 전류를 위해 대역선택회로(Band Selecting Circuit)를 드라이브단과 출력단 모두 사용함으로써 대역에 따른 알맞은 동작점 전류를 공급할 수 있다. <표 6>에 각각의 대역에 따른 Pout, PAE, 인접채널전력비(Adjacent Channel Power Ratio, ACPR) 그리고 Iq를 정리하였다.

참 고 문 헌

- [1] Joseph M. Nowack, "A 4G Experimental System in Motorola Labs", *IEEE MTT-S Workshop on Beyond 3G*, Jun. 2003.
- [2] 이석규, 장경희, 황승구, "ETRI 4세대 무선정송 시스템:HMM 개발 동향", ETRI, 전자통신동향분석, 17(5), 2002년 10월.
- [3] Lawrence E. Larson, "The Impact of Emerging 4G Systems on the Performance and Complexity Requirements of RFICs", *IEEE MTT-S Workshop on Beyond 3G*, Jun. 2003.
- [4] Kazuhisa Yamauchi et al., "A Novel Series Diode Linearizer for Mobile Radio Power Amplifiers", *IEEE MTT-S. Int. Microwave Symp. Dig.*, vol. 2, pp. 831-834, Jun. 1996.
- [5] Kazuhisa Yamauchi et al., "A Microwave Minia-

-
- turized Linearizer Using a Parallel Diode", *IEEE MTT-S. Int. Microwave Symp. Dig.*, vol. 3, pp. 1199-1202, Jun. 1997.
- [6] H. Kawamura et al., "A Miniature 44 % Efficiency GaAs HBT Power Amplifier for the W-CDMA application", *IEEE GaAs IC Symposium Technical Digest*, pp. 25-28, Nov. 2000.
- [7] Y. S. Noh, C. S. Park, "PCS/W-CDMA Dual Band MMIC Power Amplifier with A Newly Proposed Linearizing Bias Circuit", *IEEE Journal of Solid State Circuits*, vol. 2, pp. 1096-1099, Sep. 2002.
- [8] Joon H. Kim, Ji H. Kim, Youn S. Noh and Chul S. Park, "Linearised HBT MMIC power amplifier with partially RF coupled active bias circuit for W-CDMA portable terminals applications", *IEE Electronics Letters*, vol. 39, no. 10, pp. 781-783, May 2003.
- [9] Joon H. Kim, Ji H. Kim, Y. S. Noh and C. S. Park, "MMIC Power amplifier with On Chip Adaptive Predistortion Function for W-CDMA Mobile Terminals", *accepted for IEICE Transactions on Electronics*, 2003.
- [10] J. F. Sevic, "Statistical characterization of RF power amplifier efficiency for CDMA wireless communication systems", *1997 IEEE Wireless Communications Conference*, pp. 110-113, Aug. 1997.
- [11] T. Fowler et al., "Efficiency improvement techniques at low power levels for linear CDMA and WCDMA power amplifiers", *IEEE RFIC Symp. Dig.*, pp. 41-44, Jun. 2002.
- [12] M. Ranjan et al., "Microwave power amplifiers with digitally-controlled power supply voltage for high efficiency and high linearity", *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 493-496, Jun. 2000.
- [13] J. Staudinger, "An Overview of Efficiency Enhancements With Application To LinearHandset Power Amplifiers", *IEEE RFIC Symp. Dig.*, pp. 45-48, Jun. 2000.
- [14] J. Staudinger, "Applying Switched Gain Stage Concepts to Improve Efficiency and Linearity for Mobile CDMA Power Amplification", *Microwave Journal*, vol. 43, no. 9, pp. 152-162, Sep. 2000.
- [15] Ji H. Kim, Joon H. Kim, Youn S. Noh, Song G. Kim and Chul S. Park, "PAE Improvement of PCS MMIC Power Amplifier with A Bias Control Circuit", *IEICE transaction on Electronics*, vol. E86-C, 2002.
- [16] Y. S. Noh, Ji H. Kim, Joon H. Kim and C S. Park, "A MMIC power amplifier with on-chip bias current controlling circuit For W-CDMA mobile handset", *IEE Electronics Letters*, vol. 38, issue. 25, pp. 1686-1688, Dec. 2002.
- [17] Joon H. Kim, Ji H. Kim, Y. S. Noh and C. S. Park, "An InGaP/GaAs HBT MMIC Smart Power Amplifier For W-CDMA Mobile Handsets", *IEEE Journal of Solid State Circuits*, vol. 8, pp. 905-910, 2003.
- [18] Y. S. Noh, C. S. Park, "An Intelligent Power Amplifier MMIC Using A New Adaptive Bias Control Circuit For W-CDMA Applications", *submitted to IEEE Journal of Solid State Circuits*, 2003.
- [19] K. Yamamoto et al., "A GSM/EDGE Dual-Mode, 900/1800/1900-MHz Triple-Band HBT MMIC Power Amplifier Module", *IEEE RFIC Symp. Dig.*, pp. 245-248, 2002.
- [20] Pierre Savary et al., "Dual-Band Multi-Mode Power Amplifier Module Using A Third Generation HBT Technology", *IEEE GaAs IC Symposium Technical Digest*, pp. 71-74, 2001.
- [21] A. Adar et al., "A High-Efficiency Single-Chain

GaAs MESFET MMIC Dual-Band Power Amplifier for GSM/DCS Handsets", *IEEE GaAs IC Symposium Technical Digest*, pp. 69-72, 1998.

[22] K. Y. Kim, J. H. Kim, Y. S. Noh and C. S. Park, "A Common Power-Stage Cellular/ PCS/W-CDMA Triple-Band MMIC Power Amplifier", *IEEE RAW*

CON, pp. 285-288, 2003.

[23] K. Y. Kim, J. H. Kim, Y. S. Noh and C. S. Park, "Cellular/PCS Dual-Band MMIC Power Amplifier Of A Newly Devised Single-Input Single-Chain Network", *accepted for IEEE GaAs IC Symposium Technical Digest*, 2003.

≡ 필자소개 ≡

노 윤 섭



2000년 2월: 전북대학교 전자공학과 (공학사)

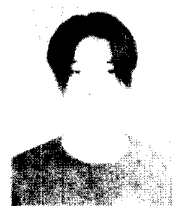
2001년 8월: 한국정보통신대학원대학교 전자공학 (공학석사)

2001년 8월~현재: 한국정보통신대학원대학교 전자공학 박사과정

[주 관심분야] RF/Microwave 전력증폭

기 비선형 분석, 고효율/고선형 MMIC 전력증폭기

김 기 영



2002년 2월: 포항공과대학교 신소재공학과 (공학사)

2002년 3월~현재: 한국정보통신대학원대학교 전자공학 석사과정

[주 관심분야] 단말기용 다중대역 전력 증폭기 설계

김 지 훈



2001년 2월: 영남대학교 전기공학과 (공학사)

2003년 2월: 한국정보통신대학원대학교 전자공학 (공학석사)

2003년 3월~현재: 한국정보통신대학원대학교 전자공학 박사과정

[주 관심분야] RF/Microwave 고효율 전력증폭기, 5GHz Wireless LAN 전력증폭기

박 철 순



1980년 2월: 서울대학교 금속공학과 (공학사)

1982년 2월: 한국과학기술원 재료공학과 (공학석사)

1985년 2월: 한국과학기술원 재료공학과 (공학박사)

1985년 2월~1999년 1월: 한국전자통신

연구원 반도체연구단 선임연구원/책임연구원/실장

1999년 1월~현재: 한국정보통신대학교 공학부 부교수

[주 관심분야] 무선 및 광통신 회로, LTCC 3차원 집적 RF 시스템, RF 마이크로 시스템 등.