

마이크로 전자패키지용 Printed Wiring Board의 솔더레지스트공정에 따른 열적특성

이효수

삼성전기 기관연구소

Thermophysical Properties of PWB for Microelectronic Packages with Solder Resist Coating Process

Hyo Soo Lee

The Korean Institute of Metals and Materials, 4F, East Wing,
POSCO Center, 892 Daechi-4 dong, Kangnam-gu, Seoul 135-777, Korea
Samsung Electro-Mechanics Co., LTD. 581, Myunghak-Li,
Dong-Myon, Yeongi-Gun, Chungcheongnam-Do, 339-702, Korea

초 록: 최근 인쇄회로기판(printed wiring board, PWB)은 마이크로 전자패키지분야에서 디자인 또는 제조측면에서 핵심기술로 인식되고 있다. PWB는 열적특성이 다른 여러 재료가 적층되어 있는 구조이고 제조공정을 지나는 동안에 각 층의 재료는 서로 다른 열팽창률을 나타나게 되어 워피지, 수축, 크기 등의 많은 불량을 발생시킨다. PWB의 열변형 특성은 제조공정 변수 중 솔더레지스트의 부피변화에 의하여 많은 영향을 받으므로 본 연구에서는 각각 2층, 4층 PBGA 및 CSP의 열변형 특성을 솔더레지스트 공정에 따라 분석하고자 하였다. 솔더레지스트의 부피분율이 30%이상일 경우, 2층 PWB의 열변형이 4층 PWB보다 최대 40%로 높게 측정되었다. 이와 같은 이유는 4L PWB는 고인성 특성을 지닌 프리프레그와 동박이 추가적으로 적층되어 있으므로 솔더레지스트의 열변형을 상쇄시키기 때문이다. 반면에 솔더레지스트의 부피분율이 30%이하일 경우, PWB의 층수 및 디자인에 관계없이 유사한 열변형 특성을 나타내었다.

Abstract: Recently, PWB(Printed Wiring Board) has been recognized in the field of microelectronic package as core technology for designing or manufacturing. PWB is the structure stacked by several materials with different thermophysical properties, which shows the different CTEs(Coefficient of Thermal Expansions) during the fabrication process and causes a lot of defects such as warpage, shrinkage, dimension, etc. Thermal deformation of PWB is affected mainly by the volume change of solder-resist among fabrication parameters. Therefore, thermal deformation of PBGA and CSP consisting of 2 layers and 4 layers was studied with solder-resist process. When over 30% in volume fraction of solder-resist, thermal deformation of 2-layered PWB was max. 40% higher than that of 4-layered PWB because 4-layered PWB contained the layer with high toughness such as prepreg, which counterbalanced the thermal deformation of solder-resist. Otherwise, when below 30%, PWB showed similar thermal deformation without regard to layers and design.

Keywords: Warpage, Thermal deformation, PWB, Microelectronic packaging, CTE.

1. 서 론

최근 인쇄회로기판(printed wiring board, PWB)

은 마이크로 전자패키지 분야에서 디자인 또는 제조 측면에서 핵심기술로 인식되고 있다¹⁾. PWB의 구조는 코어인 유리강화 플라스틱과 전기적으로

통전역할을 하는 전해 동박이 적층되어 있으며 최종적으로 전기적 절연 역할을 하는 솔더레지스트가 도포 되어 있는 복합구조이다²⁾. 서로 다른 열적특성을 지닌 각 구성층이 적층되어 있으므로 PWB 제조공정을 지나는 동안에 각 층의 재료는 서로 다른 열팽창을 나타내게 된다. 즉, 각 구성층간의 열팽창계수의 차이로 인하여 PWB의 워피지 불량 발생한다³⁾. 워피지는 와이어본딩공정 또는 솔더링공정 중에 반도체 칩과 PWB 사이의 위치 편차를 초래할 수 있으며 솔더볼의 피로파괴를 유도할 수 있으므로 PWB의 워피지는 반드시 최대한으로 제어해야 한다⁴⁾.

PWB의 워피지는 솔더레지스트공정, 반도체 칩실장공정 또는 신뢰성 평가공정과 같은 반복되는 온도 사이클 공정에 의하여 더욱 악화된다⁵⁾. 그러나 PWB의 워피지를 분석하거나 예측하는 것은 쉽지 않다. 이러한 원인은 각 구성재료의 열적특성이 다르며, 공정 중에 구성재료의 부피변화가 있고, PWB 제품 및 디자인에 따라 워피지 현상이 의존되기 때문이다⁶⁾. 최근에는 ultra-thin(UT) CSP, fine ball grid array(FBGA), board-on-chip(BOC), system-in-package(SIP)와 같은 첨단 실장기술이 발달함에 따라서 PWB의 고신뢰성에 관한 요구가 증가하고 있다⁷⁾. 특히, PWB의 워피지는 최종 전자부품의 신뢰성을 좌우하는 중요한 요소이다. 그러나, PWB의 워피지에 관한 이해가 어렵기 때문에 PWB 제품에 워피지가 발생하여도 재제작을 하거나, 외부압력으로 워피지를 조절하는 방법으로 해결하여 왔으며 그 주요한 원인분석에 관해서는 일반적으로 간과하여 온 것이 사실이다. 이런 방식의 해결방법은 PWB 제품 개발의 시간을 소비하여 왔으며 고객에 관한 신뢰도를 급격히 떨어뜨리는 결과를 가져왔다. PWB 산업의 주요특성은 고객의 기술발전방향에 따라 의존되기 때문에 고객의 높은 신뢰는 PWB 분야의 시장점유율 향상을 나타낸다. 따라서, 고객의 신뢰도를 떨어뜨리는 그동안의 임시적 문제 해결방법은 부적절하였다⁸⁾. 본 연구에서는 워피지 불량의 주요한 원인을 이해할 수 있는 PWB 구성재료의 열적특성과 PWB 제품의 워피지의 상호관계를 제시하고자 하였다⁹⁾.

PWB의 제조공정은 적합한 온도조건 하에서 크게 레이업(lay-up), 프레스, 드릴, 에칭, 도금, 솔더레지스트 코팅, 라우팅의 순서로 진행된다. 이러한

제조공정 중에서 솔더레지스트공정은 솔더레지스트의 제조공정 중 부피변화발생 및 고온의 제조조건으로 인하여 PWB의 열변형에 가장 우세한 영향을 미친다¹⁰⁾.

본 연구에서는 PWB의 열변형을 분석하기 위하여 솔더레지스트 공정조건으로 중 2층(이하 "L") PCB 및 4L PCB의 열팽창계수를 평가하였으며 통계적인 방법으로 정량 분석하고자 하였다.

2. 실험방법

2.1. PWB 제조공정

Fig. 1은 PWB 부품의 일반적인 제조공정을 나타낸다. PWB의 기초 소재인 CCL(Copper-clad-laminate)의 구조는 유리강화플라스틱에 동박이 샌드위치구조와 같이 접합되어 있으며 PWB의 구조재료 역할을 한다¹¹⁾. CCL 단층으로 이루어진 2L PWB는 레이업 공정과 프레스 공정이 필요 없으나, 4L PWB는 레이업 공정과 프레스공정을 각각 120~200°C 및 20~60 kgf/cm²의 조건으로 수행하여 고인성 특성의 프리프레그(prepreg), 동박 및 CCL이 적층되게 한다. 에칭 및 드릴공정에 의하여 PTH(pin-through-hole) 또는 BVH(blind-via-hole)를 CCL에 형성시킨 후, 50~70°C 온도조건

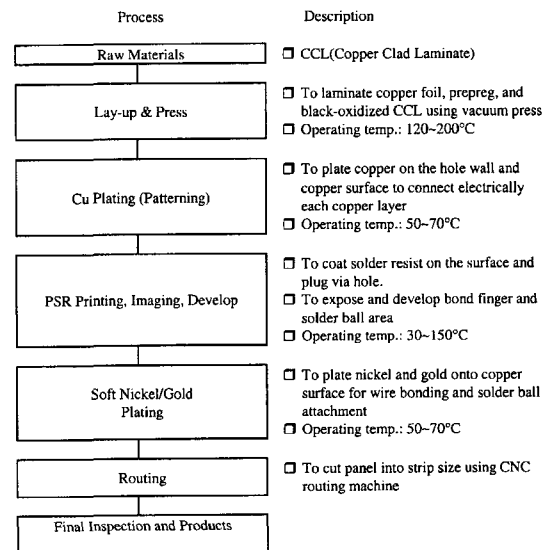


Fig. 1. Process flow of PWBs. All PWB products are under the various thermal conditions.

동도금공정에 의하여 층간에 전기적으로 통전이 가능하도록 한다. 솔더레지스트공정에 의하여 전기 절연층을 형성시켜 준다. 솔더레지스트 공정은 30~150°C의 조건으로 노광과 현상을 반복하여 본드 핑거(bond finger) 및 솔더볼 패드를 노출시킨다. 와이어본딩 및 솔더볼 접합을 위하여 니켈 및 금도금을 한다. 최종 제품은 라우팅 공정에 의하여 각가지 형상으로 절단한다.

2.2. PWB 특성평가방법

솔더레지스트공정 중 2L PBGA(Plastic Ball Grid Array), 4L PBGA, 2L CSP(Chip Scale Package), 4L CSP 시편을 채취하여 열팽창계수를 평가하여 솔더레지스트 공정영향을 분석하고자 하였다. 또한 각 시편의 솔더레지스트 잉크 부피분을 10~50%로 제조하여 부피분을 변화에 따른 PWB의 열팽창계수 특성을 분석하고자 하였다. 열팽창계수 특성은 상온에서 100°C의 온도범위, 승온속도 5°C/min의 조건으로 TMA(Thermo-Mechanical Analyzer, TA instrument)를 사용하였다. 분석된 데이터는 상용화된 소프트웨어를 이용하여 통계적으로 분석하였다.

3. 결과 및 고찰

3.1. PWB 구성재료의 열적 및 기계적 특성

본 연구에서는 외부의 열적조건에 대하여 전자패키지부품의 파단현상을 관찰하고 주요한 원인을

을 분석하고자 하였다. 따라서 반도체 칩과 EMC가 패키지된 PBGA 및 CSP 상용제품을 JEDEC level II 조건(85°C/60%RH, 168hrs) 및 무연솔더 조건(IR reflow 260°C, 3 times)에 따라 평가하였다¹²⁾. Fig. 2는 SAM(scanning acoustic microscope)을 이용하여 실장된 CSP의 파단면을 나타내었다. Fig. 2에서 밝은 원형은 각각 EMC와 솔더레지스트 계면에서의 파단을 나타낸다. 이러한 파단의 원인은 제조공정 또는 신뢰성 평가중의 온도변화 및 습도변화에 의한 것이다. 전자패키지 부품에서의 파단은 열적 변형이 형성된 후 바로 급격히 발생하고 주로 열응력이 집중되는 부분인 EMC, 솔더레지스트, 동박의 각 계면에서 발생한다. 전자패키지 부품 파단의 주요한 원인은 각 구성재료의 열팽창계수가 다르기 때문이다. 따라서 열적 안정성이 우수한 구성재료로 대체하거나 열적특성이 다른 구성재료의 부피분을 적절히 조절한다면 파단 불량을 개선할 수 있다.

Table 1에는 PWB의 구성 재료인 솔더레지스트, 동박, 코어의 열적 및 기계적 특성을 나타내었다. 솔더레지스트의 열팽창계수는 104°C 유리전이온도(Tg)에 따라서 각각 60.0 ppm/K 및 160.0 ppm/K로 측정되었다. 동박의 열팽창계수는 16.5 ppm/K로 측정되었으며 유리강화플라스틱인 코어는 172°C 유리전이온도보다 낮은 온도범위에서는 16.2 ppm/K, 높은 온도범위에서는 8.1 ppm/K로 각각 측정되었다. 솔더레지스트는 Table 1에 나타낸 바와 같이 코어와 동박에 비하여 열적으로 불안정

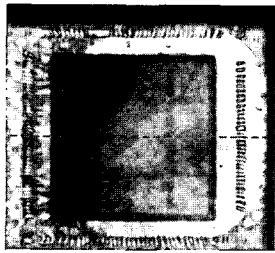
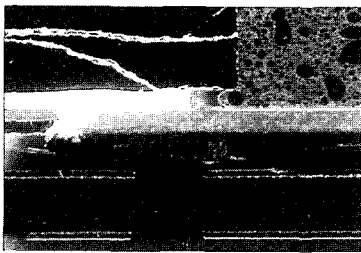
Test Condition	SAM Image(C-Scan)	Fractography & Fractured Region
85°C / 60%RH / 168Hrs + IR reflow 260°C / 3times		
	CSP	EMC/SR

Fig. 2. SAM images(C-scan) and fractography of CSP and PBGA tested at 85°C / 60%RH / 168Hrs, IR reflow for 3 times at 260°C. The dot lines of this figure indicate the section-side for fractography. Fracture of packaged device is caused mainly by the CTE mismatch between EMC and PWB.

Table 1. Physical properties of the constituent materials.

Materials	Producer	Properties	Published	Measured&Used	Remark
SR	TAIYO	CTE (ppm/K, <Tg)	40.0~60.0	60.0	Average X-, Y-direction
		CTE(ppm/K, >Tg)	150.0~160.0	160.0	
		Tg(°C)	102.0~106.2	104.0	
		UTS(MPa)	30.0	30.0	
		Elongation(%)	1.1	1.1	
		Young's Modulus(GPa)	3.5	3.5	
Cu	MGC	CTE(ppm/K, <Tg)	16.0~18.0	16.5	
		CTE(ppm/K, >Tg)	16.0~18.0	16.5	
		Tg(°C)	-	-	
		UTS(MPa)	300.0	300.0	
		Elongation(%)	2.0	2.0	
		Young's Modulus(GPa)	11.0	11.0	
Core	MGC	CTE(ppm/K, <Tg)	16.0~17.5	16.2	Average X-, Y-direction
		CTE(ppm/K, >Tg)	7.5~8.3	8.1	
		Tg(°C)	169.3~180.1	172.0	
		UTS(MPa)	N/A	N/A	
		Elongation(%)	N/A	N/A	
		Young's Modulus(GPa)	27.6	27.6	

하다. 솔더레지스트는 유리전이온도가 104°C이므로 솔더레지스트 경화공정에서 열변형이 급격히 발생하고 솔더레지스트의 성분 중 유기용제의 휘발특성으로 인하여 제조공정 중에 솔더레지스트의 부피변화가 발생한다. 이러한 현상으로 인하여 PWB의 열변형 특성을 이해 또는 분석하기가 어렵다. 따라서 제조공정 중 솔더레지스트의 열적특성 및 부피변화에 따라 PWB의 열변형을 분석한다면 PWB의 워피지 현상에 관한 이해가 가능할 것으로 기대된다¹³⁾.

Table 2에는 본 연구에서 사용된 솔더레지스트의 성분과 각 성분의 역할에 관해서 나타내었다. 솔더레지스트의 성분은 크게 주제(main agent)와 경화제로 구분될 수 있다. 솔더레지스트 주제는 레진, 색소, 필러, 광각폴리머(photo-sensitive polymer), 에폭시 경화제, 첨가제 및 유기용제로 이루어져 있다. 그리고 경화제는 레진, 필러, 유기용제로 구성되어 있다. 유기용제는 솔더레지스트 공정인 스크린코팅, 롤코팅, 광경화, 열경화를 지나는 동안에 승화되어 솔더레지스트의 부피분율이 변

한다. 따라서 스크린코팅공정에서는 초기량의 40%만 잔류하게 된다. Table 3에는 스크린코팅, 롤코팅, 광경화, 열경화 공정에 의한 솔더레지스트의 부피분율 변화를 나타내었으며 Table 4에는 솔더레지스트공정을 도식화하여 나타내었다.

회로 형성된 PWB 표면은 적합한 온도조건에 의해서 솔더레지스트 절연층이 형성된다. Fig. 3은 스크린코팅, 롤코팅, 광경화, 열경화 공정에 관한 온도이력을 나타내었다. 본 연구에서는 PTH 또는 BVH 내부에 솔더레지스트를 완전히 채우기 위해서 스크린코팅과 롤코팅의 두 단계 공정을 적용시켰다. 동박층에 코팅된 솔더레지스트의 부피분율은 스크린코팅 공정 중에는 75% 잔류되었으며 롤코팅 공정 중에는 55%가 잔류되었다. 따라서, 이전에 설명한 바와 같이 PWB의 열적특성을 분석하기 위해서는 부피분율변화에 따른 구성재료의 열적특성 분석이 우선적으로 요구된다¹⁴⁾.

3.2. 2층, 4층 PBGA 및 CSP의 열적특성

Table 5은 본 연구에서 선정하여 평가한 2L

Table 2. Constituent materials and their roles of solder-resist used in this study.

Constituent	Category	Nominal Name	Content(wt.%)
Main Agent	Resin	Modified Epoxy Resin	25.9
	Coloring Pigments	Phthalocyanine Green & Others	0.3
	Fillers	Barium Sulfate and Silica	15.4
	Photo-Sensitive Polymer	Aromatic Carbonyl Compound	4.3
	Epoxy Hardener	Amine Compound	0.8
	Additives	Levelling Agents and Others	1.7
	Organic Solvents	Diethylene Glycol Monoethyle-Ether Acetate	11.2
		Aromatic Hydrocarbon	8.6
		Dipropylene Glycol Mono Methyle Ether	1.8
Subtotal(wt.%)			70.0
Hardener	Resin	Epoxy Resin	10.7
		Acrylic Esters	5.1
	Filler	Barium Sulfate	11.5
	Organic Solvents	Aromatic Hydrocarbon	0.5
		Diethylene Glycol Monoethyle-Ether Acetate	1.7
		Dipropylene Glycol Mono Methyle Ether	0.5
Subtotal(wt.%)			30.0
Total(wt.%)			100.0

Table 3. Variations of solder-resist thickness during solder-resist process.

	Solder Resist Coating Process			
	Screen Coating	Roll Coating	UV Cure	Final Thermal Cure
Residual Solder-Resist(%)	75.0	55.0	100.0	100.0
Example (Screened Solder-Resist: 100 μ m)	75.0	41.3	41.3	41.3

PBGA, 4L PBGA, 2L CSP, 4L CSP의 크기와 각 구성재료의 부피분율을 나타내었다. 2L PBGA와 CSP의 솔더레지스트 부피분율은 4L PBGA와 CSP에 비하여 높다. 따라서 앞서 설명한 바와 같이 솔더레지스트는 다른 구성재료보다 PWB의 열변형에 많은 영향을 끼치므로, 2L PBGA와 CSP는 4L PBGA와 CSP에 비하여 외부온도조건에 더욱 많은 열변형이 발생한다.

Fig. 4에는 솔더레지스트 공정 중의 열팽창계수의 변화를 2L PBGA, 4L PBGA, 2L CSP, 4L CSP에 관하여 나타내었다. 스크린코팅 및 롤코팅공정 이후에 PWB의 열팽창계수는 감소한다. 이와 같은 원인은 솔더레지스트가 제조공정 중 유기용제의 휘발로 인하여 부피분율이 감소하기 때문이다. 반

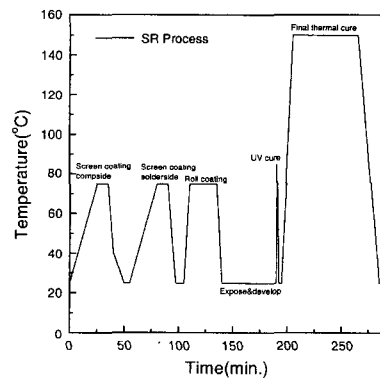
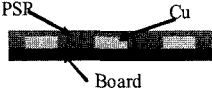
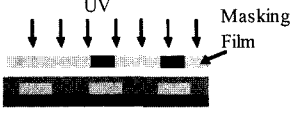
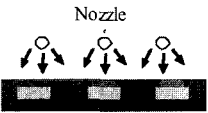




Fig. 3. Solder resist process is shown. This process is categorized into two processes of screen coating process and roll coating process in order to fulfill the solder-resist into PTH(Pin-Through-Hole) or BVH(Blind-Via-Hole) adequately.

Table 4. Solder-resist processes and their schematic diagrams

Process	Conditions	Schematic Diagrams
SR Coating	Screen Printing & Roll Coating Wet Thickness = 25~35 μm	
Pre-Cure	70°C×20~30 min	
Expose	250 mJ/cm ² ~600 mJ/cm ²	
Develop	Alkali Solution : 1.0 wt.% Na ₂ CO ₃ Solution Temp. = 30~35°C Solution Pressure = 1.0~2.5 Kgf/cm Developing Time = 60~120sec.	
Post-Cure	150°C × 30~60 min	

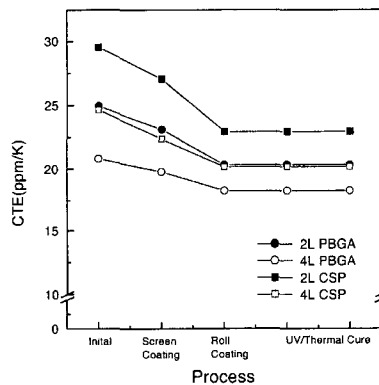


Fig. 4. Variation of CTE of PWB during solder-resist process. CTE of PWB decreases during the solder-resist coating process, which is caused by the shrinkage of solder-resist.

면에, 광경화 및 열경화 공정 중에는 열팽창계수의 변화는 나타나지 않았다. 또한 Fig. 4에 나타난 바와 같이 2L PCB와 4L PCB의 열팽창계수는 확실한 차이가 있는 것으로 관찰되었다. 따라서, PWB의 열적거동에 관한 솔더레지스트의 의존성은 2L 또는 4L PWB에 따라 확실히 다름을 알 수 있다.

Fig. 5에 나타난 바와 같이 PWB 열팽창계수의 솔더레지스트 부피분율이 미치는 영향을 분석하기 위하여 2L PBGA, 4L PBGA, 2L CSP, 4L CSP의 솔더레지스트 부피분율 10~50%의 범위로 조절

하여 열팽창계수를 측정하였다. Fig. 5의 점선은 Eq. (1)로 표현될 수 있는 Turner's model에 의한 이론값을 나타낸 것이다^{15, 16}.

$$\alpha_{PWB} = \frac{\sum_{i=1}^n \alpha_i E_i V_i}{\sum_{i=1}^n E_i V_i} \quad (1)$$

Eq. (1)에서 α 는 열팽창계수, E 는 탄성계수, V 는 부피분율이다. 첨자 i 는 각각의 구성재료를 나타낸다. Turner's model은 주어진 온도조건에서 균일한 변형을 하며 이종재료 간의 파단을 고려하지 않는 것을 가정으로 한다¹⁷. Eq. (1)에 나타난 바와 같이 PWB의 열팽창은 각 구성재료의 열팽창계수, 탄성계수 및 부피분율에 의하여 의존하는 것을 알 수 있다.

Fig. 5와 같이 PWB의 열변형은 솔더레지스트의 부피분율, 층수 및 디자인에 의존한다. 솔더레지스트의 부피분율이 30% 이하일 경우, PWB의 층수 및 디자인에 관계없이 유사한 열팽창계수를 나타내었다 반면에, 솔더레지스트의 부피분율이 30% 이상일 경우, PWB의 층수 및 디자인에 따라 열팽창계수의 차이가 나타나기 시작하였으며 또한 2L PBGA 및 2L CSP의 열팽창계수가 4L PBGA 및

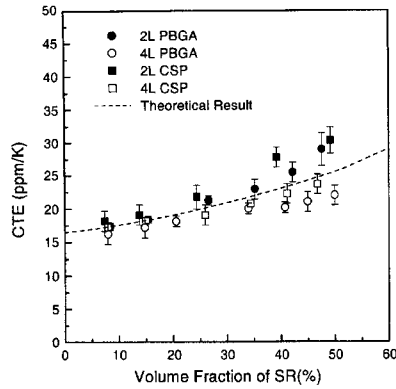


Fig. 5. CTEs of 2L PBGA, 4L PBGA, 2L CSP and 4L CSP with the increase of volume fraction of solder-resist. The dot line in this figure shows the theoretical result based on Turner's model. The CTE of 2L PBGA, 4L PBGA, 2L CSP and 4L CSP is definitely different from 30% of the volume fraction of solder-resist. The sensitivity of solder-resist on CTE of the 2 layered PBGA and CSP is higher than that of the 4 layered PBGA and CSP.

4L CSP보다 높게 측정되었다. 이와 같은 이유는 4L PWB는 2L PWB와는 달리 고인성 특성을 지닌 프리프레그와 동박이 추가적으로 적층되어 있으므로 솔더레지스트의 열변형을 상쇄시키기 때문이다. 따라서, PWB의 열변형에 영향을 미치지 시작하는 솔더레지스트의 임계 부피분율은 약 30%임을 알 수 있으며, 특히 이 임계 부피분율부터 2L PWB의 열팽창계수는 4L PWB에 비하여 10~40% 증가하였다¹⁸⁾.

3.3. 통계적 분석

측정된 결과를 분산분석(analysis of variance, ANOVA)을 이용하여 통계적으로 처리하였다. 분산분석은 Table 6에 나타난 바와 같이 측정된 샘플간의 유의차 여부를 확인하는 분석방법이다¹⁹⁾. 분산분석을 이용하여 2L PBGA, 4L PBGA, 2L CSP 및 4L CSP의 열팽창계수가 95% 신뢰도 구간에서 귀무가설(null hypothesis, H₀) 및 대립가설(alternative hypothesis, H₁) 중 어느 것에 적합한지

Table 5. Dimension and volume fraction of commercial PWB used in this study. (a) 2 layered PBGA and CSP, (b) 4 layered PBGA and CSP.

Structure	2Layered PBGA			2Layered CSP		
	X-size (mm)	Y-size (mm)	Volume Fraction	X-size (mm)	Y-size (mm)	Volume Fraction
SR	23.000	0.045	0.145	13.000	0.045	0.210
Cu	23.000	0.035	0.113	13.000	0.012	0.056
Core	23.000	0.150	0.484	13.000	0.100	0.467
Cu	23.000	0.035	0.113	13.000	0.012	0.056
SR	23.000	0.045	0.145	13.000	0.045	0.210
Total	23.000	0.310	1.000	13.000	0.214	1.000

(a)

Structure	4Layered PBGA			4Layered CSP		
	X-size (mm)	Y-size (mm)	Volume Fraction	X-size (mm)	Y-size (mm)	Volume Fraction
SR	35.000	0.045	0.081	10.000	0.045	0.142
Cu	35.000	0.012	0.022	10.000	0.012	0.038
Prepreg	35.000	0.110	0.199	10.000	0.040	0.126
Cu	35.000	0.035	0.063	10.000	0.012	0.038
Core	35.000	0.150	0.270	10.000	0.100	0.312
Cu	35.000	0.035	0.063	10.000	0.012	0.038
Prepreg	35.000	0.110	0.199	10.000	0.040	0.126
Cu	35.000	0.012	0.022	10.000	0.012	0.038
SR	35.000	0.045	0.081	10.000	0.045	0.142
Total	35.000	0.554	1.000	10.000	0.318	1.000

(b)

Table 6. One-way ANOVA of CTE for 2L PBGA, 4L PBGA, 2L CSP and 4L CSP. One-way ANOVA is used to be applied in order to test that the average data more than two samples is appropriate for the null hypothesis, H_0 or the alternative hypothesis, H_1 at 95% confidence interval.

Case	Hypothesis	p-value	Reject H_0
Volume fraction of SR > 30%	$H_0: \mu_{2L\ PBGA} = \mu_{4L\ PBGA}$ $H_1: \text{not } H_0$	0.020	Yes
	$H_0: \mu_{2L\ CSP} = \mu_{4L\ CSP}$ $H_1: \text{not } H_0$	0.016	Yes
	$H_0: \mu_{2L\ PBGA} = \mu_{2L\ CSP}$ $H_1: \text{not } H_0$	0.293	No
	$H_0: \mu_{4L\ PBGA} = \mu_{4L\ CSP}$ $H_1: \text{not } H_0$	0.149	No
	$H_0: \mu_{4L\ PBGA} = \mu_{2L\ CSP}$ $H_1: \text{not } H_0$	0.001	Yes
	$H_0: \mu_{2L\ PBGA} = \mu_{4L\ CSP}$ $H_1: \text{not } H_0$	0.132	No
Volume fraction of SR < 30%	$H_0: \mu_{2L\ PBGA} = \mu_{4L\ PBGA} = \mu_{2L\ CSP} = \mu_{4L\ CSP}$ $H_1: \text{not } H_0$	0.527	No

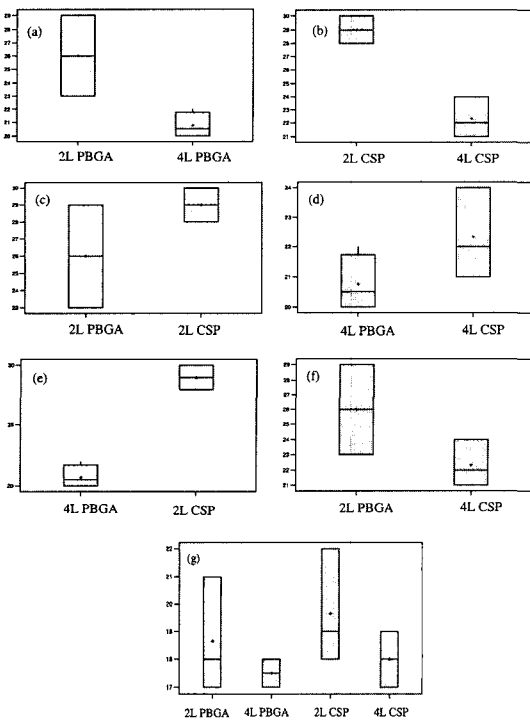


Fig. 6. Box plots obtained from One-way ANOVA at 95% confidence interval. (a) 2L PBGA and 4L PBGA, (b) 2L CSP and 4L CSP, (c) 2L PBGA and 2L CSP, (d) 4L PBGA and 4L CSP, (e) 4L PBGA and 2L CSP, (f) 2L PBGA and 4L CSP, (g) 2L PBGA, 4L PBGA, 2L CSP and 4L CSP.

분석하였다. Table 6에 나타난 바와 같이 솔더레지스트의 부피분율, 층수 및 디자인에 따라 분산분석을 수행하였다. P-value는 상용통계프로그램인 Minitab을 이용하여 계산하였다. P-value가 0.05 미만일때, 귀무가설(H_0)은 95% 신뢰도 구간에서 기각된다. 반면에, P-value가 0.05 초과일때 대립가설(H_1)이 95% 신뢰도 구간에서 기각된다²⁰⁾. 즉, 분산분석결과로 인하여 P-value가 0.05미만이 되면 샘플간의 유의차는 있다.

솔더레지스트의 부피분율이 30% 이하일 때, 샘플간 열팽창계수의 유의차가 없다. 반면에, 솔더레지스트의 부피분율이 30% 이상일 경우는 다음과 같이 통계적인 유의차를 보이고 있다. 2L PBGA/4L PBGA, 2L CSP/4L CSP 및 4L PBGA/2L CSP의 분산분석결과, P-value가 각각 0.020, 0.016 및 0.001으로 측정되었다. 따라서, 95% 신뢰도 구간에서 귀무가설 기각이다. 즉, 앞서 설명한 바와 같이 2L PWB와 4L PWB는 층구성이 다르므로 열팽창계수의 확실한 차이를 나타낸다. 반면, 2L PBGA/2L CSP, 4L PBGA/4L CSP 및 2L PBGA/4L CSP의 P-value는 0.293, 0.149 및 0.132로 각각 측정되어 각 샘플간에는 유의차가 없는 것으로 측정되었다.

따라서, PWB에서 솔더레지스트의 부피분율이

30% 이상 함유될 경우 PWB의 열팽창계수는 솔더레지스트의 열변형에 의존하게 되며 특히 2L PWB는 솔더레지스트 부피분율증가에 따라 4L PWB보다 열변형이 증가된다. Fig. 6에는 분산분석을 이용하여 95% 신뢰도 box plots를 나타내었다.

4. 결 론

위피지는 PWB의 구성재료인 솔더레지스트, 코어 및 동박간의 열팽창계수 차이로 인하여 발생한다. 솔더레지스트는 높은 열팽창계수 특성과 제조공정 중 55~75%의 부피변화로 인하여 PWB의 열적변형에 지배적인 역할을 한다. 솔더레지스트의 부피분율이 30% 이하일 경우, PWB의 층수 및 디자인에 관계없이 유사한 열팽창계수를 나타낸 반면에 30% 이상일 경우, PWB의 층수 및 디자인에 따라 열팽창계수의 차이가 나타나기 시작하였으며 또한 2L PWB의 열팽창계수가 4L PWB보다 높았다. 이와 같은 이유는 4L PWB는 2L PWB와는 달리 고인성 특성을 지닌 프리프레그와 동박이 추가적으로 적층되어 솔더레지스트의 열변형을 상쇄시키기 때문이다. 따라서 PWB에서 솔더레지스트의 부피분율이 30%이상일 경우 PWB의 열팽창계수는 솔더레지스트의 열변형에 주로 의존하게 되며 특히, 2L PWB는 솔더레지스트 부피분율증가에 따라 4L PWB보다 열변형이 증가된다. 또한 실험결과를 통계적인 분석분석을 통하여 솔더레지스트의 부피분율이 30%이상일 때 PWB의 층수 및 디자인에 따라 P-value가 0.05이하로 측정되었고 95% 신뢰도구간에서 유의차를 나타낼 수 있었다.

감사의 글

이 논문은 2002년도 한국학술진흥재단의 지원에 의하여 연구 되었음(KRF-2002-041-D00312).

참고문헌

1. P. Partners LLC., "Prismark presentation - PCB Industry Overview", June (2003).
2. K. J. Lee, H. S. Lee, and K. H. Lee, "Recent Tech-

3. H. S. Lee and S. H. Hong, "Current Status and Forecast on Development of Metal Matrix Composites for Electronic Packaging Applications", Trends in Metals & Materials Engineering, 14(8), pp. 17-26 (2001).
4. B. Djurovic, C. A. Puzzo, and J. K. Spelt, "Analysis of Thermal Warpage in a PCB with an Array of PTH Connectors", IEEE Transactions on Components and Packaging Technology, 22(3), pp. 414-420(1999).
5. P. Garrou, Wafer Level Chip Scale Packaging: An Overview, IEEE Trans. Adv. Packag., 23, pp. 198-205 (2000).
6. C. P. Yeh, et. al. "Correlation of Analytical and Experimental Approaches to Determine Thermally Induced PWB Warpage", IEEE Transactions on Component, Hybrid and Manufacturing Technology, 16(8), pp. 986-995 (1993).
7. T. Baba, "Environmentally friendly, high thermal resistant, low CTE substrate material for semiconductor packaging", Electronics Manufacturing Technology Symposium, IEMT 2002. 27th Annual IEEE/SEMI International, pp. 389-390 (2002).
8. J. D. Sim, F. S. Galbraith, and N. Davenport, "Modelling of PCB variations and its impact on microcontroller immunity", 10th International Conference on Electromagnetic Compatibility (Conf. Publ. No. 445), 1-3 Sept., pp. 100-104 (1997).
9. C. Michael Garner, V. Gupta, V. Bissessur, A. Kumar, and R. Aspandiar, "Challenges in converting to lead-free electronics", Electronics Packaging Technology Conference (EPTC 2000). Proceedings of 3rd, pp. 6-9 (2000).
10. H. S. Lee, S. H. Hong, J. R. Lee, and Y. K. Kim, "Anisotropic Mechanical Behavior of Three Dimensional Glass Fabric Reinforced Composites", Key Engineering Materials, (Fracture and Strength of Solids, Pts 1 and 2), 183, pp. 1183-1188 (2000).
11. H. S. Lee, et al., "Current Status and Forecast on Development of Metal Matrix Composites for Electronic Packaging Applications", Trends in Metals & Materials Engineering, 14(8), pp. 17-26 (2001).
12. JEDEC Standard, "Preconditioning of Nonhermetic Surface Mount Devices Prior to Reliability Testing", JESD22-A113-B, Mar. (1999).
13. C. P. Yeh, C. Ume, R. E. Fulton, K. W. Wyatt, and J. W. Stafford, "Correlation of analytical and experimental approaches to determine thermally induced PWB warpage", IEEE transactions on components,

- hybrids, and manufacturing technology, 16(8), pp. 986-995 (1993).
14. B. Willis, "Controlling Bow and Twist", *Electronics Engineer*, Nov. (1997).
 15. H. S. Lee, et al., "Fabrication Process and Thermal Properties of SiCp/Al Metal Matrix Composites for Electronic Packaging Applications", *Journal of Materials and Science*, 35(24), pp. 6231-6236 (2000).
 16. P. S. Turner, *J. Res. Natn. Bureau Standards USA* 37, 239 (1946).
 17. H. S. Lee, "Fabrication Process and Thermal Properties of SiCp/Al Metal Matrix Composites for Electronic Packaging Applications", Ph. D. Thesis, KAIST (2002).
 18. D. Bhogeswara and M. Prakash, "Effect of substrate warpage on the second level assembly of advanced plastic ball grid array (PBGA) packages", *Electronics Manufacturing Technology Symposium, Twenty-First IEEE/CPMT International*, 13-15, pp. 439-446 (1997).
 19. P. S. Pande, L. Holpp, P. Pande, and L. Holpp, "What is Six Sigma", McGraw-Hill Trade, ISBN: 0071381856, Oct. (2001).
 20. M. L. George, "Lean Six Sigma for Service", McGraw-Hill Trade, ISBN: 0071418210, June (2003).