

## 플립 칩 실장에 있어 본딩 패드 패턴의 고주파 특성 비교

박현식 · 성규제 · 김진성\* · 이진구\*

국립 한경대학교 전자공학과, \*동국대학교 전자공학과

### A Comparison of RF Properties of Bonding Pad in Flip-Chip Packaging

Hyun-Sik Park, Gyu-Je Sung, Jin-Sung Kim\*, and Jin-Koo Rhee\*

Dept. of Electronic Eng., Hankyong National University, Ansong, Kyonggi-Do 456-749, Korea

\*Millimeterwave INnovation Technology Research Center, Dept. of Electronic Eng.,  
Dongguk University, Seoul 100-715, Korea

**초 록:** 플립 칩 패키징에 있어 CPW 배선 구조에 본딩 패드를 구성하여 1 GHz부터 35 GHz 범위에서 고주파 특성 변화를 관찰하였다. 본딩 패드로 구성된 구조들에 대한 시뮬레이션을 수행하고, 제작된 CPW의 S 파라미터를 측정하였다. 측정 결과 접지선과 신호선에 본딩 패드를 구성한 패턴은 기존 CPW의 S 파라미터 특성과 대등한  $S_{11}$ 은  $-31$  dB 이하,  $S_{21}$ 은  $-0.19$  dB 이상이 관찰되었다. 아울러 접지선 폭에 따른 고주파 특성에서는 접지선 폭의 증가가 고주파 특성 개선을 가져왔다. 고주파 대역에서 플립 칩의 배선 구조로 제안된 본 연구의 본딩 패턴은 유효하였다.

**Abstract:** RF characteristics of CPW(coplanar waveguide) pattern with bonding pads used in flip-chip packaging of GaAs is studied in the frequency range of 1 GHz to 35 GHz. Simulation, fabrication and evaluation are performed for the proposed patterns. Measurement results show proposed patterns have similar properties of  $S_{11}$  below  $-31$  dB and  $S_{21}$  above  $-0.19$  dB with typical CPW. In addition RF properties are improved with the increase of width of ground line. This indicates CPW structure with bonding pads keeps RF characteristics of typical CPW.

**Keywords:** flip-chip, packaging, bonding pad, RF properties

### 1. 서 론

전자부품의 소형화 및 모듈화와 더불어 정보통신 기기의 고주파 화에 따라서 플립 칩(flip-chip) 패키징 공법<sup>1-5)</sup>이 널리 활용되고 있다. 플립 칩의 장점은 적은 실장 면적을 차지함으로 고밀도 실장에도 용이성을 갖고 있고, 칩과 기판을 짧은 길이의 범프를 통해 연결함으로 열 방출의 용이성이 있고 특히 고주파에서 인덕턴스와 캐패시턴스의 부유 기생 성분이 적은 유리한 점이 있다. 따라서 고주파 대역에서 플립 칩 패키징을 위한 CPW(coplanar waveguide) 배선구조가 널리 활용되고 있다. 플립 칩 패키징을 위해서는 칩과 기판을 전기적으로 연결해주는 범프(bump)가 필요하며, 범

프 제조 방법으로는 전해도금, Au 스테드 범프 그리고 스크린 인쇄 방법<sup>6-8)</sup> 등이 있다. 범프 제조 방법으로서 수백  $\mu\text{m}$  이하 피치의 정밀 인쇄 방법<sup>9)</sup>이 개발되고 있다. 이를 고주파 대역용 플립 칩 패키징에 활용하기 위해 CPW 배선 구조에 대한 연구가 요구되고 있다.

본 연구에서는 플립 칩 패키징을 위한 CPW 배선 구조 패턴의 고주파 특성을 비교 분석하였다. 즉 갈륨비소 반도체 기판 위에서 기존 CPW 배선 구조와 본딩 패드(bonding pad)가 구성된 CPW 배선 구조의 고주파 특성 비교를 하였다. 본 연구에서 제안된 CPW 배선 구조 패턴을 1 GHz부터 35 GHz 범위에서 S 파라미터 특성의 변화를 시뮬레이션하고, 갈륨 비소 기판 상에 제작, 측정 및 분

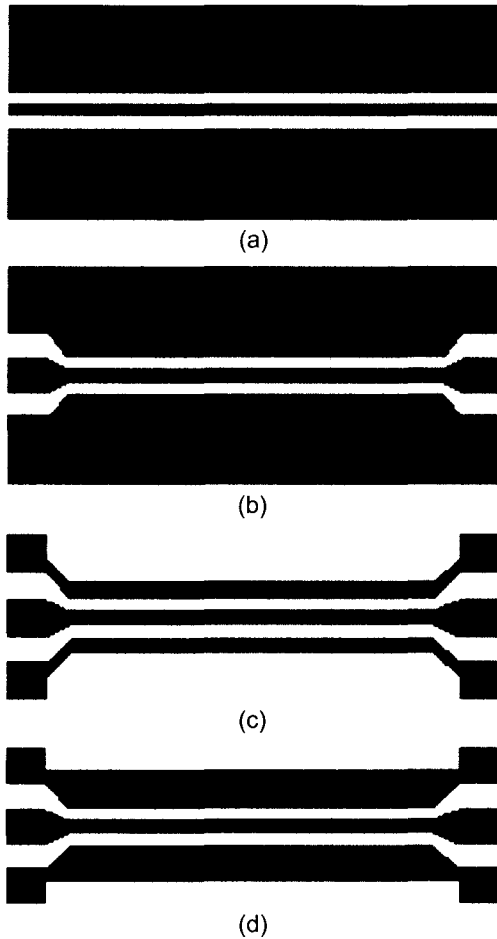


Fig. 1. Patterns of CPW structure. (a) Pattern 1, (b) Pattern 2, (c) Pattern 3 and (d) Pattern 4.

석을 하였다. 아울러 CPW 배선 구조의 접지선 폭을 달리한 패턴에 대한 비교 분석도 수행하였다.

## 2. 실험방법

Fig. 1은 CPW 배선 구조 패턴들이 고주파 특성에 미치는 영향을 알아보기 위하여 본 연구에서 제안한 패턴으로서, 패턴 1은 기존의 CPW 구조이며, 패턴 2는 신호선에만  $100 \times 100 \mu\text{m}^2$  크기의 본딩 패드를 형성한 구조이며, 접지선의 폭을 서로 달리한 패턴 3과 4는 신호선과 접지선 모두에  $100 \times 100 \mu\text{m}^2$  크기의 본딩 패드를 연결한 구조이다. Table 1은 본 실험에서 사용된 설계인자이며, Fig. 2는 CPW 구조의 단면 구조이다. 제안된 패턴

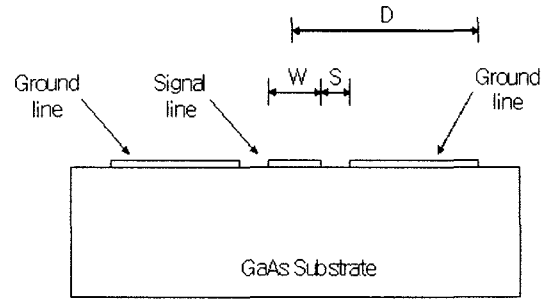


Fig. 2. Cut view of CPW structure.

Table 1. Design parameters for CPW patterns

Line width(W)	40 $\mu\text{m}$
Line gap(S)	30 $\mu\text{m}$
Zo	50ohm@30 GHz
Line length(L)	1000 $\mu\text{m}$
Substrate thickness (h)	600 $\mu\text{m}$
GaAs relative permittivity	12.9
Electrode thickness(t)	1.2 $\mu\text{m}$
Electrode conductivity	$4.098 \times 10^7 \text{ S/m}$
Pad size	$100 \times 100 \mu\text{m}^2$

에 대해 Fig. 2에서와 같이 신호선 폭(W) 40  $\mu\text{m}$ , 신호선과 접지선의 간격(S)은 30  $\mu\text{m}$ 로 설정하였고, 이때 사용된 갈륨비소(GaAs,  $\epsilon_r=12.9$ ) 기판의 두께(h)는 600  $\mu\text{m}$ 이다. 그리고 신호선 중심으로부터 접지선의 끝까지의 폭(D)은 패턴 1과 2에서는 같고, 패턴 3과 4는 패턴 1과 2 보다는 작은 값을 갖는다. 신호선의 폭(W)과 신호선 중심으로부터 접지선의 끝까지 폭(D)의 비(D/W)를 패턴 1과 2의 경우 8.25, 패턴 3의 경우 2.25 그리고 패턴 4의 경우 4.25로 설계하였고, D/W에 따른 고주파 특성 변화를 관찰하였다.

제안된 패턴에 대한 S 파라미터 특성은 ADS Momentum 1.3으로 1 GHz에서 35 GHz 범위에서 시뮬레이션 하였다. 시뮬레이션 결과를 근거로 갈륨비소 기판 위에 포토 리소 그래픽과 리프트 오프(lift-off) 공정으로 1.2  $\mu\text{m}$  두께의 금(Au) 전극 패턴을 Fig. 1과 같이 제작하였다. 갈륨 비소 기판에 제작된 CPW 배선 구조 패턴의 S 파라미터는 웨이퍼 상에서 프로브 스테이션과 HP 8510C 네트워크 분석기를 이용하여 측정되었다. 측정 주파수 범위

는 1 GHz에서 35 GHz까지이다.

### 3. 실험결과 및 고찰

#### 3.1 시뮬레이션 결과

Fig. 3은 제안된 패턴의 반사손실(return loss)  $S_{11}$ 과 삽입손실(insertion loss)  $S_{21}$ 의 시뮬레이션 결과이다. 패턴 1의 경우 기존의 CPW 패턴으로서  $S_{11}$ 은  $-23$  dB 이하,  $S_{21}$ 은  $-0.25$  dB 이상이었다. 신호선 양단에 본딩 패드를 형성한 패턴 2에서는 패턴 1과 거의 유사한 결과로  $S_{11}$ 은  $-24$  dB 이하,  $S_{21}$ 은  $-0.25$  dB 이상을 나타냈다. 즉 신호선 양단에 본딩 패드를 형성함으로써 고주파 특성은 크게 변화하지 않음을 알 수 있다.

신호선과 접지선의 양단에 본딩 패드를 형성한 구조인 패턴 3에서는  $S_{11}$ 은  $-16$  dB 이하,  $S_{21}$ 은  $-0.36$  dB 이상이었으며, 패턴 4에서는  $S_{11}$ 은  $-19$  dB 이하,  $S_{21}$ 은  $-0.33$  dB 이상으로서 패턴 4가 패턴 3

보다는 우수한 결과를 나타내었다. 패턴 3과 4에서의 특성이 패턴 1과 2에서와 다르게 나타난 것은 접지선의 면적 변화에 기인한 것으로 판단된다. 삽입손실이 접지 면적에 반비례하여 크게 나타난 것은 G. Ghione의 연구결과<sup>10)</sup>와 일치하는 특성이다.

#### 3.2 측정결과

갈륨비소 반도체 기판에 CPW 배선 구조의 제안된 Fig. 1의 패턴 1, 2, 3과 4를 제작하고 S 파라미터를 측정하여 Fig. 4와 같은 결과를 얻었다. 패턴 1의 경우  $S_{11}$ 은  $-32$  dB 이하,  $S_{21}$ 은  $-0.11$  dB 이상의 값을 나타내었다. 신호선 양단에 본딩 패드를 형성한 패턴 2의 경우는  $S_{11}$ 은  $-30$  dB 이하,  $S_{21}$ 은  $-0.19$  dB 이상의 값을 나타내었다. 접지선과 신호선에 본딩 패드를 구성한 경우인 패턴 3과 4에 있어서는 각각  $S_{11}$ 은  $-27$  dB 이하,  $S_{21}$ 은  $-0.29$  dB 이상과  $S_{11}$ 은  $-31$  dB 이하  $S_{21}$ 은  $-0.19$  dB 이상의

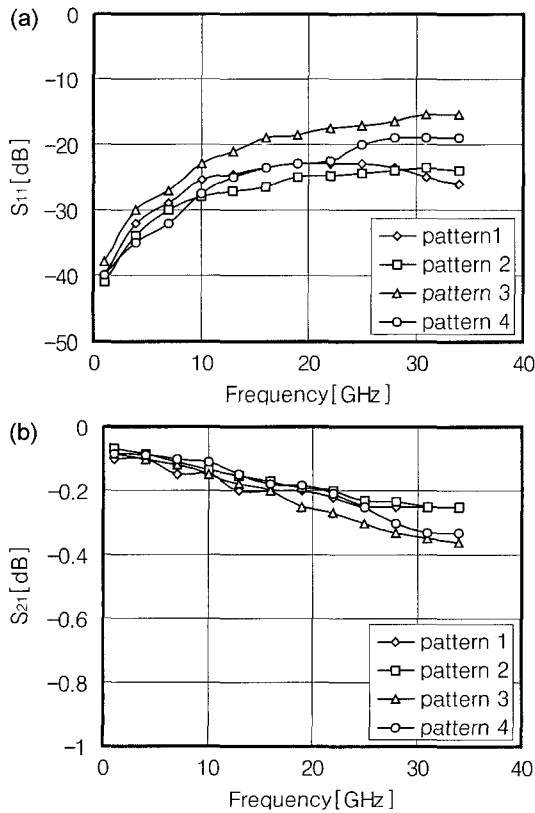


Fig. 3. Simulation result of patterns in the frequency range from 1 to 35 GHz. (a) Return loss and (b) Insertion loss.

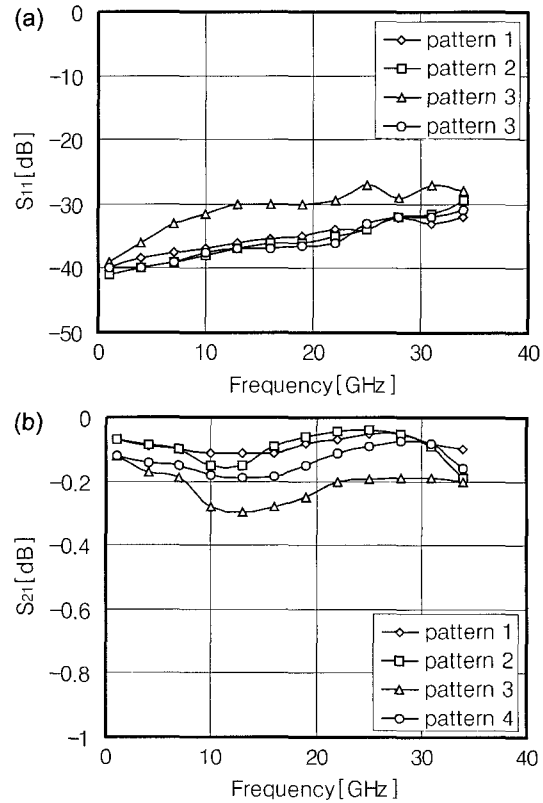


Fig. 4. Measurement result of CPW structure in the frequency range from 1 to 35 GHz. (a) Return loss and (b) Insertion loss.

로서 주파수 증가에 따라서 유사한 특성을 나타냈다. 특히 패턴 4의 경우는 패턴 2와 상당히 유사한 결과를 얻을 수 있었다. 접지선과 신호선에 모두 본딩 패드를 형성한 패턴 4와 패턴 3에 있어서, 패턴 4가 패턴 3보다 우수한 특성을 보인 것은 시뮬레이션 결과와 일치되는 것으로서 접지선의 폭이 넓을수록 양호한 고주파 특성을 갖는 것을 확인할 수 있다.

고주파 대역에서 플립 칩 패키징에 활용하기 위하여 제안된 CPW 배선구조 상의 본딩 패드는 고주파 특성의 큰 변화를 가져오지 않았다. 이는 신호선과 접지선의 본딩 패드에 의한 불연속 구조가 고주파 특성에 크게 영향을 주지 않기 때문이다. 신호선 본딩 패드의 불연속 구조에서 신호선 폭(W)만을 변화시키면 CPW의 특성 임피던스가 달라져 고주파 특성의 변화를 가져올 수 있다. 그러나 패턴 2와 4의 결과에서 보여주는 것처럼 특성 임피던스가  $50 \Omega$ 이 유지되도록 신호선 폭(W)과 신호선과 접지선의 간격(S)을 동시에 변화시키면 본딩 패드의 불연속 구조가 고주파 특성에 영향을 주지 못한다. 접지선 본딩 패드의 불연속 구조도 신호선 본딩 패드의 불연속 구조와 마찬가지로 CPW의 특성 임피던스를 변화시킬 수 있다. 그러

나 본딩 패드를 위한 접지선에서의 불연속 구조는 전체 접지선을 크게 변형시키지 않는다. 따라서 신호선에 비해 특성 임피던스에 미치는 영향이 상대적으로 작게 나타난다. 그 결과, 접지선과 신호선 양단에 본딩 패드를 형성한 패턴 4의 결과가 신호선 양단에만 본딩 패드를 형성한 패턴 2의 결과와 거의 일치하는 고주파 특성을 보여주고 있다.

고주파 특성에 대한 접지선 폭의 영향을 고찰하기 위하여 패턴 1, 2, 3과 4에 대하여 30 GHz에서 신호선의 폭(W)과 신호선 중심으로부터 접지선의 끝까지 폭(D)의 비(D/W)에 따른  $S_{11}$ 과  $S_{21}$ 의 측정 결과를 비교하였다. Fig. 5에서 D/W가 2.25인 패턴 3의 구조는 패턴 1과 같은 기존의 CPW 구조에 비해 저하된 고주파 특성을 보여주고 있고, D/W가 4.25인 패턴 4의 구조는 패턴 1의 기존 CPW 구조와 대등한 특성을 보여주고 있다. 접지선의 폭이 커질수록 우수한 특성을 갖게 되는 것은 감쇠 특성이 접지선의 폭에 반비례하기 때문이다. 이는 접지선의 폭이 작을수록 CPW의 전자계의 분포가 기판 밖으로 많이 분산되어 방사 손실(radiation loss)이 증가하는 것이라고 판단된다. 따라서 CPW 배선 구조에 본딩 패드를 형성하더라도 D/W 비를 일정한 값 이상으로 유지할 경우, 기존의 CPW 배선 구조와 대등한 고주파 특성을 얻을 수 있다. 이와 같은 결과로부터 CPW 배선 구조에 본딩 패드를 구성한 패턴 2와 4의 구조는 1 GHz에서 35 GHz 범위에서 고주파 대역용 플립 칩 패키징에 칩과 기판의 연결 배선 구조로 활용할 수 있다는 것을 확인하였다.

#### 4. 결 론

1 GHz부터 35 GHz 범위에서 플립 칩 패키징의 칩과 기판사이의 연결을 위한 배선구조로서 CPW 배선 구조에 본딩 패드를 구성하고, 고주파 특성을 측정 및 분석한 결과 다음과 같은 결론을 얻었다.

1. CPW 배선 구조에 신호선과 접지선에 본딩 패드를 형성하더라도 고주파 특성의 현저한 변화는 없었다.
2. 신호선 폭과 신호선 중심으로부터 접지선 끝까지의 폭 비(D/W)가 클수록 고주파 특성 개선이 가능하며, 본 연구에서 제안한 CPW 배선구조에서 기존의 CPW 배선구조와 대등한  $S_{11}$ -31 dB이하와

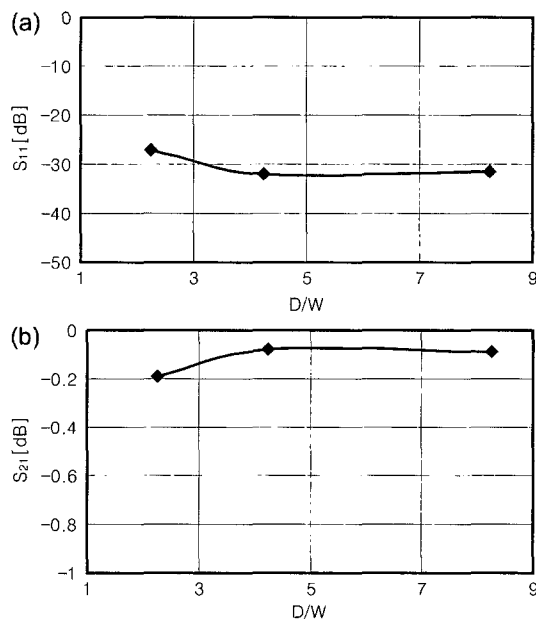


Fig. 5. Measurement result of  $S_{11}$  and  $S_{21}$  with D/W under 30 GHz. (a) Return loss and (b) Insertion loss.

S21  $-0.19$  dB이상의 고주파 특성을 얻었다. 따라서 본딩 패드가 형성된 CPW 패턴은 1 GHz에서 35 GHz 범위에서 플립 칩 패키징에 있어 칩과 기판의 연결 배선 구조로 유효하다.

### 참고문헌

1. G. Baumann, H. Richter, A. Baumgartner, D. Ferling, R. Heilig, D. Hollmann, and H. Muller, "51GHz Frontend with Flip chip and Wire Bond Interconnections from GaAs MMICs to a Planar Patch Antenna", IEEE MTT-S digest, 1639 (1995).
2. Hideki Kusamitsu, Yoshiaki Morishita, Kenichi Maruhashi, Masaharu Ito and Keiichi Ohata, "The FlipChip Bump Interconnection for Millimeter-Wave GaAs MMIC", IEEE Transactions on Electronics Packaging Manufacturing, 22(1), 23 (1999).
3. Masaharu Ito, Kenichi Maruhashi, Hiddeki Kusamitsu, Yoshiaki Morishita and Keiichi Ohata, "Millimeter-Wave Flip Chip MMIC structure with High performance and High Reliability Interconnects", IEICE Trans. Electron., E82-C(11), 2038 (1999).
4. Greg Caswell and Julian Partridge, "BGA to CSP to Flip Chip-Manufacturing Issues", J. Microelectronics & Packaging Soc., 8(2), 37 (2001).
5. Charles E. Bauer, "Multi-Chip Packaging for Mobile Telephony", J. Microelectronics & Packaging Soc., 8(2), 49 (2001).
6. H. Hermann Oppermann, Rolf Aschenbrenner and Herbert Reichl, "Advanced Flip Chip Technologies", 29th European Solid-State Device Research Conference, 1999-09-13 (1999).
7. Gerald Motulla, Paul Kasulke, Katrin Heinriecht and Andreas Ostmann, Elie Zakel, Herbert Reichl, "Low Cost Bumping Process for Flip Chip Technology Using Electroless Ni/Au Bumping and Solder Ball Placement", Proceedings of the Advances in Electronic Packaging, 57 (1997).
8. Szu Wei Lu, Ruoh-Huey Uang, Kuo-Chuan Chen, Hsu-Tien Hu, Ling-Chen Kung and Hsin-Chien Huang, "Fine Pitch Low-Cost Bumping for Flip Chip Technology", 24th IEEE/CPMT International Electronics Manufacturing Technology Symposium, Oct. 1999, 127 (1999).
9. Joachim Kloeser, Katrin Heinriecht, Erik Jung, Liane Lauter, Andreas Ostmann, Rolf Aschenbrenner and Herbert Reichl, "Low cost bumping by stencil printing: process qualification for 200 um pitch", Microelectronics Reliability, 40, 497 (2000).
10. G. Gione and M. Goano, "The Influence of Ground-Plane Width on the Ohmic Losses of Coplanar Waveguides with Finite Lateral Ground Planes", IEEE Transactions on Microwave Theory and Technique, 45(9), 1640 (1997).