

졸-겔 방법으로 SiO₂/Si 기판 위에 제작된 (Bi,L a)Ti₃O₁₂ 강유전체 박막의 특성 연구

장호정 · 황선환

단국대학교 전자·컴퓨터학부

Characterization of (Bi,L a)Ti₃O₁₂ Ferroelectric Thin Films on SiO₂/Si Substrates by Sol-Gel Method

Ho Jung Chang and Sun Hwan Hwang

Department of Electronic and Computer Science, Dankook University, Cheonan-shi 330-714, Korea

초 록: 졸-겔(Sol-Gel)법으로 SiO₂/Si 기판 위에 Bi_{3.3}La_{0.7}Ti₃O₁₂ (BLT) 강유전체 박막을 스펀코팅하여 Metal-Ferroelectric-Insulator-Silicon 구조의 캐패시터 소자를 제작하였다. 열처리하지 않은 BLT 박막 시료를 650°C와 700°C의 온도에서 열처리함으로써 임의 배향을 가지는 페로브스카이트 결정구조를 나타내었다. 열처리 온도를 650°C에서 700°C로 증가시키에 따라서 (117) 주피크의 full width at half maximum(FWHM) 값이 약 0.65°에서 0.53°로 감소하여 결정성이 개선되었으며 결정립 크기와 R_{rms} 값이 증가하면서 박막표면이 거칠어지는 경향을 보여주었다. 700°C에서 열처리한 BLT 박막시료에 대해 인가 전압에 따른 정전용량(C-V) 값을 측정한 결과 5 V의 인가전압에서 메모리 윈도우 값이 약 0.7 V를 보여주었으며, 3 V의 인가전압에서 누설전류 값이 약 3.1×10⁻⁸ A/cm²을 나타내었다.

Abstract: The Bi_{3.3}La_{0.7}Ti₃O₁₂ (BLT) capacitors with Metal-Ferroelectric-Insulator-Silicon structure were prepared on SiO₂/Si substrates by using sol-gel method. The BLT thin films annealed at 650°C and 700°C showed randomly oriented perovskite crystalline structures. The full width at half maximum (FWHM) of the (117) main peak was decreased from 0.65° to 0.53° with increasing the annealing temperature from 650°C to 700°C, indicating the improvement in the crystalline quality of the film. In addition, the grain size and R_{rms} values were increased with increasing the annealing temperatures, showing the rough film surface at higher annealing temperatures. From the capacitance-voltage (C-V) measurements, the memory window voltage of the BLT film annealed at 700°C was found to be about 0.7 V at an applied voltage of 5 V. The leakage current density of the BLT film annealed at 700°C was about 3.1×10⁻⁸ A/cm².

Keywords: Sol-gel method, (Bi,L a)Ti₃O₁₂, Ferroelectric film, Silicon dioxide, Memory window voltage

1. 서 론

FRAM(ferroelectric random access memory)은 DRAM(dynamic random access memory)의 커패시터 재료를 상유전체 물질에서 강유전체 물질로 대체하여 전원 공급이 차단되어도 정보를 기억할 수 있고, 데이터의 고속 처리가 가능한 차세대 메모리 소자이다^{1,2)}. 이러한 비휘발성 메모리 소자는 크게 capacitor 전류형과 FET(field effect transistor)

형으로 나눌 수 있다. Capacitor 전류형은 destructive read-out 방식이고, 큰 잔류분극(remnant polarization, Pr)을 나타내는 강유전체 물질의 사용이 바람직하다. 반면에 FET형은 non-destructive type으로써 gate의 +Pr, -Pr 분극반전에 의해서 반도체 표면의 전위를 바꾸어 source-drain 전류를 조절하는 방식으로 집적도 향상과 작은 소모전력 등 많은 장점을 가지고 있다^{3,4)}. 그러나 여러 가지 박막 증착법을 이용하여 Si 기판 위에 직접 강유전체 물

질을 성장시키는데 있어서 계면에서의 계면트랩 증가와 상호확산에 의한 전하 주입효과로 양호한 전기적 성질을 얻기가 쉽지 않다^{5,6)}. 이러한 문제점을 해결하기 위해 강유전체와 Si 사이에 완충막의 절연체를 도입하여 MFIS(metal ferroelectric insulator silicon) FET 구조의 소자가 제안되고 있다⁷⁾.

FRAM의 캐패시터로서 주로 연구 되어지고 있는 물질로서는 Bi계 층상 구조를 가진 (Sr,Bi)Ta₂O₉ (SBT)와 (Bi,La)Ti₃O₁₂(BLT)를 들 수 있다. SBT 물질의 경우에는 양호한 피로 저항성과 낮은 누설전류 값을 가지지만, 공정온도가 800°C 정도로 높다는 단점을 가지고 있다. 이에 비해 BLT 강유전체 물질은 비교적 낮은 공정온도와 우수한 피로특성 등에 의해 비휘발성 메모리에 응용할 수 있는 유망한 물질로서 관심을 보이고 있다⁸⁻¹²⁾.

지금까지 SiO₂/Si 기판위에 SBT 물질을 증착한 후 이에 대한 특성평가를 수행한 논문은 다수 발표되고 있으나, 보다 유망한 강유전체 재료로서 알려진 BLT 물질을 졸-겔법으로 SiO₂/Si 기판위에 형성한후 결정학적·전기적 특성을 종합적으로 분석한 연구는 아직 부족한 실정이다.

본 연구에서는 열처리 과정에서 발생할 수 있는 계면반응을 줄이고, 양산공정에 적합한 졸-겔법을 이용하여 SiO₂/Si 기판위에 BLT 강유전체 박막을 제작하였다. 박막시료의 열처리 조건을 최적화하기 위해 열처리 온도에 따른 결정학적·형상학적·전기적 특성을 조사하였다.

2. 실험방법

졸-겔법을 이용하여 열 산화된 SiO₂(300Å)/Si 기판 위에 BLT 박막을 형성하였다. BLT 졸-겔 용액을 기판위에 스펀코팅 한후 열판(hot plate)에서 용매를 제거하기 위하여 330°C 온도로 BLT 박막을 건조하였다. 코팅과 건조를 5번 반복하여 원하는 두께로 조절하였다. 열처리되지 않은 BLT 박막의 결정화를 위해 전기로를 사용하여 650°C 및 700°C의 온도로 산소분위기에서 30분간 후속 열처리를 실시하였다. 열처리가 끝난 BLT 박막시료에 대해 전기적 특성을 측정하기 위하여 Pt 상부전극을 증착하였다. Pt 상부전극과 BLT 박막간의 접촉을 개선시키기 위하여 470°C의 온도로 10분간 전기로에서 열처리를 실시하였다. Si 기판 후면에 형성된

SiO₂층을 제거하기 위해서 HF 에칭용액을 사용하였으며 후면전극을 형성하기 위해서 인듐(In)을 코팅하여 캐패시터 소자를 제작하였다. BLT 강유전체 박막의 열처리에 따른 결정학적 특성 변화를 알아보기 위하여 XRD(X-ray diffractometer) 분석을 실시하였다. 박막의 표면 및 단면 형상을 SEM(scanning electron microscopy)과 AFM(atomic force microscopy)을 통하여 관찰하였다. 증착된 박막의 깊이에 따른 조성분포(depth profile)와 실리콘 기판과 증착된 박막과의 계면반응과 상호 확산을 알아보기 위해서 AES(auger electron spectroscopy) 분석과 EPMA(electron probe microanalyzer) 분석을 각각 실시하였다. BLT박막 커패시터의 누설전류를 측정하기 위하여 HP4155B를 이용하였으며, C-V특성은 HP4180A를 이용하여 측정하였다.

3. 결과 및 분석

BLT 박막의 원자 물비를 조사하기 위해서 EPMA 분석을 실시하였다. Table 1은 열처리 온도에 따른 BLT 박막의 물비를 나타내었다. 열처리하지 않은 BLT 박막은 Bi_{3.3}La_{0.7}Ti₃O₁₂의 평균 물비를 나타내었다. 700°C로 열처리된 박막의 경우 Bi 성분이 평균 약 8 mole% 감소하여, Bi 성분의 휘발을 확인할 수 있었다. Fig. 1은 열처리되지 않은 BLT 박막과 650°C 및 700°C로 열처리된 박막시료의 XRD 분석결과를 나타내고 있다. 650°C 이상의 온도에서 열처리한 BLT 박막의 경우 (117) 결정면을 주피크(main peak)로 하는 임의 배향구조를 나타내었다. 650°C에서 700°C로 열처리 온도를 증가 시킴에 따라서 주피크가 크게 증가하였으며 (117) 피크의 full width at half maximum (FWHM) 값이 약 0.65°에서 0.53°으로 감소하여 결정성이 개선되는 경향을 보여주었다. (117)면으로 BLT 박막이

Table 1. The atomic molar ratio dependences of BLT films on the annealing temperatures.

Annealing temp(°C)	Atomic molar ratio		
	Bi	La	Ti
As-coated	3.31	0.68	3.01
650°C	3.14	0.71	3.11
700°C	3.06	0.67	3.19

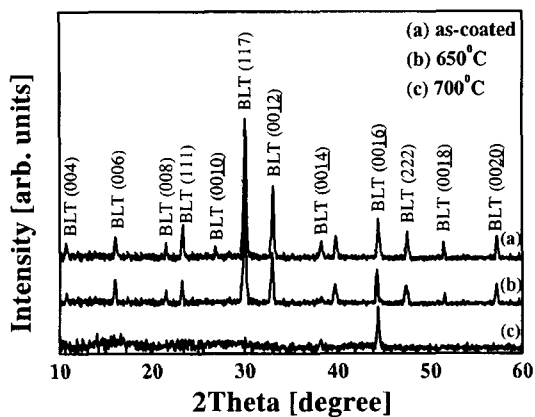


Fig. 1. XRD patterns of (a) the as-coated BLT film and the films annealed at (b) 650°C and (c) 700°C.

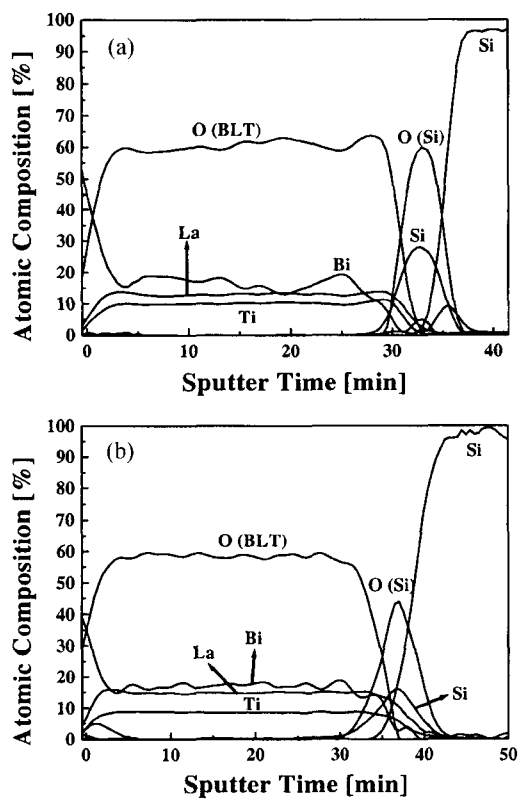


Fig. 2. AES depth profiles of (a) the as-coated BLT film and (b) the film annealed at 700°C.

주로 성장하는 것은 c축이 a, b축 보다 긴 pseudo-orthorhombic 결정구조를 나타내기 때문인 것으로 보고되고 있다¹⁵⁾.

Fig. 2는 열처리되지 않은 BLT 박막과 700°C의

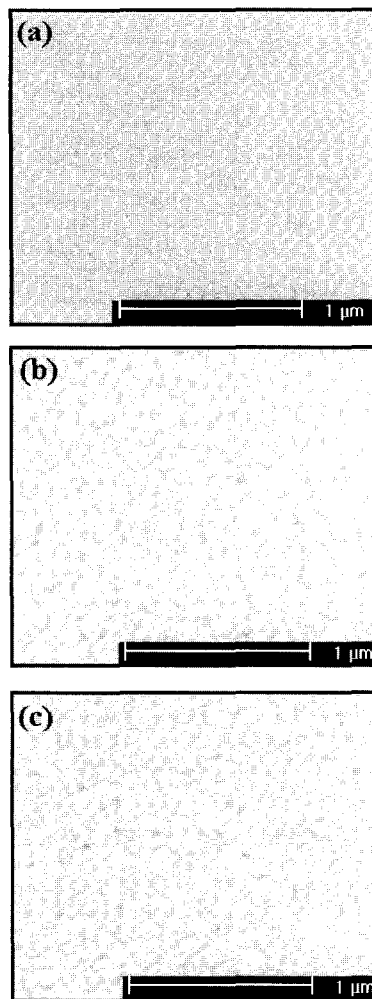


Fig. 3. SEM surfacial micrographs of (a) the as-coated BLT film and of the films annealed at (b) 650°C and (c) 700°C.

온도에서 열처리된 시료에 대한 AES depth profiles을 보여주고 있다. AES 분석을 통하여 열처리 전·후의 BLT 박막내의 각 성분 원소들이 비교적 균일하게 분포되어 있음을 확인할 수 있었으며 두 종류의 시료 모두에서 뚜렷한 계면반응을 보이지 않고 비교적 안정된 박막을 형성하고 있음을 알 수 있다.

Fig. 3은 열처리되지 않은 BLT 박막과 650°C 및 700°C의 온도에서 열처리된 박막시료에 대한 SEM 표면형상을 보여 주고 있다. 열처리하지 않은 박막은 비교적 매끈한 표면 현상을 나타내었다. 그러나 650°C 및 700°C의 온도로 열처리된 BLT 박

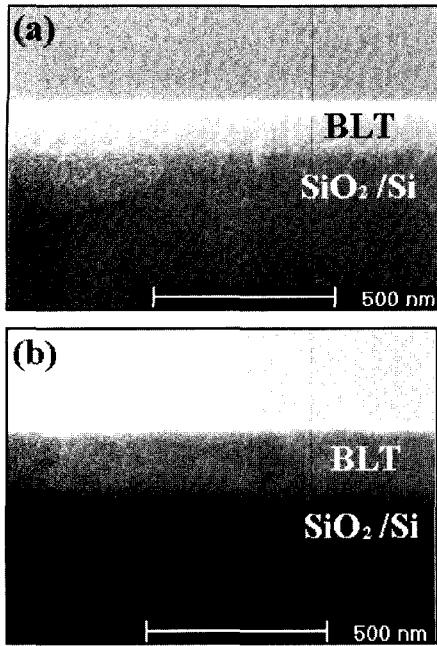


Fig. 4. FE-SEM cross-sectional micrographs of (a) the as-coated BLT film and (b) the sample annealed at 700°C.

막의 경우 과립(granular) 형상과 막대(rod) 모양의 혼합된 결정립들이 성장하였으며 약 0.1 μm 의 평균 입경(grain size)을 나타내었다. 또한 부분적으로 핀 홀 결함들이 발생하였음을 보여주고 있다.

Fig. 4는 열처리되지 않은 BLT 박막과 700°C의 온도에서 열처리된 박막시료에 대한 SEM 단면 형상을 보여 주고 있다. SEM 단면 형상을 통하여 SiO₂/Si 기판 위에 형성된 BLT 박막의 두께가 약 1900 Å임을 확인하였다.

Fig. 5는 열처리되지 않은 BLT 박막과 650°C 및 700°C의 온도에서 열처리된 BLT 박막에 대한 AFM 표면 형상을 보여 주고 있다. AFM 표면 형상을 통하여 열처리 온도가 표면 거칠기에 크게 영향을 미치고 있었다. 즉, 표면 거칠기를 나타내는 R_{rms} 값의 경우 열처리하지 않은 BLT 박막의 R_{rms} 값은 1.1 Å으로 비교적 부드러운 표면형상을 나타내었으나 700°C의 온도로 열처리된 BLT 박막의 R_{rms} 값이 45 Å으로 크게 증가하여 표면이 거칠어지는 경향을 확인할 수 있었다. 이러한 결과는 그림 3의 SEM 표면형상에서 알 수 있듯이 열처리 온도를 700°C로 증가시킴에 따라 결정립의 성장에 의해서 박막 표면이 거칠어지는 것으로 사료된다.

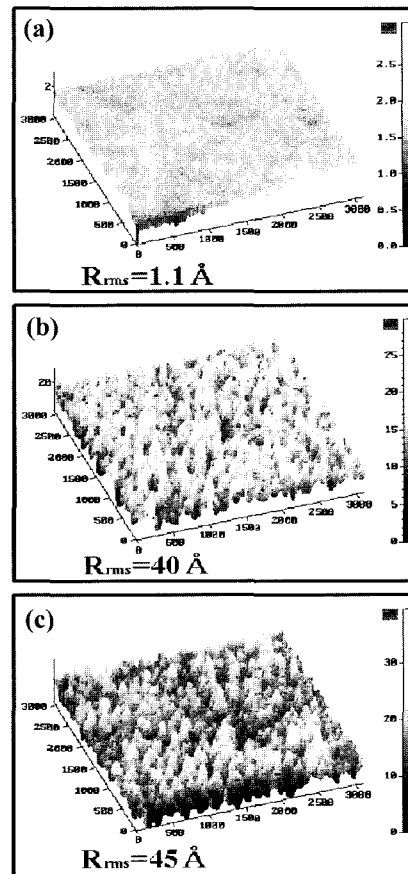


Fig. 5. AFM images of (a) the as-coated BLT film and of the films annealed at (b) 650°C and (c) 700°C.

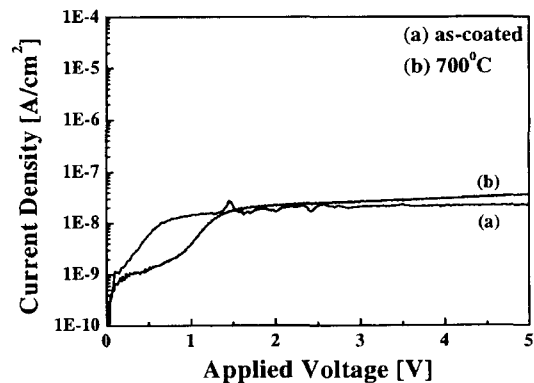


Fig. 6. Current-Voltage curves of (a) the as-coated BLT film and the film annealed at (b) 700°C as a function of the applied voltage.

Fig. 6은 열처리되지 않은 BLT 박막과 700°C의 온도에서 열처리된 박막시료의 전압인가에 따른

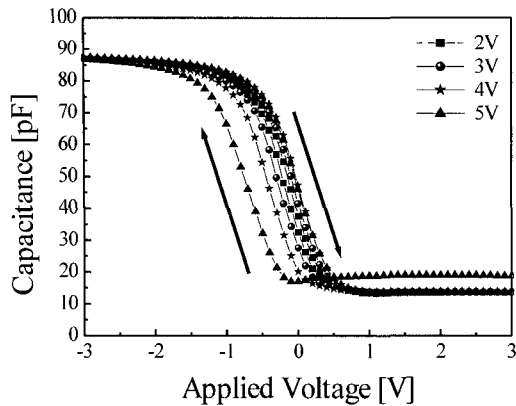


Fig. 7. Capacitance-Voltage characteristics of the BLT film annealed at 700°C.

전류밀도 곡선을 보여주고 있다. 3 V의 인가전압에서 열처리하지 않은 BLT 박막의 경우 누설전류 값은 약 1.5×10^{-8} A/cm²를 나타내었으며, 700°C의 온도에서 열처리된 시료의 경우 약 3.5×10^{-8} A/cm²으로 누설전류값이 다소 증가하였다. 이러한 누설전류의 증가는 결정립계(grain boundary)가 누설전류의 통로(path) 역할을 하게 된다. 즉 고온에서 결정립의 성장에 의해 결정립계의 증가와 박막 표면의 거칠기 증가로 인해 누설전류의 증가를 가져오는 것으로 설명하고 있다¹³⁾.

Fig. 7은 SiO₂/Si 기판구조 위에 형성한 BLT 박막을 700°C에서 열처리한 시료에 대한 C(capacitance)-V(voltage) 측정결과이다. 5 V의 인가전압에서 메모리 윈도우 값이 약 0.7 V를 나타내었다. C-V 곡선은 이력현상을 나타내며 이력곡선의 회전방향이 시계 방향으로 강유전체의 잔류분극에 의한 전계효과로 인한 것임을 알 수 있다. 5 V의 인가전압에서 음(-)으로 전이현상이 나타났으며 이는 SiO₂ 산화막 층내의 트랩전하에 의한 것으로 판단된다¹⁴⁾.

4. 결 론

SiO₂/Si 기판 위에 졸-겔법으로 (Bi,Lu)Ti₃O₁₂ (BLT) 박막을 스프인코팅한 후 결정화를 위해 650°C 및 700°C의 온도에서 열처리하였다. 제작된 박막 시료에 대해 결정학적, 전기적 특성을 조사한 결과 다음과 같은 결론을 얻었다.

BLT 박막을 650°C와 700°C 온도로 열처리함에

따라서 (117)면으로 성장한 임의 배향의 결정구조를 나타내었다. 열처리 온도를 650°C 및 700°C로 증가시킴에 따라서 full width at half maximum (FWHM) 값이 감소하였고, 결정립 크기의 증가와 R_{rms} 값이 증가하여 결정성이 향상되면서 표면이 거칠어지는 경향을 보여주었다. 700°C에서 열처리한 BLT 박막시료의 메모리 윈도우 값은 약 0.7 V 이었으며 3 V 인가전압에서의 누설전류 값이 약 3.5×10^{-8} A/cm²을 각각 나타내었다. 본 연구에서 얻어진 메모리 윈도우 값의 경우는 BLT 물질을 펄스레이저 증착법(Pulsed Laser Ablation Method)법에 의해 SiO₂/Si 기판위에 형성한 경우와 비슷한 메모리 윈도우 값을 나타내었으며, 누설전류의 경우는 레이저 증착법의 10^{-6} A/cm² 보다 낮은 값을 나타내었다. 향후 본 연구를 토대로 유전율이 보다 큰 안정한 산화물을 이용하여 전기적 특성과 누설전류를 개선시키는 연구를 수행할 예정이다.

감사의 글

이 연구는 2002학년도 단국대학교 대학연구비의 지원으로 연구되었음.

참고문헌

1. B. A. Tuttle, Mater. Res. Bull. 12, 40 (1987).
2. J. F. Scott and C. A. Paz de Araujo, Science 246, 1400 (1989).
3. B. M. Melnick, J. Gregory and C. A. Paz-de Araujo, Integr. Ferroelectric 11, 145 (1995).
4. K. M. Hwang, C. W. Lee, S. I. Kim, Y. T. Kim, Y. S. Kwon and S. I. Shim, J. Microelectronics & Packaging Soc. 8(3), 49 (2001).
5. S. Y. Wu, IEEE Trans. Electron Devices 21, 499 (1974).
6. Y. Matsui, M. Okuyama, M. Noda and Y. Hamakawa Appl. Phys. A 28, 161 (1982).
7. I. Sakai, E. Tokumitsu and L. Kammerdiner MRS. Proc, 200, 313 (1990).
8. B. H. Park, B. S. Kang, S. D. Bu, T. W. Noh, J. Lee and W. Jo, Nature, 401, 682 (1999).
9. M. Aoki, M. Mushiga, A. Itoh, T. Eshita, and Y. Arimoto, 1999 Sympo. VLSI Technol. Digest of Tech. Papers (Kyoto, June), 145 (1999).
10. M. Takashi, Y. Hiroyuki, W. Hitoshi and Carlos A.

- Paz de Araujo, Jpn. J. Appl. Phys. 34, 5233 (1998).
11. K. Okamoto and E. Tokumitsu, Appl. Phys. Lett. 76, 2609 (2000).
 12. S. H. Hwang and H. J. Chang, J. Korean Phys. Soc. 41(1), 139 (2002).
 13. S. H. Paek, J. H. Won, K. S. Lee, J. S. Choi, C. S. Park, Jpn. J. Appl. Phys. 35, 5757 (1996).
 14. E. H. Nicollian, and J. R. Brews, MOS Physics and Technology (John Wiley & Sons), 319 (1982).
 15. T. Choi, Y. Kim and J. Lee, J. Korean Phys. Soc. 40, 188 (2002).