

세라믹 패키지 내에서 비아에 따른 열적 거동에 관한 연구

이우성 · 고영우 · 유찬세 · 김경철 · 박종철

전자부품연구원 고주파재료연구센터

A Study on the Thermal Behaviour of Via Design in the Ceramic Package

W.S. Lee, Y.W. Ko, C.S. Yoo, K.C. Kim and J.C. Park

High Frequency Material Research Center, Korea Electronics Technology Institute

초 록: 열전달에 대해 고려하는 것은 LTCC와 같은 고밀도 회로기판을 설계하는데 매우 중요한 요소이다. 본 연구에서는 열전달 효과를 조사하기 위해서 LTCC 기판 내에 열 비아 및 패드를 위치시킨 기판을 제작하였다. 제작된 기판의 정확한 열적인 분석을 이해하기 위해서 Laser Flash Method에 의한 샘플의 열전도도 분석 및 수치해석을 수행하였다. 열비아 및 열방출을 위한 패드로 구성된 LTCC 기판의 열전도 특성은 순수 Ag 재료의 44%인 103 W/mK 값을 초과하는 특성을 나타내었다. 수치해석에 의해서 LTCC 기판내의 비아 배열, 크기, 밀도 변화에 따른 열거동의 해석을 수행하였다.

Abstract: Thermal management is very important for the success of high density circuit design in LTCC. In this paper, LTCC substrates containing thermal via and pad were fabricated in order to study the influence of the thermal dissipation. To realize the accurate thermal analysis for structure design, a series of simple thermal conductivity measurement by laser flash method and parametric numerical analysis have been carried out. The LTCC substrate including via and Ag pad has good thermal conductivity over 103 W/mK which is 44% value of pure Ag material. Thermal behaviors with via arrays, size and density in the LTCC substrate were studied by numerical method.

Keywords: LTCC, thermal via, thermal conductivity, FEM, laser flash method

1. 서 론

통신기기에서 단말기와 기지국의 거리가 증가함에 따라서 송신단의 증폭기 출력은 증대하게 되며 이와 관련되어 소자내의 열 생성이 크게 증가된다. 소자에서 발생된 열에 의한 온도 증가는 IC의 특성을 열화 시키기 때문에 효율적으로 열을 방사시켜서 부품의 신뢰성을 향상시키기 위한 관심이 집중되고 있다.

최근 내장소자에 의한 소형화, 고집적화로 각광을 받고 있는 LTCC(Low Temperature Cofired Ceramic) 재료는 에폭시 재질인 인쇄회로기판(Printed Circuit Board) 재료에 비해서 10배 정도의 우수한 열전도도를 지니고 있으나, AlN, Alumina, BeO의 재료에 비해서 낮은 열전도도 값을 지니고

있어 PAM(Power Amplifier Module) 등의 고출력을 내는 소자용 기판 재료로 적용하기에 문제가 되어 왔다. 이러한 LTCC 재료의 열전도도 특성을 개선하기 위해서 세라믹 기판 내에 여러 형태의 열 방출 통로를 위치시켜 열 방출을 향상하고자하는 시도가 계속되고 있다.

본 연구에서는 열방출을 향상하기 위해서 LTCC 기판에 금속 열 비아(Thermal Vias)와 열 방출 패드(Thermal Pad)로 구성된 기판을 제작하여 세라믹 기판에서 열 거동 해석을 위한 연구를 수행하였다. 제작된 LTCC 기판은 Laser Flash Method를 활용하여 열전도 특성을 측정하였으며, FEM(Finite Element Method) 시뮬레이션을 통해서 비아의 크기, 비아의 밀도, 배열의 개수의 영향에 따른 세라믹 기판에서의 온도 상승 효과 등을 해석하였다.

2. 실험 방법

2.1. Laser Flash Method를 이용한 열전도계수의 측정

본 연구 개발에서는 Laser Flash Method를 사용하여 LTCC 기판 및 금속 구조체의 이중복합물질에 대한 열전도계수를 측정하였다. 제조된 시편은 Fig. 1에서 보는 바와 같이 위치하여 시편의 표면에 레이저 펄스를 인가하였고 시편의 순간적인 온도 변화를 적외선 온도계를 사용하여 측정하였다. 열확산계수(Thermal Diffusivity)는 순간적인 온도 상승이 1/2시간이 되는 점을 측정하여 식 (1)을 이용하여 계산하였고, 열전도계수는 식 (2)를 이용하였다.

$$\alpha = 1.370 \frac{L^2}{\pi t_{1/2}} \quad (1)$$

$$k = \rho \times c_p \times \alpha \quad (2)$$

α : 열확산계수(Thermal Diffusivity), k : 열전도계수(Thermal Conductivity), C_p : 비열(Specific Heat), ρ : 밀도(Density)

2.2. FEM을 활용한 비아의 열방출 해석

LTCC 기판/비아 구조체의 시뮬레이션에 사용한

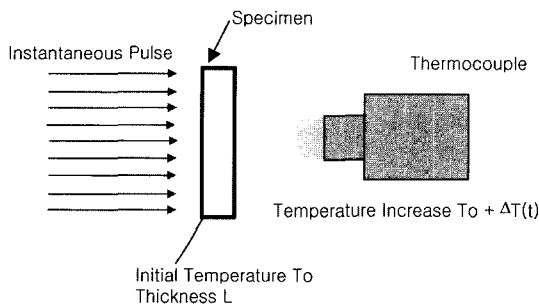


Fig. 1. Laser Flash Method.

Table 1. Material Property

Material		Thermal Conductivity (W/m-K)	Specific Heat (J/kg-K)	Density (kg/m ³)
Chip	Silicon	150	703	2,330
Ceramic	LTCC	1.97	837.36	3,600
Thermal Via	Ag	419	234	10,491

물성치를 Table 1에 나타내었다. 본 연구에서는 칩에서 소모하는 전력을 1 W로 가정하였고, 자연대류 조건일 때에 대해 해석하였다. 열비아 해석의 편의를 위해 칩과 세라믹 기판이 서로 접합된 구조로 가정하였다. 또한 열원(Heat Source) 및 열대류 경계조건은 다음과 같다. ① 열원(Heat Source)은 칩의 상부부분에 균일하게 존재한다. ② 기판의 표면에서만 외부공기와 접촉되어 있으므로 그곳에서만 대류가 발생된다. ③ 패키지 표면에서는 단열되어 있어서 대류가 발생하지 않으므로 칩에서 발생한 열은 반드시 패키지를 통과하여 기판에서 외부로 방출된다.

3. 실험 결과 및 고찰

본 연구에서는 열비아가 채워진 LTCC 기판과 여기에 전면패드를 부가시킨 2종류의 시편을 제작하였다. LTCC 기판은 Dupont 사의 저온 동시 소성 재료인 9599 분말을 이용하였다. 세라믹 분말을 활용해서 세라믹 테입을 제조하고, 펀칭 머신에 의한 비아 형성, 후막 인쇄공정에 의한 비아 필링, 적층 및 절단, 850°C 소성 공정 등의 적층 공정을 이용하여 시편을 제작하였다. 기판에 생성된 비아 및 열 방출 패드(Thermal Pad)의 재료로는 은(Ag)전극을 사용하였다. LTCC 기판내에 비아는 0.14 mm, 0.2 mm의 두 가지로 크기를 달리하여 제작하였으며 전체 면적을 기준으로 비아의 단면적이 3~18%까지 변화하였다. 또한, 패드(Thermal Pad)는 시편의 상부와 하부면 전체를 전도체 전극을 형성시켜 제작하였다.

비아가 내장된 LTCC 기판의 열 임피던스(Thermal Impedance)와 열전도계수의 특성은 다음과 같다. LTCC 기판에 존재하는 비아는 IC가 위치하는 상부면에서 기판의 하부면 방향으로 열방출을 향상시킨다. 기판의 열전도계수는 은(Ag) 재료로 구성된 비아의 밀도가 커질수록 증가하며, 열전도계수의 값은 혼합물의 법칙으로 예측할 수 있다.

일반적으로 열 임피던스(Thermal Impedance)는 식 (3)과 같이 정의되며 기판의 두께가 증가할수록, 열전도계수가 감소할수록, 그리고 열이 방출되는 면적이 감소할수록 증가한다.

$$\theta = \frac{t}{kA} \quad (3)$$

Table 2. Thermal Conductivity of LTCC/Via Structure

Via density*	Only Via (W/mK)		Thermal Pad/Via (W/mK)		Mixing Rule
	Small Via	Large Via	Small Via	Large Via	
3%	-	3	-	40	15
6%	6	4	32	64	27
9%	9	7	53	72	40
18%	19	22	67	103	77

(*: Via Density=Cross Section Area of via/Total Cross Section area)

θ : 열 임피던스(Thermal Impedance), t : 기판 두께(Substrate Thickness), A : 기판단면적(Cross Sectional Area), k : 열전도계수(Thermal Conductivity)

본 연구에서는 Laser Flash Method에 의해 측정된 열전도계수(Thermal Conductivity)의 결과는 Table 2와 같다.

측정 결과를 살펴보면 비아만 존재하는 기판은 매우 낮은 열전도계수 값을 보였으며, 열방출 패

드(Thermal Pad)를 추가시킨 기판의 경우에 열전도계수 특성이 크게 향상되는 것을 관찰 할 수 있다. 특히, 패드가 추가된 시편의 경우에 0.12 mm의 비아를 형성시킨 혼합 법칙과 유사한 값을 나타내었으며, 0.2 mm 크기의 비아를 형성시켰을 때 혼합법칙보다도 더욱 큰 열전도계수 값을 나타내었다. 특히 18%의 비아 밀도를 형성시킨 기판은 열전도계수는 103(W/mK)로서 이상적인 은(Ag) 재료의 44%의 열전도계수에 도달하는 값을 나타내었다. 이러한 결과에서 살펴보면 패드를 형성시킨 0.2 mm 비아의 경우에 비아밀도가 3%, 6%, 9%, 18%로 증가할 때 각각 35, 22, 20, 14로 열 임피던스가 감소하는 것으로 분석되었다.

칩 부품 및 열비아를 포함한 LTCC 기판의 열특성을 FEM(Finite Element Method)으로 해석한 결과는 다음과 같다. 본 연구에서 열비아의 배열(Thermal Via Hole Array)을 변화시킨 구조의 형상 및 결과를 Fig. 4와 같다. Fig. 4(a)와 (b) 그리고 (c)는 열 비아의 배열수가 각각 2x2, 6x6, 12x12인 경우에 대한 열 플럭스(Heat Flux)의 분포를 나타내었다.

시뮬레이션 결과 Fig. 3(a), (b), (c)의 경우에 국

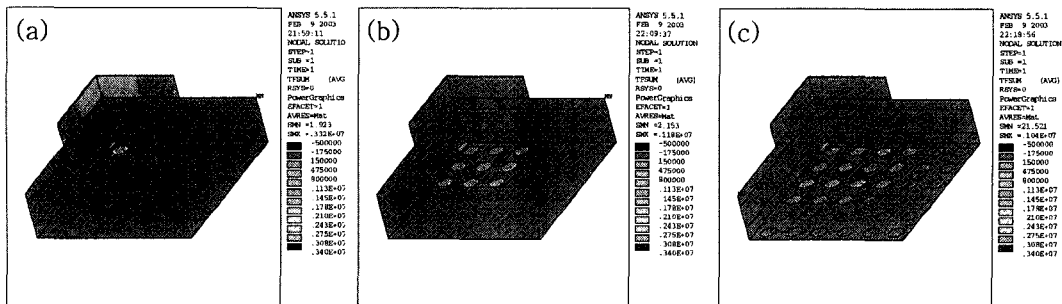


Fig. 2. Heat flux of thermal via array.

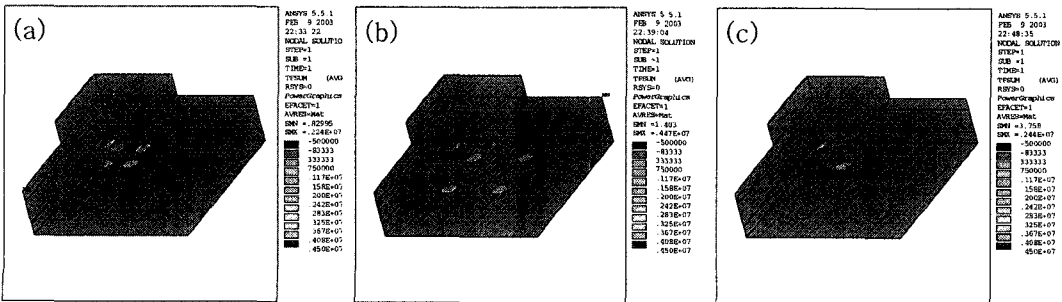


Fig. 3. Heat flux according to density of thermal via.

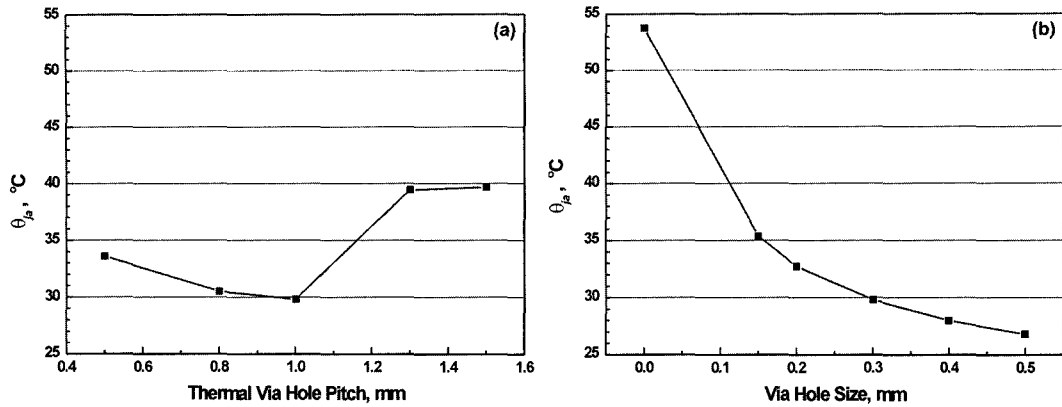


Fig. 4. Characteristics of thermal impedances according to size of thermal via hole pitch (a) and size (b).

부적인 최대 상승 온도는 64, 50, 49°C이었고 열저항(θ_{ja})은 33.5, 28.1, 27.1이었다. 여기서 열저항은 다음과 같이 정의되며, 열 임피던스와는 서로 비례하므로 해석결과에서의 각각의 디자인에 대한 열특성의 비교는 열저항을 사용하였다.

$$\theta_{ja} = \frac{T_j - T_a}{q_s} \quad (4)$$

θ_{ja} : 접합점대 주위에 대한 열저항(Junction-to-Ambient Thermal Resistance)

k : 열전도계수(Thermal Conductivity)

T_j : 접합점에서의 온도(Junction Temperature)

T_a : 주위 온도(Ambient Temperature)

(a)와 (b)에서의 Heat Flux의 값의 차이는 현격한 차이를 보이며, 배열의 수가 늘어날수록 열 방출의 효과가 큼을 보여주고 있다. 하지만 (b)와 (c)를 보면 배열의 수가 늘어나도 열 플럭스 분포의 차이는 거의 존재하지 않는 것을 알 수 있다. 시뮬레이션 결과 칩 면적 안에서 열비아(Thermal Via Hole)가 존재하는 6x6일 때까지 열저항 값이 줄어들었고, 그 이상의 배열에서는 거의 변화가 없었다. 따라서 칩 부품 면적 안에서의 열비아의 배열들은 열전달에 크게 영향을 미치지만, 그 면적 밖에 존재하는 비아의 배열은 열전달에 거의 공헌하지 않고 있음을 알 수 있다.

열비아 피치와 열저항에 따른 결과를 Fig. 3에 나타내었다. (a), (b), (c) 각각의 경우에 극부적인 최대 상승 온도는 55, 51, 61°C이었고 열저항(θ_{ja})

은 33.5, 29.8, 39.7이었다. 그 피치(Pitch)가 1.0일 때까지는 열전달 성능이 좋아지고 있지만, 그 이상일 때에는 오히려 급격하게 열방출 성능이 떨어지고 있음을 보여주고 있다.

비아의 크기(Via Hole Size)가 0~0.5 mm까지 변할 때의 열저항의 변화를 Fig. 4에 나타내었다. 2차원 해석결과와 비슷하게 0.15 mm까지는 열저항(θ_{ja})가 급격하게 감소하고, 그 이후 선형적으로 완만하게 감소하고 있음을 보여 주고 있다.

4. 결 론

비아가 포함된 LTCC 기판내의 특성을 분석하기 위해서 비아 밀도를 변화시킨 기판을 제작하여 기판의 열전도계수를 측정하였으며 시뮬레이션을 통해서 열방출 구조에 대한 분석을 수행하였다. 비아의 밀도가 증가할수록 열전도계수가 증가하였으며, 열방출 패드가 부가되면 전도도 값은 크게 증가하고, 이로 인해서 열 임피던스가 크게 감소하였다. 또한, 비아가 포함된 LTCC 기판의 3차원 해석을 통하여 비아의 배열 개수, 비아의 피치, 비아의 크기가 열 방출 특성에 미치는 영향에 대해 조사하였다. 그 결과 비아 배열 개수 및 점유율이 늘어날수록 열전달 성능이 좋아지지만, 칩의 면적 밖에 존재하는 비아는 열전달에 공헌하지 않아 열 방출 성능이 개선되지 않는다. 비아 피치가 커질수록 열전달 성능이 향상되지만 어느 이상으로 커져서 비아가 칩 면적 밖으로 존재하게 되면 오히려 성능이 급격하게 감소하였다.

참고문헌

1. S.M. Kim and C.H. Lee, "Efficient Approach to Thermal Modeling for IC Packages", J. Microelectronics & Packaging Soc., 6(2), 31-36 (1999).
2. 유찬세, 이영신, 이우성, 박승범, 강남기, 박종철, "LTCC 기술을 이용한 VCO 개발", 마이크로전자 및 패키징학회, 8(1), 61-64 (2001).
3. 박성대, "Multichip Module 개발을 위한 LTCC 및 LTCC-M 기술", 마이크로전자 및 패키징학회, 6(3), 25-35 (1999).
4. JEDEC SPEC, EIA/JESD 51-9 "Test Board for Area Array Surface Mount Package Thermal Measurements" (www.jedec.org).
5. B.Z. Hong, "Finite Element Modeling of Thermal Fatigue and Damage of Solder Joints in a Ceramic Ball Grid Array Package", Journal of Electronic Materials, 26(7), (1997).