

## 밀러 커패시턴스의 영향에 의한 IPM의 오동작과 대책

(A Fault Operation of the IPM Due to the Effect of Miller Capacitance and its Solution)

조수억\* · 강필순 · 김철우

(Su - Eog Cho · Feel - Soon Kang · Cheul - U Kim)

### 요 약

본 논문에서는 IPM의 전기적인 기생 성분 중에서 성능에 가장 크게 영향을 미치는 밀러 커패시턴스에 의하여 발생하는 오동작을 시뮬레이션을 통하여 증명하고 이를 최소화하기 위한 방법을 제시한다. 게이트와 컬렉트 단자간에 형성되는 밀러 커패시턴스와 밀접하게 관련된 게이트-에미터 사이의 기생 커패시턴스와 게이트 저항과의 상관관계를 PSpice 시뮬레이션을 통하여 분석한다. 또한 시뮬레이션 결과를 바탕으로 IPM의 오동작을 최소화하기 위한 보조 회로를 삽입한 주문형 IPM을 제시한다. 표준형 IPM과 오동작 방지를 위해 보조회로가 삽입된 주문형 IPM의 실험 파형을 통해서 주문형 IPM이 약 3 [V]의 오동작에 대한 여유 전압을 가짐을 확인할 수 있다.

### Abstract

This paper analyses a fault operation due to the effect of miller capacitance, which severely influences the performance of the IPMs based on computer-aided simulations, and also it presents a good solution to solve that problem. A miller capacitance existed between gate and collect is very closely related to the stray capacitance formed between gate and emitter, and the value of gate resistor. These relationships are proved by the computer-aided simulation. Based on the PSpice simulation results, a customized IPM employing an auxiliary circuit is presented to minimize a fault operation. And it is compared to the standard IPM by the experimental waveform. As a result, it is verified that a customized IPM has a voltage margin to prevent a fault operation approx. 3 [V].

Key Words : Intelligent power module(IPM), miller capacitance

### 1. 서 론

IGBT는 비교적 높은 스위칭 주파수, 저구동 전류, 중대형 용량의 전력 정격 등의 장점으로 다양한 전

력변환 시스템의 주요 소자로 이용되고 있다. 또한, 최근에는 기존의 IGBT를 하나의 모듈안에 2개에서 7개까지 집적하고 보호회로 및 게이트 드라이브 회로를 내장한 IPM이 널리 이용되고 있다. 일반적으로 IGBT를 사용하는 전력변환장치의 최대 스위칭 주파수는 하드 스위칭을 적용하는 환경에서 패키징, EMI 노이즈, 다이오드의 역회복 특성 등으로 제한된다 [1]-[5]. 또한, 전력 반도체의 전기적인 기생 용량은 전력 반도체의 성능에 영향을 줄뿐만 아니라 모

\* 주저자 : 부산대학교 전기공학과 박사과정  
Tel : 051-510-1488, Fax : 051-513-0212  
E-mail : sueok.jo@otis.co.kr  
접수일자 : 2003년 5월 2일  
1차심사 : 2003년 5월 15일  
심사완료 : 2003년 7월 14일

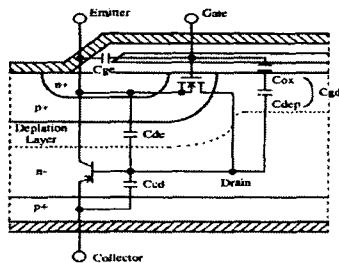
밀러 커패시턴스의 영향에 의한 IPM의 오동작과 대책

둘에 심각한 링킹(ringing)현상과 EMI 노이즈 발생의 원인이 된다 [6]-[7]. IGBT의 턴-오프시 발생하는 컬렉터와 에미터 간의 높은 스파이크 전압은 IGBT의 전체 루프 인덕턴스에 비례한다. 따라서 전체 루프 인덕턴스를 줄이기 위한 효과적인 패키징 기술이 빠르게 적용되고 있다. 그러나 현재의 상용 IGBT의 파워 모듈은 아직까지 와이어 본딩(wire bonding) 기술에 기본을 두고 있기 때문에 루프 인덕턴스에 의한 문제는 여전히 파워 디바이스 패키징과 적용에 주요한 사안으로 고려되고 있다 [8]-[10].

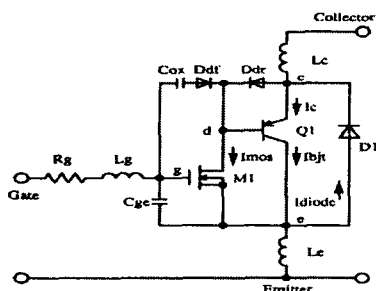
본 논문에서는 전력 반도체의 전기적인 기생 용량 중에서 성능에 가장 심하게 영향을 주는 IPM 내부의 밀러 커패시턴스에 의해 발생하는 오동작에 대하여 PSpice 시뮬레이션을 통하여 분석한다. 또한 표준형 IPM과 오동작 방지를 위해 보조회로가 삽입된 주문형 IPM의 실험 파형을 통해서 주문형 IPM이 약 3 [V]의 오동작에 대한 안정성을 가짐을 확인한다.

## 2. IGBT 모델 및 밀러 커패시턴스

### 2.1 IGBT의 등가 모델



(a) IGBT의 내부 구성도



(b) IGBT 모델의 등가 회로

그림 1. IGBT의 내부 구성 및 등가 모델  
Fig. 1. Inner composition and equivalent model of IGBT

IPM의 동적인 스위칭 특성을 파악하기 위해서는 내부 구성 요소인 IGBT의 정확한 모델링이 요구된다. 그림 1은 IGBT의 내부 구조와 등가 모델을 나타낸다. IGBT 모델의 구성 요소 정의는 크게 MOSFET(M<sub>1</sub>), 기생 PNP 바이폴라 트랜지스터(Q<sub>1</sub>), 환류 다이오드(D<sub>1</sub>), 게이트-에미터 커패시터(C<sub>ge</sub>), 커패시터(C<sub>ox</sub>), 다이오드(D<sub>dr</sub>), 게이트-드레인 커패시터(C<sub>gd</sub>), 다이오드(D<sub>dr</sub>)와 컬렉터-드레인 커패시터(C<sub>cd</sub>), 게이트 저항(R<sub>g</sub>), 각각의 컬렉터, 에미터, 게이트, 인덕턴스로 나타낼 수 있다. M<sub>1</sub>은 IGBT의 직선과 포화 영역의 정적 특성을 나타내며, IGBT의 I<sub>c</sub>-V<sub>ce</sub> 특성으로부터 M<sub>1</sub>의 정적 I<sub>d</sub>-V<sub>de</sub> 특성을 구할 수 있다. IGBT 모델의 구성 요소 중 가장 중요한 요소는 게이트-드레인 커패시터(C<sub>gd</sub>)이다. 왜냐하면 밀러 피드백 효과의 원인이 되는 요소이기 때문이다. 게이트-드레인 커패시터(C<sub>gd</sub>)는 게이트-드레인 overlap oxide 커패시터(C<sub>ox</sub>)와 depletion layer 커패시터(C<sub>dep</sub>)로 구성되어있다. 게이트-드레인 커패시터(C<sub>gd</sub>) 다음과 같이 표기된다.

$$C_{gd} = C_{ox} \cdot V_{gd} < V_{th} \quad (1)$$

$$C_{gd} = \frac{C_{ox}}{1 + \frac{C_{ox}}{C_{dep}}}, V_{gd} \geq V_{th} \quad (2)$$

여기서 V<sub>gd</sub>는 MOSFET(M<sub>1</sub>)의 게이트-드레인 전압이며, V<sub>th</sub>는 게이트-드레인의 문턱전압을 나타낸다. C<sub>dep</sub>는 게이트-드레인 공핍층 영역의 폭에 반비례하며, 게이트-드레인 전압(V<sub>gd</sub>)의 제공근에 비례한다. V<sub>th</sub>는 작아서 무시할 수 있으며 그림 1(b)에서 D<sub>dr</sub>로 표시할 수 있다. IGBT 턴-온, 턴-오프시 컬렉터-드레인 접합은 순방향 여자 되기 때문에 컬렉터-드레인 커패시터(C<sub>cd</sub>)는 비교적 중요하지 않다. 입력 커패시터(C<sub>ies</sub>)와 V<sub>ce</sub>와의 관계는 임피던스 분석기로 측정 가능하며, 컬렉터-에미터 전압(V<sub>ce</sub>)이 증가할수록 C<sub>ies</sub>는 감소하는 특성을 나타낸다.

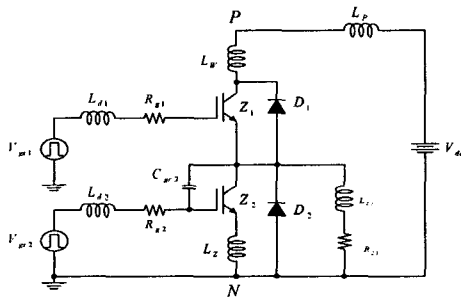
$$C_{ies} = C_{gd} + C_{ge} \quad (3)$$

$$C_{oes} = C_{gd} + C_{ce} \quad (4)$$

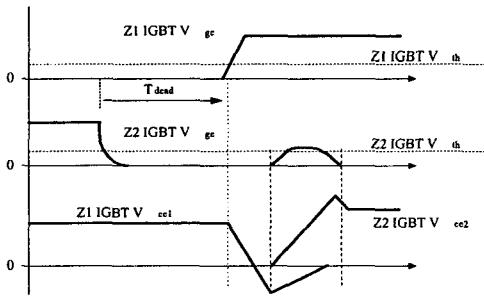
식 (3)에서 입력 커패시터( $C_{ies}$ )는 게이트-드레인 커패시터( $C_{gd}$ )와 게이트-에미터 커패시터( $C_{ge}$ )로 분리 가능하다. 또한 식 (4)에서 알 수 있듯이 출력 커패시터( $C_{oes}$ )는  $C_{gd}$ 와  $C_{ce}$ 로 구성되어 있으며  $V_{ce}$ 가 클수록 출력 커패시터가 감소하는 특성을 가진다.

**2.2 밀러 커패시턴스에 의한 영향**

그림 2(a)는 IPM 내부의 한 암에 존재하는 두개의 직렬 결합된 IGBT와 기생 커패시턴스, 기생 인덕턴스를 나타낸다. 그림 2(b)는 IGBT Z2가 턴-오프할 경우 밀러 커패시턴스의 영향에 의해 형성되는 전압파형을 나타낸다.



(a) IPM 내부 한 암에 대한 스위칭 회로도



(b) 밀러 커패시턴스( $C_{gc2}$ )에 의한 영향

**그림 2. IPM 내부의 스위칭 회로와 밀러커패시턴스에 의한 영향**

**Fig. 2. Inner switching circuit of IPM and the effect due to the miller capacitance**

IGBT 내부의 기생 커패시턴스 중에서 게이트와 컬렉터간의 커패시턴스 용량이 밀러 커패시턴스( $C_{gc}$ )라 정의된다. 게이트와 에미터 사이의 기생 커패시턴스  $C_{ge}$ 는 IGBT가 턴-온하는 동안 문턱 전압( $V_{th(on)}$ ) 유지 시간과 비례하게 되어 데드 타임과 밀접한 관계가 있다. IGBT가 턴-오프시 밀러 커패시터를 경유하여 게이트 전압이  $C \cdot dv/dt$ 에 비례하여 상승한다. 이때 유기되는 게이트 전압이 문턱 전압( $V_{th(on)}$ ) 이상이 되면 IGBT의 오동작이 발생하게 된다.

그림 2(a)에서 Z2 IGBT의 역회복 시간  $di/dt$  동안  $V_{ce2}$ 의 높은  $dV_{ce}/dt$ 때문에  $C_{gc2}$ 를 통하여 변위 전류( $I_v$ )가 흐르게 되며, 변위 전류의 크기는 식 (5)와 같이 나타난다.

$$I_v = C_{gc} \cdot \frac{dV_{ce}}{dt} \text{ [A]} \quad (5)$$

변위 전류는 게이트 저항 양단의 전압 강하의 원인이 되어서 문턱 전압을 초과하여 Z2 IGBT를 오동작 시켜서 추가적인 파워 손실을 야기할 수도 있다.

IGBT의 스위칭 속도는 공급 전원  $V_{ge}$ 에 연결된 게이트 저항과 관계가 있다. 게이트 저항이 작을수록 스위칭 시간은 짧아진다. 그러나 게이트 저항에 의한 스위칭 시간 컨트롤의 단점은 IGBT 내부의 기생 커패시턴스에 직접적인 영향을 받아서 IGBT의 스위칭 시간 및 스위칭 손실을 증가시킨다. IGBT의 게이트 제어 전압은 턴-온 및 턴-오프 시의 과도 상태에서도 20[V]를 초과해서는 안 된다. 일반적으로 턴-온 시 (+)측 전압은 일반적으로 15 [V]를 사용하며 턴-오프 시 (-)측 전압은 -10[V] 이하를 사용하는 것이 바람직하다.  $V_{ge}$  전압이 낮으면 컬렉터와 에미터 사이의 포화전압( $V_{ce(sat)}$ )이 증가되어 스위칭 손실이 증가하게 된다. 또한  $V_{ge}$ 가 20[V]를 초과하면 IGBT 내부의 MOSFET가 소손될 수 있다.

스위칭 특성에 있어서 드라이브 파라메타의 영향을 고려하면 스위칭 시간과 스위칭 손실에 있어서  $V_{ge}$  전압 및 게이트 저항은 IGBT 턴-온 시간( $T_{on}$ ) =  $T_{d(on)}$  +  $T_r$ (상승 시간), 턴-오프 시간( $T_{off}$ ) =  $T_{d(off)}$  +  $T_f$ (하강 시간)과  $T_t$ (tail time)에 각각 다른 방향으로 영향을 준다.  $V_{ge}(+)$ 와  $V_{ge}(-)$ 측의 게이트 커패시턴스는 턴-온 전에는 절대적이나 만약  $V_{ge}$  전압과 재충전 전류가 증가하면 고정된 게이트 저항에 대해

밀러 커패시턴스의 영향에 의한 IPM의 오동작과 대책

턴-온 지연 시간( $T_{d(on)}$ )과 턴-오프 지연 시간( $T_{d(off)}$ )은 감소하게 된다. 또한, 게이트 저항을 통해 결정되는  $V_{ge}$  전압에 의해  $T_r$ 과  $T_f$ 이 결정되고 스위칭 턴-온 손실 및 턴-오프 손실에 영향을 미친다. 게이트 저항이 증가되면 컬렉터 전류의  $T_r$ 은 증가한다. 이것은 환류 다이오드의  $di/dt$  속도를 증가시키게 되어 환류 다이오드의 턴-오프 전력 손실을 증가시키는 원인이 된다.

### 3. 시뮬레이션 및 실험

#### 3.1 시뮬레이션

PSpice를 이용하여 IPM 내부의 한 암에 대한 IGBT 조건을 모델링을 하였으며 밀러 커패시턴스 및 게이트 에미터간 커패시턴스( $C_{ge}$ )의 영향을 분석하였다. 표준형 IPM인 PM100RSE120H의 U, V, W, X, Y, Z 6개의 IGBT중 내부 인덕턴스가 가장 큰 W(+상 IGBT와 Z(-상 IGBT 조건으로 고려하였다.

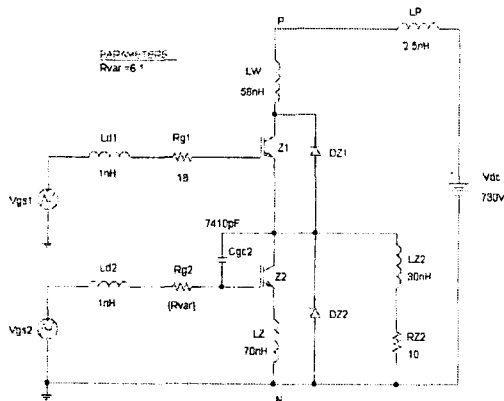


그림 3. 밀러 커패시턴스의 영향을 분석하기 위한 시뮬레이션 회로도  
Fig. 3. A simulation circuit for analysis due to the miller capacitance effect

그림 3은 IGBT의 밀러 커패시턴스에 의한 영향을 시뮬레이션하기 위한 회로도이다. IPM 내부에 존재하는 기생 인덕턴스는 식 (6)을 바탕으로 한 간이 측정법으로 측정하여 시뮬레이션에 이용하였으며, 측정위치에 따른 인덕턴스 값을 표 1에 나타내었다. 간이 측정법으로 측정한 인덕턴스 값에는

IGBT 내부 칩의 용량이 포함된다.

$$\Delta V = L \cdot \frac{di}{dt} [V] \quad (6)$$

IPM 내부의 기생 커패시턴스는 표준형 IPM PM100RSE120H의 경우 표 2와 같이 나타난다.

그림 3의 회로를 이용하여 시뮬레이션 한 결과 Z2 IGBT가 턴-오프한 후, Z2 IGBT의  $V_{ce}$ 가 증가하는 시점부터 식 (1)에 의해 변위 전류가  $V_{ge}$ 를 유지함을 그림 4에서 볼 수 있다. 그림 4에서 알 수 있듯이 게이트 저항이 클수록 유지 되는 전압도 증가한다. 표준 게이트 저항 적용시 약 4.2 [V], 표준 게이트 저항을 약 2배 증가 시켰을 경우 약 4.8 [V]로 게이트 전압이 상승하게 된다. 따라서 게이트 저항을 선택할 경우에 밀러 커패시턴스에 의한 영향을 검토하고 이에 대한 대책을 반드시 세워야 밀러 커패시턴스의 양향에 의한 오동작 저감할 수 있다.

표 1. IPM 내부의 기생 인덕턴스(Ls)  
Table 1. Inner stray inductance(Ls) of IPM

측정 위치	PM100RSE120H
	내부 인덕턴스 [nH]
P - U	30
P - V	40
P - W	58
U - N	34
V - N	58
W - N	70

표 2. IPM 내부의 기생 커패시턴스  
Table 2. Inner stray capacitance of IPM

기생 커패시턴스	값 [pF]	비고
$C_{gc}$	7410	$V_{ce}=10[V]$
$C_{ge}$	16590	$V_{ge}=0[V]$

그림 5는 게이트 저항 값의 변화에 따른 게이트와 에미터 사이의 기생 커패시턴스( $C_{ge}$ )의 영향을 확인하기 위한 PSpice 회로도를 나타낸다. 그림 6에 도시된 결과 파형으로부터 게이트 저항 변경할 경우 IGBT 턴온에 따른  $C_{ge}$ 의 영향을 확인할 수 있다. 게이트 저항을 표준, 표준의 2배, 표준의 3배로 증가

시킬 경우 문턱 전압 유지 시간이 게이트 저항 값과 비례하여 증가함을 확인할 수 있다.

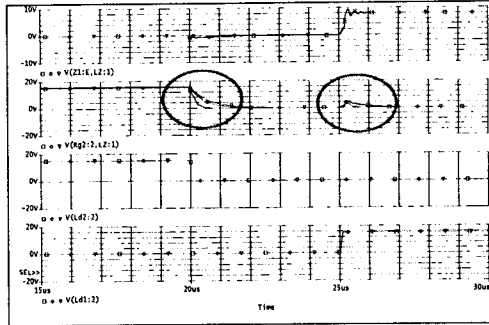


그림 4. 턴-오프시 밀러 커패시턴스 영향  
Fig. 4. Miller capacitance(Cgc)effect at turn-off

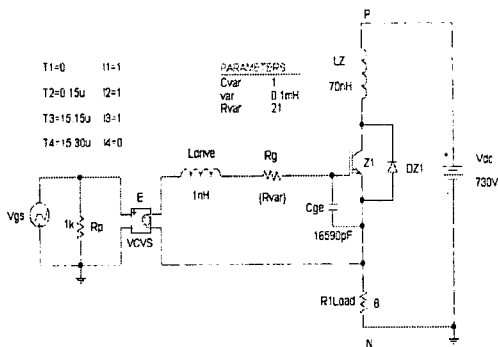


그림 5. Rg 변경에 따른 Cge의 변화를 분석하기 위한 시뮬레이션 회로도  
Fig. 5. A simulation circuit for the analysis of Cge effect according to Rg variation

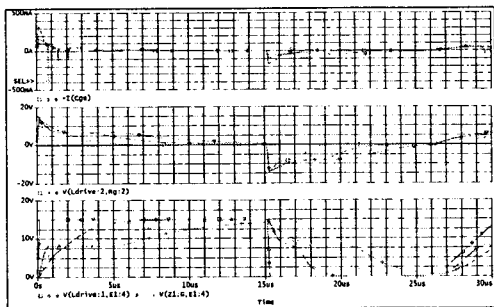


그림 6. Rg 증가에 따른 Cge의 변화  
Fig. 6. Variation of Cge according to the increase of Rg

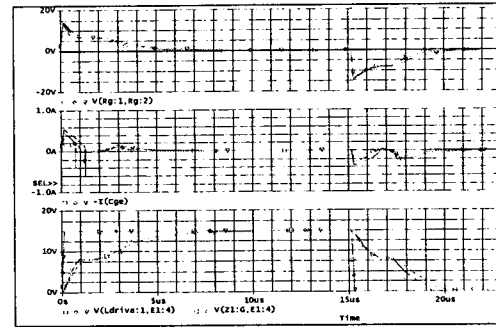


그림 7. 턴-온시 Cge 변경에 의한 Cge의 영향  
Fig. 7. Effect of Cge by changing Cge at turn-on

그림 7은 게이트 저항을 고정하고 IPM 내부 Cge 값을 표준, 표준의 2배, 표준의 3배로 증가시켰을 경우에 대하여 시뮬레이션 한 결과 파형이다. Cge값의 증가와 비례하여 IGBT 턴-온 시 문턱 전압 유지 시간이 길어지는 현상이 발생한다. 그러나 게이트 저항값의 변화가 문턱 전압 유지 시간에 더 영향력이 있음을 확인할 수 있다. 즉, 최적의 게이트 저항을 선택할 경우에는 IGBT 턴-오프시의 밀러 커패시턴스에 의한 오동작 여부와 턴-온 시 문턱 전압 유지 시간 변경에 따른 데드타임을 정확히 검증하여야 한다.

### 3.2 실험 결과

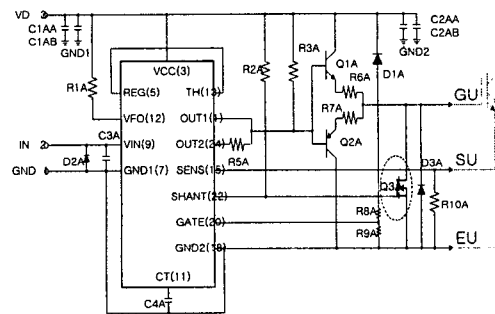


그림 8. 밀러 커패시턴스에 의한 오동작 방지를 위한 회로도  
Fig. 8. Circuit diagram to prevent fault operation of miller capacitance

시뮬레이션 결과로부터 검토한 밀러 커패시턴스에 의한 오동작에 대한 대책으로 주분형 IPM에서는 내부 회로를 그림 8과 같이 구성하였다. 기존의 표준

밀러 커패시턴스의 영향에 의한 IPM의 오동작과 대책

형 IPM 내부의 점선 부분에 IGBT의 게이트단과 에미터단 사이에 보조 루프를 형성할 수 있는 MOSFET를 추가하였다. IGBT 턴-오프시 Q3A MOSFET를 턴-온하면 완전한 접지 상태가 되므로 밀러커패시턴스에 의해 형성되는  $V_{ge}$ 에 의한 오동작을 해소할 수 있다.

그림 9의 내부에 보조회로를 삽입한 주문형 IPM에서 밀러 커패시턴스에 의해 유기되는 전압 파형을 나타낸다. 주문형 IPM에서 게이트 저항이 증가할 경우 약 1 [V]의 전압이 유기되지만 문턱 전압이 약 4 [V]임을 가만하면 오동작에 대해서 약 3 [V]의 여유가 있음을 확인할 수 있다.

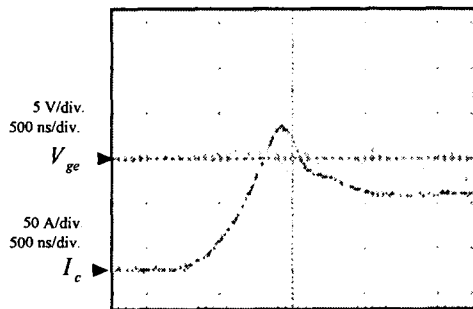


그림 9. 밀러 커패시턴스에 의한  $V_{ge}$  파형 실측  
Fig. 9. Experimental waveform of  $V_{ge}$  by miller capacitance

#### 4. 결 론

본 논문에서는 IPM의 전기적인 기생 용량 중에서 성능에 가장 심하게 영향을 주는 IPM 내부의 밀러 커패시턴스에 의해 발생하는 오동작에 대하여 분석하였다. 또한 게이트와 에미터 사이의 기생 커패시턴스와 밀러 커패시턴스 그리고 게이트 저항과의 상관 관계를 PSpice 시뮬레이션을 통하여 분석하였다. 표준형 IPM과 오동작 방지를 위해 보조회로가 삽입된 주문형 IPM의 실험 파형을 통해서 주문형 IPM이 약 3 [V]의 오동작에 대한 안정성을 가짐을 확인하였다.

#### References

- [1] M. Chiado Caponet, F. Profumo, R. W. De Doncker, and A. Tenconi, "Low Stray Inductance Bus Bar Design and Construction for Good EMC Performance in Power Electronics Circuits," *IEEE Trans. Power Electron.*, vol. 17, pp. 225-231, March 2002.
- [2] Antonio G. M. Strollo, "A New IGBT Circuit Model for SPICE Simulation," in *Proc. IEEE PESC'97*, 1997, pp. 133-138.
- [3] Mitsubishi Data Book & Application Note, 2001.
- [4] Toshiba Data Book & Application Note, 2001.
- [5] Semikron Data Book & Application Note, 2001.
- [6] A. Boglietti, and et al., "An Accurate High Frequency Model of AC PWM Drive systems for EMC Analysis," in *Proc. IEEE IAS'01*, 2001, pp. 1111-1117.
- [7] S. Momota, M. Otsuki, K. Ishii, H. Takubo, and Y. Seki, "Analysis on the Low Current Turn-on Behavior of IGBT Module," in *Proc. PSDIC'00*, 2000, pp. 359-362.
- [8] Masahiro Kimata, Satoru Chikai, Takeshi Tanaka, and Kazufumi Ishii, "High Performance Gate Drive Circuit of High Voltage IPMs (HMPMs)," in *Proc. IEEE PESC'98 Rec.*, 1998, Vol. 2, pp. 1196-1200.
- [9] S. Igarashi, S. Takizawa, M. Tabata, M. Takei, and K. Kuroki, "An Active Control Gate Drive Circuit for IGBTs to Realize Low-noise and Snubberless System," in *Proc. IEEE ISPSD'97*, 1997, pp. 69-72.
- [10] Shihong Park, and Thomas M. Jahns, "Flexible  $dv/dt$  Control Method for Insulated Gate Power Switches," in *Proc. IEEE IAS'01*, 2001, vol.2, pp. 1038-1045.

#### ◇ 저자소개 ◇

##### 조수익 (曹洙億)

1965년 3월 20일생. 1993년 부산대학교 공과대학 전기공학과 졸업. 2002년 부산대학교 대학원 전기공학과 졸업(석사). 현재 동 대학원 전기공학과 박사과정. 1993년 LG그룹 입사. 현재 OTIS-LG 엘리베이터팀 과장.

##### 강필순 (姜翊淳)

1973년 9월 5일생. 1998년 경상대학교 공과대학 전기공학과 졸업. 2000년 부산대학교 대학원 전기공학과 졸업(석사). 2003년 동 대학원 전기공학과 졸업(박사). 현재 일본 오사카공대 전기공학과 특별연구원.

##### 김철우 (金喆禹)

1942년 12월 5일생. 1969년 부산대학교 공과대학 전기공학과 졸업. 1974년 일본 전기통신대학 전자공학과 졸업(석사). 1980년 일본 동경 공업 대학 전기전자공학과 객원 교수. 1986년 중앙대학교 전기공학과 졸업(박사). 현재 부산대학교 공과대학 전자전기통신공학부 교수. 본 학회 평의원.