

DSP를 이용한 변압기용 디지털 보호계전기 설계에 관한 연구

(A Study on Design of Digital Protective Relay for Transformer Using a DSP)

서희석* · 권기백

(Hee - Seok Suh · Gi - Back Kweon)

요 약

본 논문에서는 디지털화 경향에 맞추어 변압기를 보호함과 아울러 감시 및 계측 등의 기능을 갖춘 변압기용 디지털 보호계전기를 개발하기 위한 하드웨어 및 실시간 처리가 가능한 소프트웨어의 구현 방법 등을 제시하였다. 특히 보호계전기의 모든 알고리즘 및 보조 프로그램들이 단일 프로세서에 의해 실시간으로 수행될 수 있도록 DSP의 DMA 제어를 이용하여 아날로그 입력 데이터를 처리하였다. 아울러 비휘발성 메모리(EEPROM, flash memory)에 보호계전 알고리즘의 수행에 필요한 각종 설정치, 이벤트 및 고장데이터를 저장하고 UART를 이용하여 데이터를 분석할 수 있도록 하였다.

그리고 시험용 변압기용 디지털 보호계전기를 제작하여 일본 NF사의 보호계전기 시험기를 이용하여 변압기 보호기능 및 동작특성을 시험하여 그 성능을 입증하였다.

Abstract

In this papers, We studied system requirement specification, hardware design and implementation, protective algorithm and software design method to implement digital protective relay which has high trust and high function of protection as well as control and metering for power transformers.

Protective relay for transformer is implemented on real time using DSP, which is the specific processor for digital signal processing, as a result, it is completed by the wide improvement of arithmetic capability of protective relay.

Reliability is proved testing operating value and operating time, reset value and reset time of an relaying element using protective relay tester made in NF Corporation of Japan.

Key Words : Digital Protective Relay, Differential Currents Relay, Transformer Protection, DSP

1. 서 론

보호계전기(protective relay)는 전력계통(power

system)에서 고장을 검출함과 아울러 제어하는 기능을 갖춘 시스템으로 고장검출 감도, 동작속도 및 동작 신뢰도를 향상시키고 제어 감시가 가능한 시스템이 요구되고 있다.

한편 변압기용 디지털 보호계전기는 일부 선진국을 중심으로 개발되어 실용화되고 있으며, 대부분의 H/W는 2개 이상의 프로세서를 이용하여 보호계전 기능을 구현하고 있다[1~3]. 변압기 보호계전 알고리즘으로

* 주저자 : 두원공과대학 자동화시스템과 부교수

Tel : 031-670-7265, Fax : 031-670-7269

E-mail : shs7165@doowon.ac.kr

접수일자 : 2003년 3월 27일

1차심사 : 2003년 4월 7일

심사완료 : 2003년 8월 11일

DSP를 이용한 변압기용 디지털 보호계전기 설계에 관한 연구

는 여자돌입전류에 의한 보호계전기의 오동작 방지를 고려한 제2고조파 억제 기능을 갖는 비율차동계전 알고리즘(percentage differential currents relaying algorithm) 이 널리 이용되고 있다[1~9].

이에 본 논문에서는 변압기용 디지털 보호계전기의 국산화를 위한 연구의 일환으로 변압기를 보호함과 아울러 감시 및 계측 등의 기능을 갖춘 디지털 보호계전기를 개발하기 위한 하드웨어와 소프트웨어의 구현 방법 등을 제시한다.

하드웨어 설계에 있어서는 무엇보다 1개의 프로세서를 사용하여 알고리즘의 실시간(real time) 처리가 가능하도록 CPU 는 신호처리 전용 고속 프로세서인 DSP(digital signal processor)를 이용하며, LCD 등을 이용하여 MMI(man machine interface) 기능을 구현하고, 비동기 직렬통신 UART(Universal Asynchronous Receiver Transmitter) 를 이용하여 각종 데이터를 분석할 수 있도록 설계한다.

전력용 변압기 보호를 위한 보호계전 알고리즘은 제2고조파와 억제특성을 갖는 비율차동계전 알고리즘을 사용하며, HOC(high offset current) 기능을 갖추도록 함으로써 실제계에 적용이 가능한 변압기용 디지털 보호계전기의 하드웨어 및 소프트웨어의 구현에 관해 연구한다.

2. 변압기 보호계전 알고리즘

최근의 변압기는 대용량화되면서 고장에 따른 전류의 크기도 다양한 양상을 보이고 있다. 이에 본 논문에서는 그림1과 같이 억제전류의 크기에 따라서 다른 비율로 동작특성을 갖는 개선된 비율차동특성을 변압기 보호계전 알고리즘에 적용한다.

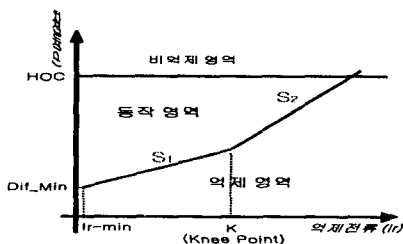


그림 1. 개선된 비율차동 특성
Fig. 1. Improved percentage differential characteristic

본 연구에서 적용한 비율차동특성은 억제전류의 크기에 따라 변곡점(knee point) K 를 중심으로 서

로 다른 비율(slope) S_1, S_2 로 분리함으로써 차전류와 억제전류의 비를 변경할 수 있도록 하며, HOC 기능에 의해 동작되는 비억제 영역을 설정하여 높은 내부고장전류에 대해 고속으로 동작할 수 있도록 한다. 여기서 차전류 I_d 는 변압기의 1차측과 2차측 사이의 전류차이며, 억제전류 I_r 은 식(1)로 정의된다.

$$I_r = (I_p + I_s)/2 \quad (1)$$

그리고 식(2)로 표현되는 논리식을 이용하여 차전류와 억제전류의 비를 비율 S_1, S_2 와 비교하여 변압기의 고장을 판단한다.

$$(I_d \geq S_1 \cdot I_r) \text{ AND } (I_d \geq S_2 \cdot I_r) \quad (2)$$

본 논문에서는 변압기의 종류 및 운전 조건 등을 고려하여 최소 동작치 Dif_Min , Slope S_1, S_2 및 변곡점 K는 Key 를 이용하여 임의로 설정이 가능하고, LCD를 통하여 모니터링 할 수 있도록 하였다.

3. 하드웨어 설계

본 장에서는 변압기용 디지털 보호계전기의 개발을 위한 H/W 의 설계에 관하여 기술한다.

3.1 하드웨어 설계

그림 2는 본 연구에서 설계한 변압기용 디지털 보호계전기의 전체적인 H/W 구성을 나타낸 것이다.

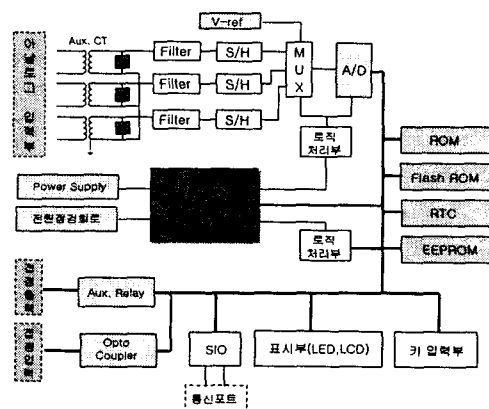


그림 2. 변압기 보호용 디지털 보호계전기의 시스템 구성도
Fig. 2. System diagram of digital protective relay for transformer

그림 2에서 알 수 있듯이 본 연구에서 설계한 변압기용 디지털 보호계전기는 크게 아날로그 입력부, 전원부, 디지털 입·출력부, 통신부, 표시부 및 조작부, 연산 처리부 등으로 나누어지며, CPU 는 TI사의 TMS320C32 50[MHz]를 사용하였다.

A/D 컨버터는 Analog Device 사의 16 Bit 처리용 AD676 를 사용함으로써 작은 입력신호부터 큰 신호까지 보다 정확한 데이터 처리가 가능하도록 하였다. 그리고 RTC (Real Time Clock)는 DS1553을 사용하여 시스템의 동작상태를 실시간 감시하도록 하고, 20자 4라인의 LCD와 키를 이용하여 MMI 기능을 구현하였다.

프로그램은 29F040 ROM에 저장되어 부팅이 이루어지고, 설정값들은 EEPROM에 저장되도록 하며, 고장 데이터는 24 sample/cycle 로 최소 1초간 4회 이상 Flash ROM에 저장하며, 128개의 Evt Data 를 저장할 수 있도록 메모리를 구비하였다. 그리고 기타 기능으로 Power Fail, 자기 진단, 자동 점검 기능 등을 수행할 수 있도록 하였다.

3.2 하드웨어 구현

사진 1은 하드웨어를 설계하고 4층으로 PCB를 제작하여 구성한 시험용 변압기 보호용 디지털 보호계전기의 전체적인 시스템을 나타낸 것이다.

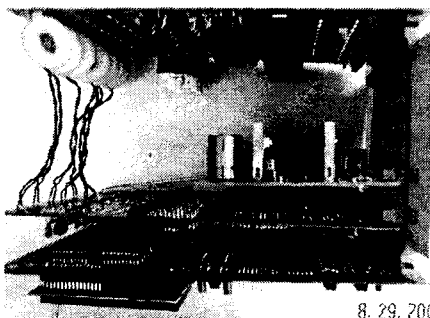


사진 1. 디지털 보호계전 시스템의 상위 모습
Pic. 1. Top view of digital protective relaying system

사진 1에서 맨 아래 부분이 CPU보드이며 두 번째 보드가 아날로그 입력을 A/D 변환하는 기능을 수행하는 MUX, S/H 및 A/D 변환회로로 구성된 입력변

환용 보드이다. 아래에서 3번째 보드는 SMPS를 사용한 전원공급 보드이며, 맨 위의 보드는 CT를 포함한 아날로그 입력 및 디지털 입출력 회로로 구성된 입출력 보드이다.

4. 소프트웨어 설계

본 연구에서는 객체지향 UML(unified modeling language)를 사용하여 소프트웨어의 명세화, 문서화 및 가시화를 추구하였으며, 하드웨어의 자원을 효율적으로 관리해 주는 실시간 커널을 이용함으로써 응용 소프트웨어와 하드웨어 제어용 소프트웨어의 분리를 통해 개발의 용이성 및 소프트웨어의 신뢰성을 한층 더 높였다.

4.1 RTOS(Real time operating systems)

일반적인 OS(operating system)에서는 자원(예를 들면, 메모리, 하드디스크 등)을 얼마나 효율적으로 낭비 없이 쓸 것인가에 초점이 맞춰져 있지만, 실시간(real-time) OS 인 RTOS는 자원의 효율적 사용도 중요하지만 그 속도에 좀더 비중을 두고 있다. 이와 같은 목적으로 본 논문에서는 실시간 OS 인 uC/OS-II (micro-C operating system II)를 이용하여 보호계전기의 소프트웨어를 처리하도록 하였으며, 그림 3은 RTOS에 의해 처리되는 알고리즘을 비롯한 기타 추가적인 내용들을 나타낸 것이다[10].

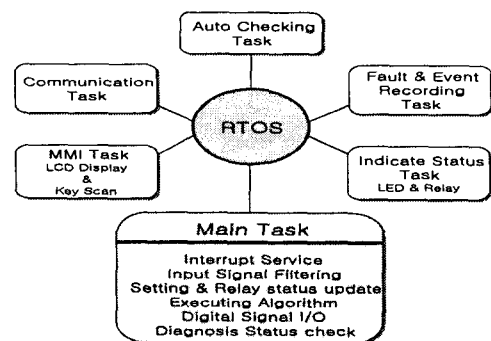


그림 3. 소프트웨어의 전체적인 구성
Fig. 3. Entire composition of software

그림 3에서 알 수 있듯이 주요한 기능으로는 인터럽트 처리와 보호알고리즘의 수행이다.

그리고 부가적 기능으로 감시 및 계측기능을 수행하는데, 감시기능으로는 전류비율 차동 요소의 상구분을 표시하며, 각 상의 실시간 전류와 기타 계전기에서 제공하는 각종 기능들을 계측할 수 있도록 한다. 또한 통신기능, 자동 감시기능, 자기진단기능 등이 내포되어 있으며, 계전기 내, 외부의 변화를 그 시각과 함께 기록하여 전면 LCD 화면 및 UART를 통하여 사용자가 그 내용을 확인할 수 있게 하는 이벤트 데이터 저장 기능도 갖추고 있다. 기록되는 이벤트 데이터는 각 계전 요소의 동작 및 동작시간, 복귀요소의 동작 및 동작시간, 장치의 이상 발생, 정정치의 변화와 정정시간, 계전기의 전원 리셋, 동작 표시기 Reset 등이다. 또한 소프트웨어적으로 강제 입출력 신호를 발생시켜 하드웨어의 이상 유무를 점검할 수 있도록 하였다.

4.2 UML(Unified modelling language)

본 논문에서는 소프트웨어의 명세화, 문서화, 가시화를 통해 신뢰도를 향상시키고자 객체지향 언어인 UML을 사용하여 소프트웨어를 설계하였으며, 그림 4는 UML을 이용하여 변압기용 디지털 보호계전기의 순차 다이어그램을 나타낸 것이다.

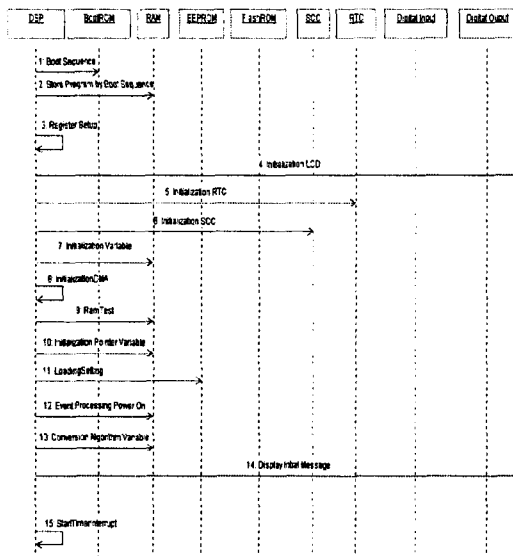


그림 4. 보호계전기의 순차도
Fig. 4. Sequence diagram of protective relay

순차 다이어그램에서는 객체를 수직선 위에 표시하는데 이 수직선을 객체의 생존선(lifeline)이라 한다. 각 메시지는 두 객체 생존선 간의 화살표로 표현하며, 이 메시지가 발생하는 순서는 위에서 아래로 순차적으로 표시한다[11].

본 논문에서는 변압기용 디지털 보호계전기의 순차도를 설계함에 있어 객체를 각각의 소자로 보았다. 즉 ROM, RAM, EEPROM, FlashROM, RTC, Digital Input 소자, Digital Out 인 Relay 등의 소자들이 프로세서를 중심으로 메시지를 주고받는 형태로 표현하였다.

5. 성능 평가

본 연구에서는 시험용 변압기용 디지털 보호계전기를 제작하였으며, 일본 NF 사의 보호계전기 시험기(REX series)를 이용하여 동작, 기능 및 성능을 시험하였다.

5.1 하드웨어 성능 평가

그림 5~6은 외부 인터럽트와 DMA 인터럽트 요구에 따른 CPU의 인터럽트 처리 상태를 오실로스코프를 이용하여 측정된 결과를 나타낸 것이다.

그림 5에서 오실로스코프의 채널1은 CPU가 상승에지(positive edge)에서 A/D 변환을 시작하고 하강에지(negative edge)에서 종료하도록 하는 신호를 나타내고, 채널2는 외부 인터럽트 신호가 A/D 변환의 완료로 CPU에 전달함으로써 CPU가 디지털 데이터를 처리하도록 서비스를 요구하는 신호를 나타낸다.

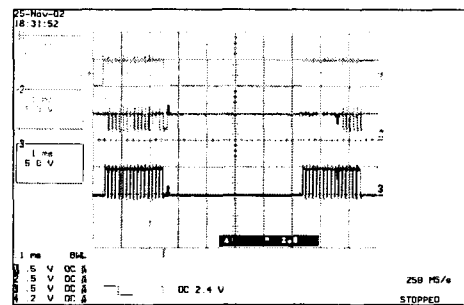


그림 5. 외부 인터럽트 요구에 의한 CPU의 인터럽트 인식
Fig. 5. Interrupt acquisition of CPU by external interrupt request

또한 채널3은 A/D 변환기에서 16 채널의 아날로그 데이터를 디지털 데이터로 변환완료 되었음을 알리는 16개의 하강에지 신호이다.

그러나 그림 5에서 알 수 있듯이 채널3의 A/D 변환 신호에 대해서 CPU는 채널2에 나타난 것과 같이 알고리즘 수행에 따른 시간초과로 외부 인터럽트를 제대로 인식하지 못하며, 이로 인하여 A/D 변환 완료신호를 제대로 인식하지 못하므로 디지털 신호를 제대로 처리할 수 없게 된다.

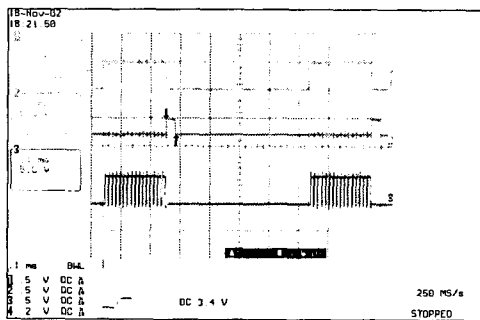


그림 6. DMA 인터럽트 요구에 의한 CPU의 인터럽트 인식
Fig. 6. Interrupt acquisition of CPU by DMA interrupt request

반면 그림 6에 나타난 것과 같이 DMA 컨트롤러를 이용하는 경우에는 A/D 변환기에 의해 디지털 신호로 변환 완료되는 순간 채널2와 같이 DMA에서 CPU로 인터럽트 서비스를 요구함으로써 CPU는 인터럽트 서비스를 수행하게 되며, CPU의 동작과 무관하게 채널3에 나타난 A/D 변환완료 신호를 이용

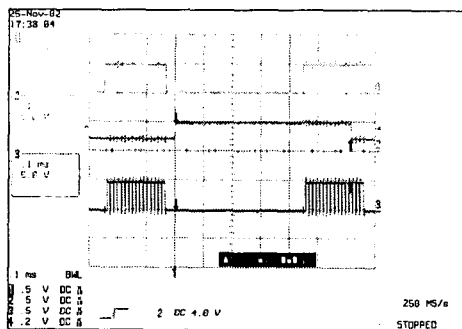


그림 7. DMA 인터럽트를 이용한 전체 알고리즘 수행 시간
Fig. 7. Execution time of complete algorithm using DMA interrupt

하여 A/D 변환기로부터 디지털 데이터를 특정 메모리로 직접 가져올 수 있다.

그림7의 채널2는 DMA 인터럽트를 이용하는 경우 전체 알고리즘 수행시간을 측정하여 나타낸 것으로 알고리즘의 수행시간은 613.060 [us]이고, 외부 인터럽트를 이용하여 수행할 수 없었던 알고리즘이 DMA 인터럽트를 이용함으로써 원활히 동작되고 있음을 알 수 있다.

표2는 시스템의 안정적인 동작을 확인하기 위해 각 부분별 수행시간을 측정하여 나타낸 것이다.

표 2. 하드웨어에서의 수행시간
Table 2. Execution time in hardware

	평가 내용	수행시간 [us]	
1	16채널 A/D 변환 (DMA 서비스 수행시간 포함)	244.154	
2	기본파, 제2고조파, 차전류의 실효치 계산	494.740	
3	보호알고리즘(비율차동계전)	89.556	
4	전체 보호 알고리즘	외부 인터럽트	수행불능
		DMA 인터럽트	118.32
5	상시 총 수행시간 (1항목 + 2항목 + 4항목)	857.214	

표2에서 알 수 있듯이 16채널 입력이 모두 A/D 변환되기 위해서는 약 244.154[us]의 시간이 소요되며, 입력된 신호로부터 기본파 성분, 제2고조파 성분을 추출하고, 추출된 성분들의 실효치를 계산하기 위해서 CPU는 494.740 [us]의 시간을 소비하게 된다. 또한 보호계전 알고리즘으로 사용된 비율차동계전요소 기능을 수행하기 위해서는 89.556[us]의 시간이 소요된다. 그리고 각종 데이터의 기록 및 표시 등 기타 일들을 처리하기 위한 시간이 소요되므로 전체적으로 보호계전기가 기능을 수행하기 위해서는 기본적으로 약 857.214[us] 이상의 시간이 소요된다. 따라서 입력신호를 주기당 24샘플하면서(샘플링 간격은 694[us]) 1389[us]마다 알고리즘이 수행되는 경우 외부 인터럽트를 이용하여 아날로그 데이터를 처리하는 H/W를 설계하는 경우에는 알고리즘의 실시간 처리가 불가능하다.

이에 본 논문에서는 DSP의 DMA 컨트롤러를 이

용 697 [us] 마다 아날로그 데이터를 샘플링하면서 1.3889[ms]마다 보호알고리즘을 실시간 수행할 수 있도록 하드웨어와 소프트웨어를 구현하였다.

5.2 보호계전 성능 평가

그림8은 보호계전기 시험기를 이용하여 본 연구에서 제작한 변압기용 디지털보호계전기를 시험한 결과의 일례를 나타낸 것이다.

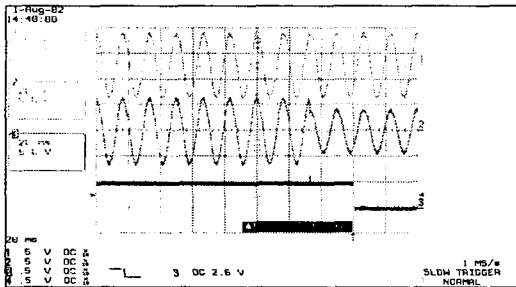


그림 8. 보호계전기 동작시험
(2차 전류 3.25(A), 동작 임계치 3.29(A))
Fig. 8. Operating Test
(Sec. current 3.25(A), Critical point 3.29(A))

시험 조건			
결 선	YY	KneePoint	5.0(A)
DifMin	0.5(A)	HarRat	25(%)
Slope1	30(%)	1차전류	5.0(A)
Slope2	50(%)	2차전류	3.25(A)

그림 8에서 채널 1은 변압기의 1차측 전류, 채널 2는 변압기의 2차측 전류를 나타내며 채널 3은 트립 신호를 나타낸다.

그리고 그림 8의 아래 표는 보호계전기의 시험조건을 나타낸 것으로 YY는 변압기 1차측 및 2차측이 각각 Y 결선이고, DifMin 은 비율차동특성 곡선에서 최소동작 차전류가 0.5[A], 비율차동특성곡선의 기울기가 소전류 영역에서는 30[%], 대전류 영역에서는 50[%]로 설정된 경우이며, 소전류 영역과 대전류 영역을 구분하는 변곡점인 Knee Point 가 5[A]로 설정된 것을 나타낸 것이다. 그리고 HarRat 는 여자 돌입상태로 판단하여 트립을 억제하기 위한 제2고조파의 함유율이 25[%]로 설정된 경우이다.

즉 그림 8은 변압기의 1차측 전류는 일정하게 유

지하고 변압기의 2차측 전류의 변화에 따라 변압기용 디지털 보호계전기가 고장을 판단하여 트립신호를 발생시키는 동작특성을 오실로스코프를 이용하여 측정한 것이다.

그리고 표3은 이와 같은 전체적인 시험결과를 정리하여 나타낸 것이다.

표 3. 비율차동 계전요소 동작시험 결과
Table 3. Results of ratio differential relaying element operating test

시험 조건	최소 동작치	이론 동작치[A]	시험동작치 (임계치)[A]	오차 [%]
1차 4 [A]	최소[0.5]	2.52	2.50(2.55)	1.19
		6.00	6.06	1.00
	최대[2.5]	0.79	0.80(0.83)	5.06
8.67		8.75(8.72)	0.57	
	최소[0.5]	3.26	3.25(3.29)	0.92
		7.67	7.75(7.74)	0.91
1차 5 [A]	최대[2.5]	1.52	1.55(1.57)	3.3
		10.34	10.40(10.39)	0.48

표 3에서 알 수 있듯이 변압기의 1차 전류를 4[A]와 5[A]로 하였을 때의 최소 동작치를 최소, 중간, 최대에 변경하면서 2차 전류에 따른 이론적인 동작치와 시험 동작치의 결과를 비교 검토하였다.

표에서 이론 동작치는 각각 하한값 및 상한값을 나타낸 것으로, 변압기의 1차측 전류가 4[A] 이고 최소 동작치가 0.5[A]인 경우 변압기 2차측 전류가 2.52[A]이하 이거나 6.00[A] 이상이면 비율차동특성에 의해 동작영역에 속하므로 트립신호가 발생됨을 나타낸다.

시험 결과 가장 큰 오차를 보이고 있는 것은 1차 전류가 4[A], 최소 동작치를 중간인 1.5[A]로 설정했을 경우에 이론 동작치와 시험동작치를 비교했을 때 5.06[%]의 오차가 발생한 경우이다. 이것은 시험 동작치와 이론 동작치가 모두 1[A] 보다 작기 때문에 오차가 좀더 커진 것으로 보인다. 결과적으로 표3에서 알 수 있듯이전체적으로 동작치 허용오차가 ±5[%] 범위 내에 있으므로 비율차동 계전요소소의 동작 시험은 만족스러운 결과를 보이고 있다. 그리고 동작시간은 대체적으로 고장 발생 후 28[ms] 후에 트립 신호를 발생함으로 모두 판정기준인 40[ms] 이내에 동작하였다.

5.3 고조파 억제 특성 평가

본 논문에서는 여자돌입상태에서 보호계전기가 오동작하지 않도록 보호계전 알고리즘에 제2고조파 억제요소를 추가하여 전체 보호알고리즘을 구현하였다.

그림 9는 고조파가 포함된 전류가 변압기 보호계전기에 입력되는 경우 변압기 보호계전기의 동작특성의 일례를 측정하여 나타낸 것이다.

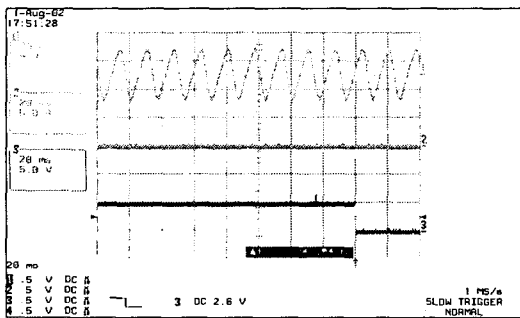


그림 9. 고조파 억제특성 시험 결과
Fig. 9. Result of harmonics restraint test

시험 조건			
결 선	YY	1차전류(A상)	4.0(A) 0°
DifMin	0.5(A)	2차전류(A상)	0.0(A) 0°
Slope1	30(%)	기본파	83.3(%)
KneePoint	5.0(A)	제2고조파	16.7(%)
HarRat	25(%)	제3고조파, 기타	0(%)

그림 9의 아래 표에 나타낸 것과 같이 초기의 변압기 1차 전류는 기본파 성분이 83.3 [%], 제2고조파 성분이 16.7[%]의 비율이 되도록 합성하여 보호계전기에 입력하였다. 즉 변압기 1차측 전류의 기본파에 대한 제2고조파의 함유율이 20[%] 되도록 보호계전기 시험기에서 고조파를 합성하여 입력하였다. 그리고 시험용 변압기 보호계전기에는 제2고조파의 함유율을 20 [%]로 정정하였다. 이와 같은 조건하에서 변압기용 디지털 보호계전기는 비율차동특성에 의해서는 고장으로 판단되나 변압기의 차전류에 기본파에 대한 제2고조파의 함유율이 20[%] 이상이 되어 트립신호는 발생하지 않는다. 그러나 중간에 시험용 보호계전기에서 제2고조파의 함유율을 25[%]로 정

정한 경우 약 24.2 [ms] 경과 후 트립 신호를 발생하였다.

이러한 결과는 변압기용 디지털 보호계전기가 제2고조파 억제특성 알고리즘을 정확히 수행하고 있음을 보여주는 것이다. 이러한 결과는 변압기용 디지털 보호계전기가 제2고조파 억제특성 알고리즘을 정확히 수행하고 있음을 보여주는 것이다.

표4는 이와 같은 보호 계전요소의 전체적인 고조파 특성시험 결과를 정리하여 나타낸 것이다.

표 4. 비율차동계전요소의 고조파특성 시험결과
Table 4. Test result of harmonic characteristics of ratio differential relaying element.

경우	시험 조건		시험 결과	판정
	2조파 함유율	고조파 비율 [%]		
1	20%	기본파 (100)	트립	정동작
2		기본파 (83.3) 제2고조파 (16.7)	무반응	정부동작
3	25%	기본파 (83.3) 제2고조파 (16.7)	트립	정동작
4		기본파 (66.7) 제2고조파 (33.3)	무반응	정부동작
5	20%	기본파 (60.0) 제2고조파 (10.0) 제3고조파 (30.0)	트립	정동작
6		기본파 (60.0) 제2고조파 (20.0) 제3고조파 (20.0)	무반응	정부동작

표 4에서 알 수 있듯이 고조파가 함유된 경우 변압기용 디지털 보호계전기는 정동작 혹은 정부동작을 나타냄으로서 제2고조파 이외의 고조파에 대해서는 그 함유율에 관계없이 보호기능을 수행하며, 제2고조파 함유율이 정정치 이상인 경우에는 변압기의 여자돌입상태로 판단하여 트립 억제기능을 수행함을 알 수 있다.

6. 결 론

본 논문에서는 변압기용 디지털 보호계전기를 제작하기 위한 시스템의 사양, 하드웨어 설계, 알고리즘 및 소프트웨어의 설계 등에 관하여 연구하였다.

하드웨어 설계에 있어서는 DSP를 사용함으로써

DSP를 이용한 변압기용 디지털 보호계전기 설계에 관한 연구

연산성능의 대폭적인 고도화를 이루었으며, DSP의 DMA를 이용하여 인터럽트를 처리하여 CPU의 개입 없이 DMA가 독립적으로 입력 데이터를 읽어 오도록 함으로서 단일 프로세서에 의한 알고리즘 수행 및 기타 부가 기능들을 실시간 처리화하였다.

소프트웨어에 있어서는 실시간 커널을 기반으로 응용소프트웨어와 하드웨어 제어용 소프트웨어의 분리하여 개발하고, 객체지향 UML를 사용하여 보호계전기의 소프트웨어를 설계하여 보호계전기의 신뢰성을 향상시켰다.

그 결과 변압기용 디지털 보호계전기는 변압기의 임의의 고장에 대해서는 최대 약 33[ms]내에 고장을 검출하여 트립 신호를 발생시키고, 임의의 고조파가 함유된 전류가 입력된 경우에는 제2고조파 억제특성에 의해 트립 억제기능을 수행하였다.

이상의 결과는 실제적인 보호계전기의 동작특성을 만족하는 것으로 본 논문의 연구 내용은 다른 종류의 디지털 보호계전기를 개발하는데 이론적·기술적 기초가 될 수 있으며, 향후 실질적으로 제품화가 가능한 변압기용 디지털 보호계전기를 개발하는데 디딤돌이 될 수 있을 것으로 사료된다.

본 연구의 일부는 두원공과대학의 2000년도 학술연구비 지원으로 이루어진 것입니다.

References

- [1] "Protective Relaying Theory and Application", ABB Power T&D Company Inc., pp. 54-131, 1994.
- [2] "Protective Relays Application Guide", CEC ALSTHOM, pp. 22-46, 1990.
- [3] "Current differential Relay(Type CBT4d-BT1) 取扱説明書", TOSHIBA Corp.

- [4] "電力用機器保護繼電裝置のデジタル化", 日立評論 vol.79, NO.3, pp. 522-43, 1997.
- [5] "電力系統のデジタル制御・保護", 東京電力株式會社, pp. 93-107, 1992.
- [6] Digital relay, TOSHIBA Corp., pp. 32-57, 1994.
- [7] M. Kezunovic, "Digital Protective Relaying Algorithms and Systems-an overview," Electrical Power System Research, pp.167-180, April, 1981.
- [8] Murty V.V.S. Yalla, "A Digital Multifunction Protective Relay", IEEE Trans. on PWRD, Vol.7, No.1, pp.193-201, Jan., 1992.
- [9] G. Benmouyal, "Design of a Combined Digital Global Differential and Volt/Hertz Relay for Step-Up Transformers", IEEE trans. on PWRD, Vol.6, No.3, pp.1000-1007, 1991.
- [10] Jean J. Labrosse, "MicroC/OS-II, The Real-Time Kernel", pp. 21-143, ISBN 1-57820-103-9, 2002.
- [11] Terry Quatrani, "Visual Modelling with Rational Rose 2000 and UML", Intersivon Book Company, pp. 35-242, 2000.
- [12] 권기백, 신명철, 외 2인, "웨이브렛을 바탕으로 한 신경 회로망을 이용한 전력용 변압기 보호계전기법", 전기학회 논문지, pp.134-142, 2002. 3

◇ 저자소개 ◇

서희석 (徐熙錫)

1961년 6월 26일생. 1987년 성균관대 전기공학과 졸업. 1997년 동 대학원 전기공학과 졸업(박사). 1989~1990년 금성산전연구소 연구원. 1995년~현재. 두원공과대학 자동화시스템과 부교수.

권기백 (權奇柏)

1967년 6월 6일생. 1991년 성균관대 전기공학과 졸업. 2002년 동 대학원 전기공학과 졸업(박사). 1992~1999년 LG산전연구소 주임연구원. 1999~2001년 (주) 피앤씨테크 선임연구원. 2001~현재 대덕대학 전기전자계열 전임강사.