

Electrical Characteristics of Oxide Layer Due to High Temperature Diffusion Process

洪能杓* · 洪眞雄**
(Nung-Pyo Hong · Jin-Woong Hong)

Abstract - The silicon wafer is stable status at room temperature, but it is weak at high temperatures which is necessary for it to be fabricated into a power semiconductor device. During thermal diffusion processing, a high temperature produces a variety thermal stress to the wafer, resulting in device failure mode which can cause unwanted oxide charge or some defect. This disrupts the silicon crystal structure and permanently degrades the electrical and physical characteristics of the wafer. In this paper, the electrical characteristics of a single oxide layer due to high temperature diffusion process, wafer resistivity and thickness of polyback was researched. The oxide quality was examined through capacitance-voltage characteristics, defect density and BMD(Bulk Micro Defect) density. It will describe the capacitance-voltage characteristics of the single oxide layer by semiconductor process and device simulation.

Key Words : 산화막(SiO₂), 폴리백(Polyback), 전력용반도체(Power semiconductor), BMD(Bulk Micro Defect)

1. 서 론

오늘날 반도체 산업의 발전은 전자제품의 고용량 고효율화를 가능하게 하였다. 그 중 전자제품에는 없어서는 안될 시스템 전원단에 사용되는 전력용 반도체 제품군의 발전은 메모리 반도체나 컴퓨터 CPU의 발전과 병행하여 많은 발전을 해왔다. 전력용 반도체는 높은 항복전압을 구현하기 위한 설계기술과 공정기술 개발의 많은 노력이 있어왔다.[1]

동작 특성상 대부분의 전력용 반도체 소자는 소자의 특성 구현을 위해 필수적으로 수10[μm]에서 수100[μm]이상의 깊은 접합을 갖도록 공정 설계되어 진다. 깊은 접합을 갖기 위해서는 불순물이 도핑된 상태에서 확산 퍼니스 내에서의 열 확산공정이 깊은 접합 형성에 가장 큰 역할을 담당한다. 이러한 확산공정 진행시 적정온도와 시간은 공정 설계자들에게 의해 정해지는 것으로 이는 소자의 특성뿐 아니라 라인외의 생산성에 많은 영향을 주는 요소이다.

일반적으로 확산 퍼니스나 웨이퍼 로딩 보트의 물성 한계 즉 수명 때문에 1200[$^{\circ}\text{C}$] 확산 공정이 최대 양산 온도로서 장비 업체로부터 권장되어 사용 되어지고 있는 실정이다. 그러나 최근 1300[$^{\circ}\text{C}$] 온도영역에서의 확산공정 가능설비가 개발되고 이에 따라 고온 확산공정의 진행이 가능해 졌다. 그러나 고온 확산공정 진행에 따른 여러 가지 도출될 수 있는 문제점들은 아직 보고된 바가 미미한 편이다. 전력용 반도체 웨이퍼의 대부분을 차지하고 있는 에피 웨이퍼와 확산

웨이퍼는 웨이퍼 뒷면의 고농도 영역을 갖는 구조를 갖고 있다. 고온 확산공정 진행시 웨이퍼 뒷면 영역의 불순물이 웨이퍼 표면쪽으로 역 확산되어 유효 저농도 에피층 두께를 감소시켜 결국 소자 특성에 영향을 주게 있다.

본 논문에서는 서로 상이한 웨이퍼를 기본시료로 생산성 향상에 막대한 영향을 줄 고온 확산공정이 산화막에 미치는 영향을 평가하고자 하였다.[2] 고온 확산공정 진행에 따른 산화막의 전기적 특성을 평가함으로써 향후 전력용 소자의 항복전압특성 구현에 가장 큰 영향 요소인 필드(field) 산화막의 전기적 특성평가를 통해 서로 상이한 웨이퍼에 따른 고온 확산공정과 산화막의 특성을 평가함으로써 고온 확산공정이 전력용 반도체 특성과의 상관성을 미리 추정해 보는데 그 목적이 있다. 이를 통해 고온 확산공정 적용으로 라인 생산성 향상에 크게 기여할 수 있는 가능성을 확인하고자 하였다.[3]

2. 시료 및 실험

2.1 시료

고온 확산에 따른 산화막의 전기적 특성을 연구하기 위하여 인이 첨가된 N형 웨이퍼를 사용했으며 폴리백 마감(seal)처리 유, 무와 웨이퍼 제조시 실리콘 잉곳(ingot)성장 방식에 따른 구분인 플랫폼방식(FZ)과 쇼클라스키방식(CZ)으로 성장시킨 웨이퍼를 사용하였다. 실험에 사용될 웨이퍼는 초기 세정 후 산화막 1000[\AA]정도가 되도록 적정 산화공정을 진행하였다. 이렇게 형성된 산화막은 고온 확산전용 퍼니스에서 각각 1300[$^{\circ}\text{C}$], 1325[$^{\circ}\text{C}$], 1350[$^{\circ}\text{C}$]의 조건으로 확산공정을 진행하였다. 이렇게 진행된 시료는 전기적 특성평가를 위해 상부에 알루미늄 40[k \AA]을 증착 하였으며 선택적으로 알루미늄 전극을 에칭하여 형성하였다.

* 正 會 員 : 光云大 工大 電氣工學科 博士課程

** 正 會 員 : 光云大 工大 電氣工學科 教授 · 工博

接受日字 : 2003年 7月 7日

最終完了 : 2003年 9月 10日

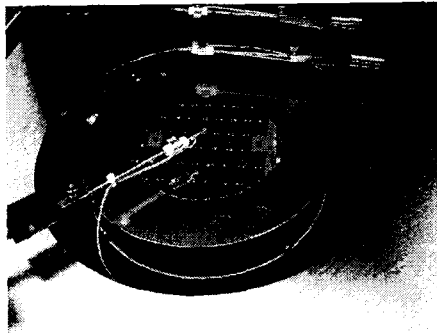


사진 1 C-V 특성 측정 스테이션
Photo 1 Probe station for C-V characteristics

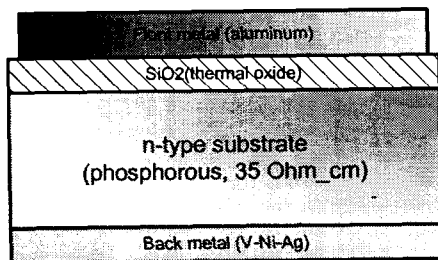


그림 1 시료의 개략도.
Fig. 1 Schematic diagram of sample.

표 1 웨이퍼 정보
Table 1 The information of wafer

No.	Ingot growing method	polyback
#1	Float Zone	15k[Å]
#2	Float Zone	0 [Å]
#3	Czochralski	0 [Å]

사진1은 캐패시터-전압 특성 측정용 탐침 스테이션(probe station)을 나타낸 것으로 상부 전극은 장비와 서로 탐침에 의해 연결된 것을 확인할 수 있으며 하부의 전극은 열척(thermal chuck)으로써 300[°C] 온도까지 상승이 가능하다. 그림1에서는 시료의 개략도를 나타내었다.

표1에서는 초기 투입 원자재의 세부 정보를 표로 나타냈으며 표2에서는 확산온도와 확산시간을 표로 나타내었다.

표 2 확산온도 및 확산시간 조건
Table 2 The condition of diffusion temperature and time

No.	Diffusion temperature	Diffusion Time
#1	1300 [°C]	48 [Hour]
#2	1325 [°C]	32 [Hour]
#3	1350 [°C]	20 [Hour]

2.2 실험

캐패시터-전압 특성은 반도체 제조 공정에 있어 단일 막질 평가에 가장 광범위하게 사용되고 있는 방법이다. 본 연

구에서는 인가 전압영역을 -30[V]에서 +10[V]까지 인가하여 측정하였으며 산화막내의 이동 전하 및 오염정도를 판단하기 위하여 200[°C]까지 온도를 상승시킨 후 +20[V], -20[V]의 스트레스 전압을 인가함으로써 산화막내의 이동전하량을 측정할 수 있었다.[4] 전체적인 캐패시터-전압 측정원리, 즉 메카니즘을 기술하자면 외부 인가전압에 대해 산화막 내의 전하와 실리콘 원자재내의 캐리어 분포에 의해 전체 캐패시터 값에서 d(전체 두께) 값의 변화를 가져와 결국 전체 캐패시터 값의 변화가 외부 인가 전압 값에 따라 변화하는 것이다.[5] 특히 d 값은 인가 전압 크기와 산화막 내부의 기생 전하량 및 웨이퍼 종류에 따라 실리콘 내부의 공핍층의 폭이 변하며 이 값을 통해 산화막질의 특성을 해석하는 방법이다. 우선 산화막의 캐패시터값은 식 (1)과 같이 나타낼 수 있다.

$$C_{OX} = \frac{k_0 \epsilon_0 A}{t_{OX}} \quad (1)$$

그리고 또한 실리콘 영역의 공핍층 두께 W_{inv} 는 식(2)와 같이 나타낼 수 있다.

$$W_{inv} = \frac{k_s \epsilon_0 A}{C_{sin v}} \quad (2)$$

플랫밴드(flat band) 전압에서의 캐패시터값 C_{fb} 는 식(3)과 같이 나타낼 수 있다.

$$C_{fb} = \frac{k_0 \epsilon_0 A}{w_{inv} + (k_0 k_s) L_d} \quad (3)$$

끝으로 식(4)에서는 산화막내의 이동 전하량인 N_{ss} 값을 나타낸다.

$$N_{ss} = \frac{C_{OX}(\psi_{ms} - V_{fb})}{eA} \quad (4)$$

3. 실험 결과

3.1 실험 결과

국내에서는 메모리 산업에 편중된 반도체 산업구조로 말미암아 낮은 접합의 공정기술이 요구되어 왔다. 그리고 전력용 반도체 분야, 특히 트라이엑 소자의 경우 접합 마감기술은 일부 메사(mesa)방식을 채택하고 있는 회사를 제외하고는 평면(planar)제조 공정을 가진 대다수의 반도체 업체에서는 칩과 칩을 구분하기 위해 100[μm]이상의 아주 깊은 접합구조가 필수 불가결한 공정이며 이로 인하여 생산성(through-put)에 많은 문제점이 되고있는 실정이다. 실험에 사용된 웨이퍼는 웨이퍼 전체가 낮은 비 저항값을 갖는 베어(bare)웨이퍼로써 통상적으로 사용중인 테스트 웨이퍼 구조를 가지고 있는 웨이퍼이다. 그림2는 15[kÅ] 폴리백 웨이퍼의 캐패시터 특성을 나타낸 그림이다. 1300[°C] 특성 결과와 1325[°C], 1350[°C] 확산 후 캐패시터 값이 차이가 나타남을 확인할 수 있었다. 1300[°C] 시료의 경우 -24[V] 근처에서 캐패시터 값의 증가가 나타난 반면 1325[°C], 1350[°C] 확산 시료의 경우 -18[V]근처에서 캐패시터 값의 증가가 나타남을 확인할 수 있다. 이는 산화막 내의 이동전하 변화가 1300[°C]도 부근에서 나타났다는 것으로 사료된다.

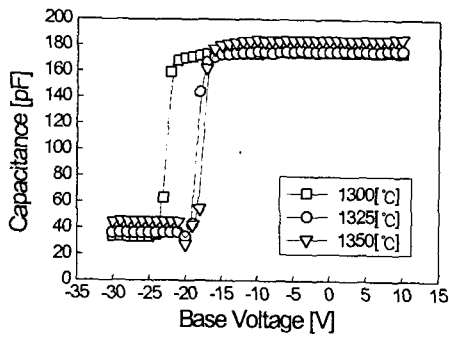


그림 2 15 [kÅ] PBS FZ 웨이퍼의 C-V특성
Fig. 2 C-V characteristics of 15[kÅ] polyback FZ wafer

사진 2 15[kÅ] polyback FZ 웨이퍼 표면 결점
Photo 2 Surface defect of 15[kÅ] polyback floatzone wafer

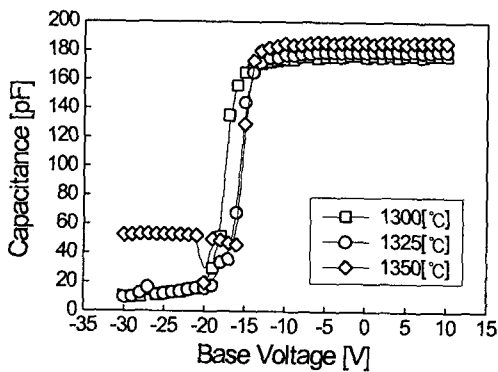


그림 3 no PBS FZ 웨이퍼의 C-V특성
Fig. 3 C-V characteristics of no polyback FZ wafer

사진 3 no polyback FZ 웨이퍼 표면 결점
Photo 3 Surface defect of no polyback floatzone wafer

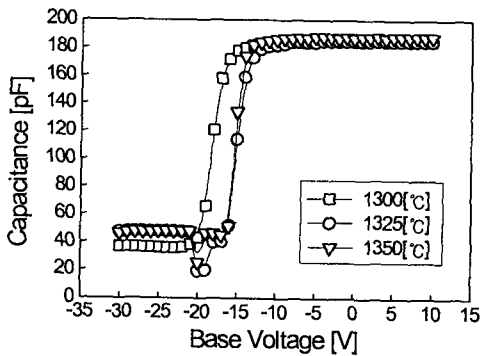


그림 4 no PBS CZ 웨이퍼의 C-V특성
Fig. 4 C-V characteristics of no polyback CZ wafer

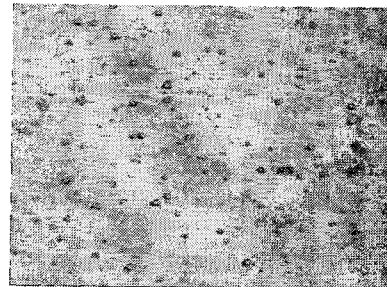


사진 4 no polyback CZ 웨이퍼 표면 결점
Photo 4 Surface defect of no polyback czochralski wafer

그림3은 일반형태의 웨이퍼로서 폴리백 유,무에 따른 확산온도와 상관관계를 결과를 나타낸 것이다. 이 그림에서 특이한 사항은 그림2의 경향과는 다르게 전체적으로 유사하게 -20[V] 부근에서 캐패시터 값의 변화가 나타난다는 것을 확인할 수 있다.

그림4는 초클라스키(CZ)방식으로 만들어진 웨이퍼의 고온 확산 공정진행에 따른 캐패시터-전압값을 나타낸 그림이다.

사진2, 사진3, 사진4는 각 웨이퍼에 따른 1325[°C]에서 확산공정 진행한 웨이퍼 표면 결점 사진으로써 온도에 따른 표면결점은 거의 유사한 결과를 보인 반면 폴리백 유,무에 따른 확산온도와 웨이퍼 표면 결점과의 상관성은 큰 차이점이 나타나는 것을 확인할 수 있었다. 일반적인 에피웨이퍼, 또는 확산웨이퍼의 경우 웨이퍼 뒷면 영역의 고농도 역역에서 결점 제거링 역할을 기대할 수 있으나 본 실험에 사용한 시료의 경우 높은 항복전압을 갖는 트라이액(Triac)용 웨이퍼로서 전체영역이 낮은 비저항의 폴리시드 웨이퍼 이므로 폴리백에 따른 결점의 차이가 확연히 관찰할 수 있었다. 웨이퍼 표면에서의 결점밀도가 폴리백 웨이퍼의 경우 거의 확인이 안되는 반면 폴리백 처리를 않은 웨이퍼 시료의 경우 상당히 높은 결점 밀도가 확인 가능하였다.

그림5와 그림6에서는 200[°C]까지 온도를 상승시킨 후 +20[V]의 스트레스 전압을 인가함으로써 산화막내의 이동전하를 활성화 시켜 그 값의 유의차를 측정된 캐패시터값 측정 결과이다. 그 결과 역시 초기값과 유사한 경향의 특성값이 나타남을 확인할 수 있었다. 그림5는 그림3의 폴리백 미처리시료의 200[°C]까지 온도를 상승시킨 후 +20[V]의 베이스 스트레스전압 인가 후 상온에서의 캐패시터-전압 결과이다. 초기 값과는 다르게 -30[V]때 캐패시터 값이 거의 유사한 값이 나타났으며 바이어스(bias)전압의 증가에 따라 1300[°C]시료만 약간 앞서 증가하기 시작하나 거의 유사한 경향치가 나타남을 확인할 수 있다.

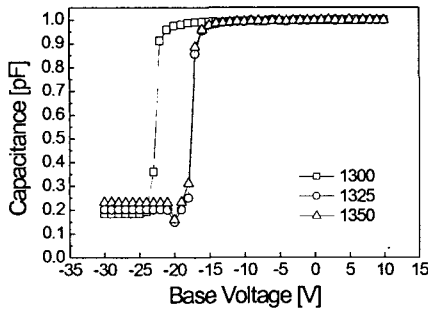


그림 5 고온 스트레스 전압 인가 후 no PBS FZ 웨이퍼의 C-V특성

Fig. 5 C-V characteristics of no polyback FZ wafer after high temperature biasing stress

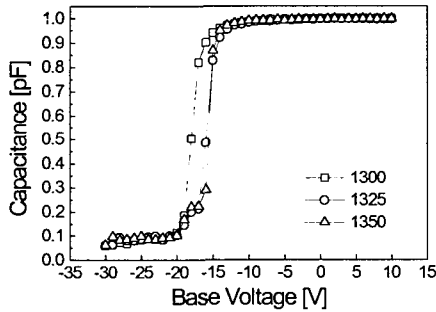


그림 6 고온 스트레스 전압 인가 후 15[kÅ] PBS FZ 웨이퍼의 C-V특성

Fig. 6 C-V characteristics of 15[kÅ] polyback FZ wafer after high temperature biasing stress

그림5는 15[kÅ] 폴리백 시료의 베이스 스트레스(base stress)전압 인가 결과로서 미 처리 폴리백 시료의 경우에 비해 확산 온도에 따른 차이가 작게 나타나는 것을 확인할 수 있다. 이는 폴리백 시료의 경우가 확산 온도에 따른 산화막내의 이동 전하편차가 작게 나타나는 것을 확인할 수 있으며 이 결과는 -20[V]의 베이스 스트레스전압 후의 결과에서도 확인할 수 있었다.

표3은 각각에 대한 캐패시터-전압특성 평가결과를 정리한 표로서 시료와 확산 온도와의 상관성을 정리해 놓았다. 표의 결과를 통해서도 확인할 수 있듯이 산화막내의 이동

전하량은 1300[°C]의 폴리백 웨이퍼에서 가장 작은 값이 나타남을 확인할 수 있었으며 1325[°C]나 1350[°C] 확산공정 진행시 산화막내의 이동 전하량은 그리 큰 차이를 나타내지 않았다. 또한 CZ웨이퍼와 FZ웨이퍼의 산화막 특성은 CZ웨이퍼의 특성이 플랫폼 전압의 이동정도값과 산화막내의 이동전하량(Nss)값이 약간 낮게 나타나는 것을 확인할 수 있었다. 이는 아무래도 FZ웨이퍼는 산소함유량이 거의 0[ppma]에 가까운 값을 갖는 반면 CZ웨이퍼는 잉곳 성장시 필수 불가결 하게 일정량의 산소농도가 존재 함으로써 산소이온에 의한 전하 또는 결점 포획(defect capture)효과에 기인한 것으로 사료된다.

표 3 캐패시터-전압 특성 결과

Table 3 Result of capacitance-voltage characteristics

웨이퍼 종류	확산 온도 /시간	$\Delta V_{fb}[V]$	Nss[cm^{-2}]
15[kÅ] PBS FZ	1300/50	-0.0477	2.41e12
	1325/30	-0.0057	1.88e12
	1350/20	-0.0191	1.96e12
no PBS FZ	1300/50	0.0167	1.94e12
	1325/30	-0.0225	1.75e12
	1350/20	-0.0101	1.82e12
no PBS CZ	1300/50	0.0383	2.09e12
	1325/30	-0.0141	1.72e12
	1350/20	-0.0946	1.68e12

사진5과 사진6에서는 폴리백 유,무에 따라 1325[°C] 확산 공정 진행시 소자의 항복전압 특성을 평가한 결과를 사진으로 보여준다.

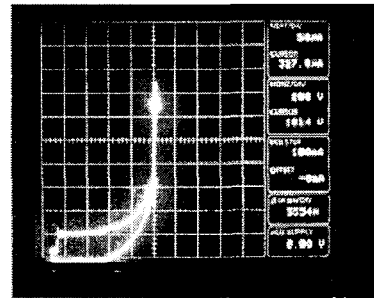


사진 5 1325[°C] 확산공정 진행 후 no polyback FZ 웨이퍼의 소자 항복전압 특성

Photo 5 Device characteristics of no polyback floatzone wafer after 1325[°C] diffusion

사진6에서는 소자에 가해지는 역방향 전압증가에 따라 일찍부터 누설전류가 흘러 다소 파형 들뜸 현상이 나타나는 것을 확인할 수 있다. 반면 사진7에서는 항복전압(breakdown voltage)에 도달할 때 까지 누설전류값이 수십 [nA] 이하가 나타나는 것을 확인할 수 있다. 이는 앞서 몇몇 결과에서도 예측할 수 있으며 폴리백 처리에 따른 고온에서의 웨이퍼 결점 밀도(defect density)가 현저히 줄어든 영향으로 판단된다.

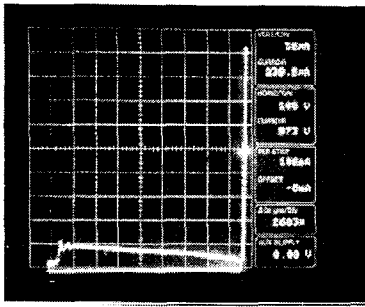


사진 6 1325[°C] 확산공정 진행 후 15[kÅ] PBS FZ 웨이퍼의 소자 항복전압 특성

Photo 6 Device characteristics of 15[kÅ] polyback floatzone wafer after 1325[°C] diffusion

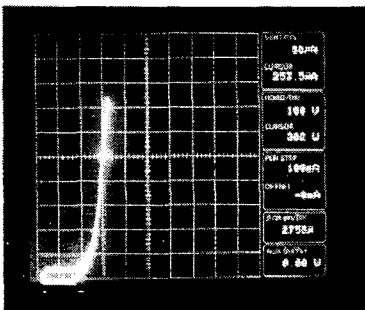


사진 7 1350[°C] 확산공정 진행 후 no polyback FZ 웨이퍼의 소자 항복전압 특성

Photo 7 Device characteristics of no polyback floatzone wafer after 1350[°C] diffusion

사진7과 사진8에서는 1350[°C] 확산공정 진행시 소자의 항복전압 특성을 평가한 결과를 사진으로 보여주는 것으로 1325[°C]와 유사한 경향을 보인다.

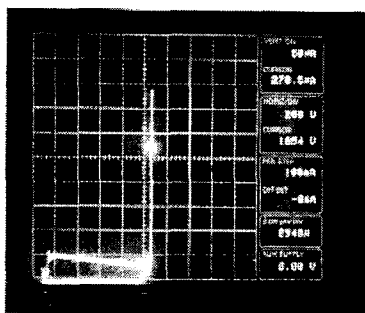


사진 8 1350[°C] 확산공정 진행 후 15[kÅ] PBS FZ 웨이퍼의 소자 항복전압 특성

Photo 8 Device characteristics of 15[kÅ] polyback floatzone wafer after 1350[°C] diffusion

사진8에서는 소자에 가해지는 역방향 전압증가에 따라 1325[°C]때보다 일찍 누설전류가 흘러 파형 들뜸 현상이 크게 나타나는 것을 확인 할 수 있다. 사진8에서도 어느 정도 파형 들뜸현상이 나타나는 것을 확인 할 수 있다. 항복전압

특성에서 확인 된 결과 1350[°C]보다는 1325[°C] 확산 시료에서 보다 안정적인 항복전압 특성을 얻을 수 있었다.

사진9는 0[A] 폴리백 FZ웨이퍼의 1325[°C] 확산공정 진행 후 웨이퍼의 벌크(bulk)영역의 BMD(Bulk Micro Defect)를 평가하기 위하여 경사 가공(angle lapping)후 셔틀 에칭(sitrl etching)한 후의 단면 SEM사진으로 웨이퍼 벌크 영역의 많은 마이크로 결점(micro defect)들을 확인 할 수 있다.[6] 이러한 마이크로 결점은 향후 전력용 반도체 소자에서 누설전류의 통로로써 결점이 많을 수록 소자 특성을 저해하는 원인으로 판단된다.

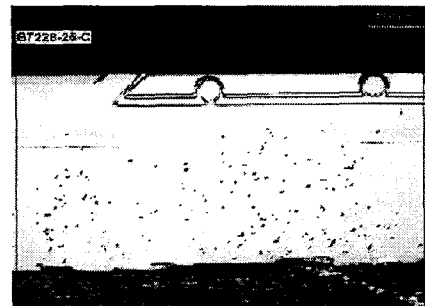


사진 9 1300[°C] 확산공정 진행 후 no polyback FZ 웨이퍼의 BMD결과

Photo 9 Bulk micro defect result of no polyback floatzone wafer after 1300[°C] diffusion

사진10은 CZ 웨이퍼의 1325[°C] 확산공정 진행 후의 결과로서 사진9에 비해 다소 작은 BMD 밀도를 갖는 것을 확인 할 수 있으며 이는 캐패시터-전압특성 결과에서도 언급한 CZ웨이퍼내에 존재하는 산소함량에 따른 영향으로 판단된다.

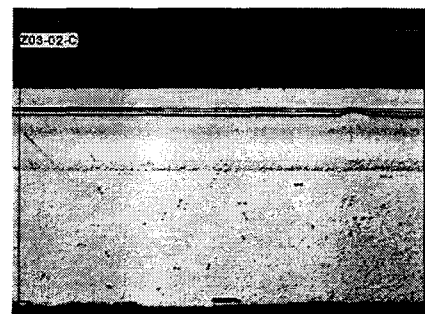


사진 10 1300[°C] 확산공정 진행 후 no polyback CZ 웨이퍼의 BMD결과

Photo 10 Bulk micro defect result of no polyback czochralski wafer after 1300[°C] diffusion

일반적으로 고온 확산공정 진행시 열 스트레스에 의한 웨이퍼의 뒤틀림 현상인 휨(warpage)특성으로 인해 확산공정 진행 후 반도체 공정에 영향을 줄 수 있는 요인이 상당부분 보고된바 있었다. 그림7에서는 1250[°C]에서의 확산시간에 따른 휨(Warpage) 값을 측정 한 결과를 보여준다. 패턴에 따라 다소 그 값의 차이는 있겠지만 패턴 유,무에 따른 결과치이다. 시간에 따른 변화율이 미비함을 확인 할 수 있다.

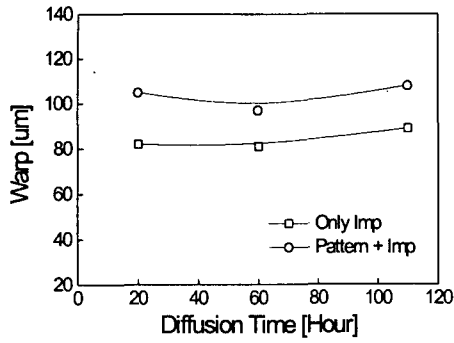


그림 7 1250[°C]에서 확산시간과 왈(Warpage)특성
Fig. 7 Warpage characteristics due to diffusion time in 1250 [°C] diffusion

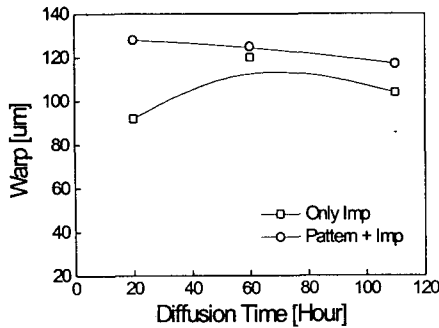


그림 8 1300[°C]에서 확산시간과 왈(Warpage)특성
Fig. 8 Warpage characteristics due to diffusion time in 1300[°C] diffusion

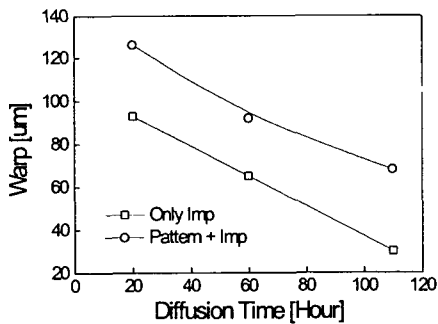


그림 9 1350[°C]에서 확산시간과 왈(Warpage)특성
Fig. 9 Warpage characteristics due to diffusion time in 1350[°C] diffusion

그림 8에서는 1300[°C]에서의 확산시간에 따른 왈(warpage)값을 측정된 결과이다. 그림7에서와 마찬가지로 시간 변화율은 90[um]-130[um]정도로 미비함을 확인 할 수 있다. 그러나 그림9의 경우 1350[°C]에서의 확산시간에 따른 왈(warpage)값을 나타내는 그래프로서 시간 증가에 따라 왈 값의 감소를 확인 할 수 있다. 왈 특성결과에서 알 수 있듯이 웨이퍼상의 패턴 유,무에 따른 차이는 패턴이 있음에 따라 왈 값이 큰것은 확인할 수 있었으며 이는 패턴의 산화막

단차에 의한 열팽창 계수의 차이에 의해 나타난 것으로 사료된다. 1350[°C]에서의 왈 변화율은 60[um]-120[um]정도로 크게 나타나지만 후속 공정인 사진공정 진행에 별 무리가 없는 왈 수준임을 확인 할 수 있었다.

3.2 시뮬레이션 결과

그림.10는 확산 온도에 따른 캐패시터-전압값을 나타내는 것으로 확산 온도에 따라 시뮬레이션에서는 큰 차이가 나타나지 않음을 확인할 수 있다. 이것은 시뮬레이션에서는 단순히 산화막 두께에 따른 이상적인 캐패시터값만을 나타내는 것이기 때문으로 사료된다. 또한 확산온도의 증가에 따라 퍼니스내의 가스 분위기에 따라 미세한 산화막 두께 차이가 발생하여 그 값에 따른 d값의 변화에 따라 캐패시터값의 변화가 나타나는 것이다.

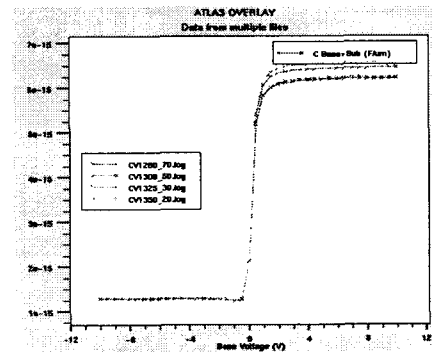


그림 10 캐패시터-전압 특성의 시뮬레이션 결과
Fig. 10 Simulation result of C-V characteristics

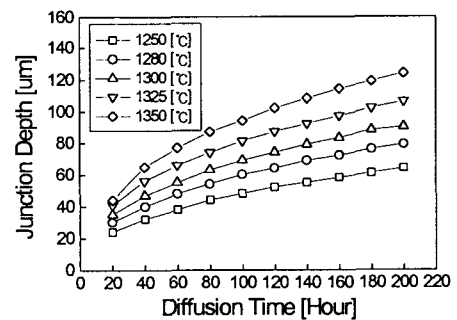


그림 11 확산온도 및 시간에 따른 접합깊이
Fig. 11 Junction depth due to diffusion time and diffusion temperature

그림11에서는 확산온도와 확산시간에 따른 확산깊이를 나타낸 그래프이다. 이온주입량과 주입된 불순물의 종류에 따라 다소 그 결과는 차이가 있겠지만 p형 반도체 불순물의 대부분을 사용중인 붕소를 $4e14[atoms/cm^2]$, 50k[eV]의 조건으로 이온주입 했을 경우의 시뮬레이션 결과를 나타내 주는 그래프 이다. 예를들어 50[um]정도의 접합 깊이를 갖기 위해서 1250[°C]에서는 약 110시간 정도의 확산 시간이 소요되나 1350[°C]의 확산온도 에서는 확산 시간이 약 25시간으로

80% 이상의 시간 단축 가능성을 공정 시뮬레이션 결과로써 확인 할 수 있다. 80%이상의 공정시간 단축은 바꿔 말하자면 동일한 제조 라인에서 단순 확산온도 증가만으로 4배 이상의 생산성 향상을 기대 할 수 있는 것이다. 전체적으로 사진공정이나 이온주입공정, 식각공정등을 고려한다면 200% 정도의 생산성 향상을 기대할 수 있는 것으로 예측 가능하다.

4. 결 론

본 논문에서는 메모리 반도체 분야에 집중된 업계 특성상 국내 최초로 웨이퍼 종류에 따라 1300[°C] 이상의 고온에서 확산공정을 시도해 봄으로써 그에 따른 산화막의 캐패시터-전압 특성, 항복전압특성, 웨이퍼의 표면 및 벌크 영역의 결점 분석 등을 보고하고자 하였다.

첫째 잉곳(ingot)성장 방식 차이에 따른 결과로써 FZ방식으로 성장시킨 웨이퍼가 CZ방식으로 성장시킨 웨이퍼에 비해 산화막 질 특성이 열세한 것으로 평가 되었다. 또한 벌크 영역의 결점밀도 결과에서도 CZ웨이퍼에 비해 다소 높은 결점 밀도를 확인 할 수 있었다. 이는 CZ성장 방식 웨이퍼의 경우 FZ방식에는 없는 산소(oxygen)에 의한 게더링 효과에 의한 것으로 사료된다.

둘째 폴리백 유,무와 고온 확산공정 진행 후 산화막질 평가결과에서 큰 차이가 나타나는 것을 캐패시터-전압 특성, 웨이퍼 표면의 결점밀도 결과 및 벌크 영역에서의 결점밀도 등을 통해서 확인할 수 있었다. 확산온도에 따른 웨이퍼의 휨(Warpage)특성 결과에서는 1250[°C], 1300[°C]의 휨 변화율은 90[um]-130[um]정도로 미미하게 나타난 반면 1350[°C]에서의 휨 변화율은 다소 시간 증가에 따라 급감하는 것을 확인 할 수 있었으며 본 실험에 사용된 시료의 경우 휨 특성에서는 확산 이후 공정인 사진 공정 진행에 무리가 없는 것을 확인 할 수 있었다.

세째 시뮬레이션 결과를 통해 고온확산 온도에 따라 캐패시터-전압특성은 약간의 차이를 발견할 수 있는데 이는 확산시간 차이에 따른 확산 퍼니스내의 가스 분위기에 의한 산화막 두께 차이에 의한 캐패시터-전압 결과가 차이가 난 것으로 판단된다. 또한 확산온도와 시간과의 관계를 시뮬레이션을 통해 확인 하였다.

따라서 본 논문을 통해 초 고온 확산공정의 웨이퍼 종류에 따른 적용 가능성을 확인했으며 이로 인해 추가적인 라인증설 없이 생산성을 200%이상 높일 수 있음을 확인할 수 있었다. 향후 추가적인 공정 실험을 통해 현 양산중인 에피 웨이퍼와 확산웨이퍼의 경우 유효 저농도층 두께를 고려한 초 고온 확산공정 적용도 가능하리라 판단된다. 끝으로 본 논문에서는 폴리백 15[kA]의 FZ웨이퍼가 1325[°C] 온도조건에서 적용 가능성을 확인 할 수 있었으며 현 양산중인 1250[°C] 확산공정에서 80시간 소요되던 확산공정을 20시간 정도로 약 70%이상 단축 가능함을 확인 할 수 있었다.

참 고 문 헌

- [1] S. M. Sze, "Physics of Semiconductor Device", John Wiley & Sons, 2nd edition, pp. 390-422, 1981.
- [2] N. P.Hong J. K. Park and J. W. Hong, "The Electrical properties of Gate Oxide due to the Variation of Thickness", KIEE, pp. 1931-1933, 1999.
- [3] N. P. Hong and J. W. Hong, "Electrical Characteristics of Thin SiO₂ Layer", KIEE Int. Trans., pp. 55-58, 2003.
- [4] D. P. Norton, "Capacitance-voltage measurements on ultrathin gate dielectrics", Solid-State Electronics 47, pp. 801-805, 2003.
- [5] B. E. Deal, M. Sklar, A. S. Grove, and E. H. Snow, "Characteristics of the Surface State Charge of Thermally Oxidized Silicon.", J. Electrochemical Society. 114, p266, 1967.
- [6] G. K. Su, Y. H. Chen, and A. E. Stephens, "Effect of Dislocation and Bulk Micro Defects on Device Leakage.", SEMICON Taiwan, pp.1-5, 2001.

저 자 소 개



홍 능 표 (洪 能 杓)

1970년 8월 11일생. 1994년 광운대 전기 공학과 졸업, 1996년 동 대학원 전기공학과(석사), 1998년~현재 동 대학원 전기 공학과 박사과정, 페어차일드(주) 선임연구원, Triac설계담당.

Tel : 82-32-680-1764, Fax : 82-32-680-1823
E-mail : nungpyo@korea.com



홍 진 응 (洪 眞 雄)

1955년 2월 23일생. 1982년 한양대학교 전기 공학과 졸업, 1982년~1987년8월 광운대학교 대학원 전기공학과 졸업(공학박), 1989년3월~현재 광운대학교 전자 정보대학 전기공학과 교수, 1992년7월~1993년7월 일본나고야대학 전기공학과 해외공동 연구원, 2000년7월~2001년7월 일본큐슈공대 전기공학과 객원교수, 2003년2월~2005월1월 광운대학교 정보학교육원 원장.

Tel : 82-02-940-5145, Fax : 82-02-915-4630
E-mail : ealab@daisy.kw.ac.kr