

Chemical Mechanical Polishing Characteristics with Different Slurry and Pad

徐龍辰* · 丁韶暎** · 金相用***

(Yong-Jin Seo · So-Young Jeong · Sang-Yong Kim)

Abstract - The chemical mechanical polishing (CMP) process is now widely employed in the ultra large scale integrated (ULSI) semiconductor fabrication. Especially, shallow trench isolation (STI) has become a key isolation scheme for sub-0.13/0.10 μm CMOS technology. The most important issues of STI-CMP is to decrease the various defects such as nitride residue, dishing, and torn oxide. To solve these problems, in this paper, we studied the planarization characteristics using slurry additive with the high selectivity between SiO₂ and Si₃N₄ films for the purpose of process simplification and in-situ end point detection. As our experimental results, it was possible to achieve a global planarization and STI-CMP process could be dramatically simplified. Also, we estimated the reliability through the repeated tests with the optimized process conditions in order to identify the reproducibility of STI-CMP process.

Key Words : Chemical mechanical polishing (CMP), high selectivity slurry (HSS), shallow trench isolation (STI), global planarization, reproducibility

1. 서 론

최근 반도체 공정 라인에서는 차세대 초미세 공정 기술 도입의 가속화를 통해 메모리 및 비메모리가 고집적화 되어감에 따라 0.13/0.10 μm 크기의 회로 선폭 미세화를 초래하였다. 이러한 미세 공정은 CMP(chemical mechanical planarization) 공정을 도입함으로써 가능하게 되었고, 이제는 없어서는 안될 반도체 칩 제작의 핵심 기술로 적용되고 있다. 이에 따라 차후에는 더욱 고속화, 고집적화 될 것으로 예상되는 반도체 칩에 대한 광역 평탄화 기술로써 CMP 공정의 필요성이 절실히 요구되는 상황이다[1]. 이러한 CMP 공정은 deep 서브마이크론 집적회로의 다층배선구조를 실현하기 위해 IMD(inter-metal dielectric)층[2], PMD(pre-metal dielectric)층[3,4], ILD(inter-layer dielectric)층 등을 평탄화하는데 효과적으로 사용되고 있으며, 특히 STI(shallow trench isolation) 공정을 수행하는데 필수적으로 적용되고 있다[5,6]. STI 공정은 반도체 칩 회로 제조에서 인접 소자와의 절연(isolation)을 위해 사용되는 공정 중의 하나로써, 기존의 LOCOS 절연법에서 단점으로 부각되었던 버즈 빅 현상이 발생하지 않아 소자의 크기를 감소시킬 수 있다는 장점이 있다. 이처럼 CMP 공정이 반도체 제조 공정에 적용됨으로써 공정 마진 확보에 진일보하였으나[7], CMP 공정 후 생성된 질화막 잔류물(nitride residue)

[8], 디싱(dishing)[9], 산화막의 균열(torn oxide), CMP 세정 공정 후 생성된 이동성 이온(mobile ions)등과 같은 오염원의 생성 등 무결점의 광역 평탄화를 위해서는 아직도 해결해야 할 문제점이 많다. 이러한 공정 결함들 중에서도 질화막 잔류 현상이나 디싱 현상은 연마 공정 시 정확한 연마 정지점(end point detection ; EPD)[10,11]을 감지하지 못하여 발생된다. 칩 내의 모든 위치에 대하여 패턴 크기, 간격, 밀도가 동일하다면 균일한 가공이 이루어지기 때문에 원하는 지점에서 CMP를 중단함으로써 이러한 현상들을 피할 수 있겠으나, 패턴 설계 상 위치에 따라서 패턴 폭과 간격이 달라질 수 있으며, 패턴 밀도 또한 다르게 형성된다. 이는 CMP 공정에서 연마 제거율의 차이를 유발하며, 연마 특성에 악영향을 미친다. 이러한 문제점을 해결하기 위해서 본 논문에서는 CMP 공정 중에 발생하는 각종 공정 결함을 해결하고, 연마 정지점 감지가 in-situ로 가능하도록 하고자 질화막에 선택적으로 보호막을 형성하고 산화막을 선택적으로 식각하여 질화막이 연마되는 속도를 최소화하며 동시에 선택성을 극대화시킬 수 있는 고선택비 슬러리 (high selectivity slurry ; HSS)를 개발하여 박막간 연마 선택비를 향상시키고자 하였으며, 고선택비 슬러리를 CMP 공정에 적용하여 연마 후의 표면 평탄화 특성을 알아보았다. CMP 공정 평탄화에 미치는 이종 패드의 영향을 고찰하기 위해 패드 종류에 따른 연마 실험을 하였다. 또한, 고선택비 슬러리를 이용한 STI-CMP 공정의 재현성을 확인하기 위하여 가장 안정된 공정 조건들을 조합하여 다수의 웨이퍼를 연마함으로써 재현성을 확인하여 보았고, 슬러리의 첨가제가 공정에 주는 영향을 알아보기 위하여 슬러리를 안정된 조건으로 제조한 다음, 4일 동안 반복 실험을 하여 그 신뢰성을 평가하였다. 마지막으로 장시간에 대한 공정

* 正 會 員 : 大佛大學教 電氣工學科 副教授 · 工博

** 準 會 員 : 大佛大學教 電氣工學科 碩士

*** 正 會 員 : 동부 아남 半導體 FAB 事業部 · 工博

接受日字 : 2003年 6月 5日

最終完了 : 2003年 7月 8日

신뢰성을 평가하기 위하여 날짜별로 연마 두께 차이를 측정함으로써 슬러리 첨가제의 재현성을 알아보았다.

2. 실험

HSS STI-CMP 공정을 수행하기 위해서는 질화막과 산화막의 연마선택비가 우수한 공정을 찾아야 하며 연마 후 공정 결함들이 없는 안정된 공정을 수행해야 한다. 또한 공정 중에 연마 정지점을 in-situ로 검출할 수 있는 공정이 가장 바람직한 공정 조건이다. 본 연구는 이를 해결 하고자 연마제로 화학제 요소를 개발 적용하여 첨가함으로써 상기와 같은 문제점을 모두 해결 가능하도록 실험하였다. 본 실험에 적용한 화학 용액은 TMAF (tetra methyl ammonium fluoride), H₂O₂, KOH, H₂O등을 사용하여 적정 결정을 찾아 실험하였으며, 첨가제 혼합의 최적화된 레시피(recipe)는 DIW : TMAF : KOH : H₂O₂ = 200 : 70 : 8 : 1로 제조하여 안정된 결과를 얻었다. HSS 첨가제 내의 여러 성분들의 wt%를 계산하였으며, 결과는 TMAF : 4.2575%, KOH : 0.8668~0.9178%, H₂O₂ : 0.1403%로 나타났다. 웨이퍼의 STI 패턴은 초기 웨이퍼에 전기로로 열산화막을 150Å을 증착 한 후, 그 위에 LPCVD(low pressure chemical vapor deposition)로 질화막을 2000Å 증착하고, 모트(moat) 패턴과 건식 식각으로 트랜치를 3500Å 깊이로 형성하였다. 이 트랜치 위에 선형 산화막을 전기로를 이용하여 270Å 정도 형성하고 APCVD (atmosphere pressure chemical vapor deposition)로 산화막을 8000Å 증착하여 트랜치를 채운 후 열처리 과정을 거쳐 STI 구조를 형성한 후 STI-CMP 공정을 진행하였다.

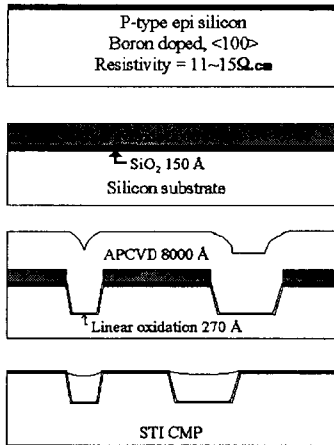
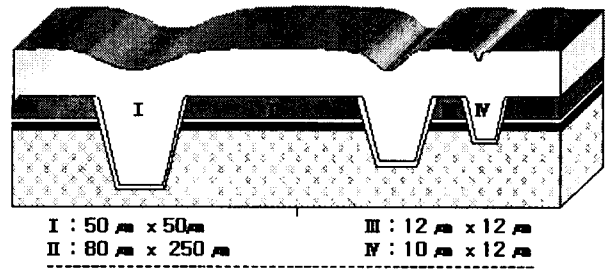


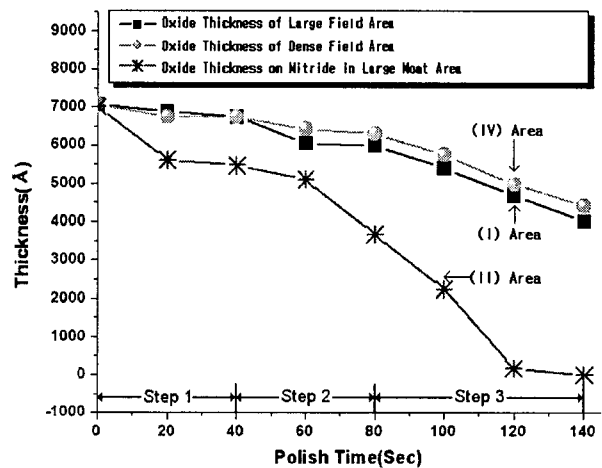
그림 1 STI 패턴 웨이퍼 제작 과정
Fig. 1 Fabrication sequence of STI pattern sample wafer.

그림 1은 본 실험에서 사용된 STI 패턴 웨이퍼의 제작 과정을 개략적으로 나타낸 것이다. 연마된 패턴 웨이퍼의 두께 측정은 넓은 필드 산화막 지역(50μm×50μm), 밀집된 필드 산화막 지역(10μm×12μm), 넓은 모트 지역(80μm×250μm), 그리고 트랜치에 의해 독립된 STI로 둘러 쌓인 좁은 모트 지역(12μm×12μm)에서 각각 수행되었다. 패턴 된 웨이퍼 각 지역별 크기는 그림 2(a)에 나타내었다. CMP 연마 장비는 IPEC

Avanti 472 연마기를 사용하였으며, CMP 공정 후 세정을 위해 SC-1 Chemical→DHF(2분)→Rinse→Spin Rinse Dry (SRD) 과정을 수행하였다. 또한, 산화막 및 질화막 두께를 측정하기 위해 Nano Metrics M8000X와 Rudolph Ellipsometer FE VII 시스템을 사용하였다. CMP 공정에 의한 표면 평탄화 특성을 분석하기 위하여 20초 간격으로 STI 패턴 된 웨이퍼를 CMP한 후 넓은 산화막 지역과 좁은 필드 산화막 지역의 산화막과 모트 지역에 있는 질화막 위의 산화막 두께를 측정하였다.



(a)



(b)

그림 2 (a) 각 지역별 크기와 (b) 연마 시간에 따른 산화막 두께 비교

Fig. 2 (a) Size of the each area and (b) oxide thickness as a function of polish time.

패드의 종류에 따라 CMP 평탄화 특성에 미치는 영향을 고찰하기 위하여 상부 패드는 IC1000으로 고정하고, 하부 패드를 경도에 따라 Suba IV, IC1000, JR111로 나누어 서로 다른 3종류의 이중 연마 패드 구조의 연마 특성을 비교 평가하였다. 상부와 하부 패드는 PSA II로 접촉시켰으며, 3가지 패드의 경도는 Suba IV <IC1000 <JR111 순이었다.

또한, 고선택비 슬러리를 이용하여 STI-CMP를 수행하였을 경우, 웨이퍼 사이의 신뢰성을 평가하기 위해 CMP 공정을 수행하기 전에 패턴 웨이퍼에서 평가 하고자 하는 위치의 두께를 측정한 후, 안정된 공정 조건으로 트랜치 깊이가 3500 Å인 패턴 웨이퍼를 63초 동안 연마하였다. 이 연마한 웨이퍼는 세정 공정을 수행하고 재측정하여 CMP 공정의 전과 후에 대한 연마 특성을 평가하였다.

재현성 실험을 위해 트랜치 깊이가 3500Å인 STI 구조에서 매일 2장의 웨이퍼를 이용하여 4일 동안 동일한 실험을 반복하였으며, 소모성 자재들의 변수를 고려하지 않고 연마 시간을 63초로 동일하게 수행하였다. 마지막으로, 장시간에 대한 공정 신뢰성을 평가하고자 매일 반복 실험한 데이터를 나타냈는데, 여기에 사용되는 패턴 웨이퍼는 STI 트랜치 깊이가 5000Å인 패턴 웨이퍼를 75초 동안 연마하였으며, 소모성 자재의 변수는 배제하고 많은 웨이퍼를 반복적으로 연마하여 평가하였다. 여기에서 측정과 세정은 이전 실험과 동일한 방법을 수행하였으며, 샘플 웨이퍼와 희생 웨이퍼는 필수적으로 진행한 후 실험하였다.

3. 실험 결과 및 고찰

3.1. HSS를 이용한 STI-CMP 광역 평탄화 특성

기존에는 낮은 선택비(3:1)를 갖는 연마용 슬러리 때문에 복잡한 리버스 모트(reverse moat) 공정을 적용할 수밖에 없었다. 그러나 높은 선택도를 갖는 슬러리의 개발로 인하여 복잡한 리버스 모트 공정을 적용할 필요 없이 direct STI-CMP를 진행함으로써 공정의 단순화를 이룰 수 있었다. 그림 2(b)는 CMP 공정에 의한 표면 평탄화 특성을 분석하기 위하여 20초 간격으로 STI 패턴 된 웨이퍼를 CMP한 후 넓은 필드 산화막 지역과 좁은 필드 산화막 지역의 산화막과 모트 지역에 있는 질화막 위의 산화막 두께를 나타낸 것이다. 그림 2(b)의 Step 1에서는 모트 지역의 산화막이 연마 패드와 직접 접촉되어 연마되므로, 초기 연마율은 높게 나타났다. 반면에 넓은 필드와 좁은 필드 지역의 산화막은 STI 때문에 형성된 산화막 단차로 인하여 아직까지 패드와의 접촉은 없으며, 단지 화학적인 슬러리와 반응과 약간의 기계적인 힘에 의해 적은 양이 제거되었다. Step 2 지역은 초기 연마의 효과로 인하여 대체로 전반적인 연마가 이루어지다가, 국부적인 평탄화에 의해 탄성체(elastic)인 연마 패드와 날카로운 웨이퍼 표면의 단차가 제거되어 어느 정도 필드 산화막 지역과 접촉이 이루어져 약간의 연마율 차이를 보였다. 이는 좁은 지역과 넓은 필드 지역의 밀도 차로 인해 발생하는 것으로 좁은 지역의 모트 밀도가 더 높기 때문에 연마율은 더 낮아지며, 넓은 지역에 비해 제거되는 두께는 더 작게 나타났다. 마지막으로 Step 3은 국부적인(local) 평탄화에서 광역(global) 평탄화로 전환되는 지점으로, 웨이퍼 전 지역에서 연마 패드와의 접촉이 일어나며, 연마가 순조롭게 진행되는 단계이다. 이때 질화막 위의 산화막이 완전히 제거되며 질화막과 패드의 접촉이 일어나면서 연마되어진다. 질화막과 웨이

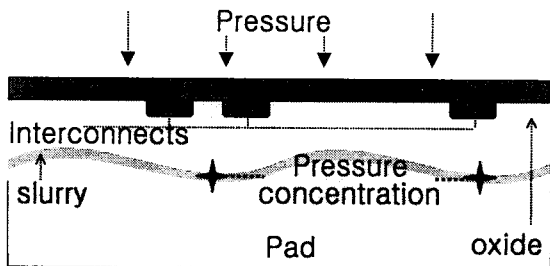


그림 3 패드의 기계적인 특성
Fig. 3 Mechanical characteristic of pad.

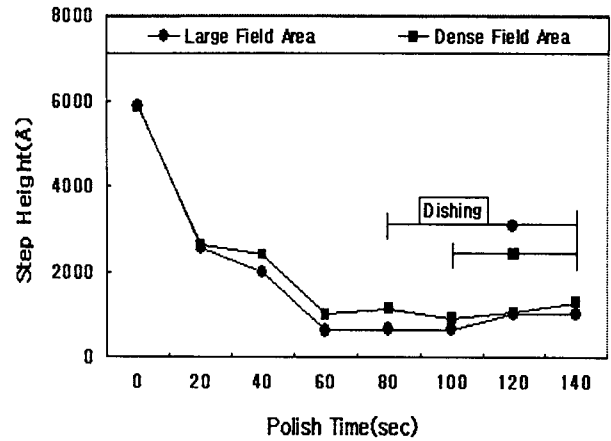


그림 4 연마 시간에 따른 각 필드 산화막 지역에서의 단차
Fig. 4 Analysis of step heights in the each area as a function of polish time.

퍼 전면에서 접촉이 일어나 연마가 되는 시점에서부터 필드지역에서의 디싱(dishing)이 시작되며, 이 지점에서 연마는 끝나게 된다. 이상과 같은 연마 과정의 이해를 돕기 위해 패드와 웨이퍼의 접촉 개략도를 그림 3에 보였다.

그림 4는 연마 시간에 따른 각 필드 산화막 지역에서의 단차를 분석한 것이다. 그림에서 알 수 있듯이 0초에서 60초까지는 CMP에 의해 표면의 단차가 급격히 제거되었고, 60초에서 80초까지는 단차의 변화가 거의 없는 국부적 평탄화가 진행되었다. 또한 넓은 지역에서는 80초 이후부터, 그리고 좁은 지역에서는 100초 이후에서부터 다시 단차가 조금씩 차이를 보이며 증가하였는데, 이것은 바로 디싱의 시작을 의미한다.

3.2. HSS STI-CMP 재현성 확인

그림 5는 산화막과 질화막의 경우 3가지 다른 종류의 패드 특성에 따른 CMP 연마 후 결과를 연마 제거율(removal rate), 비균일도(non-uniformity), 선택비(selectivity)로 나누어 제시한 것이다. 선택비는 APCVD 산화막의 연마 제거율(R/R)을 질화막의 연마율로 나눈 값이며, 연마 제거율은 CMP 전의 두께에서 CMP 후의 두께를 뺀 값을 연마 시간으로 나눈 값으로 정의하였다. 여기에서 하부 패드의 종류에 따라 산화막의 연마율을 비교하면 Suba IV 패드에서는 아주 낮은 제거율을 나타내었는데, 이는 장시간의 연마 시간을 요구 할 것이다. IC1000 패드에서 연마 제거율은 가장 높은 값을 보였으나, 선택비가 비교적 낮았다. 그러나 JR111 패드는 연마 선택비도 높으면서 산화막의 연마율도 동시에 높아 더 안정적인 경향을 나타내었다. 비균일도 평가는 7% 이내로 모두 제어되었으며, 반복 실험을 통해 큰 차이가 없음을 알 수 있었다. 산화막과 질화막의 선택비 측면에서 비교하면 JR111 및 Suba IV에서 15:1로 높은 선택비 값을 얻을 수 있었다. 하지만, Suba IV에서는 제거율이 낮으므로, 선택비가 크다고 하더라도 moat 밀도가 높은 지역에서는 많은 연마 시간을 요구하게 되므로 높은 제거율이 요구되는 현재의 CMP 공정에서는 다소 부족함을 알 수 있다.

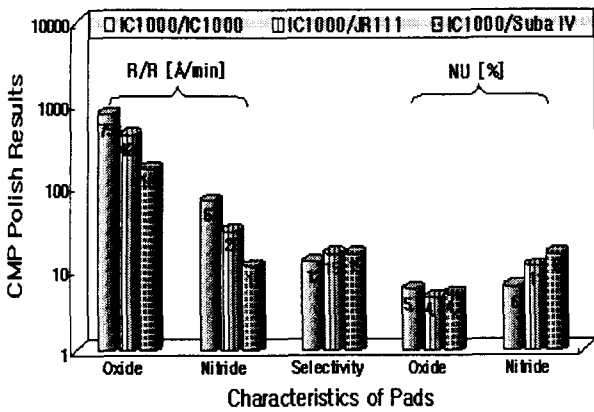


그림 5 각 패드 특성에 따른 CMP 연마 결과
Fig. 5 CMP polishing result as a function of characteristics of 3-different pads.

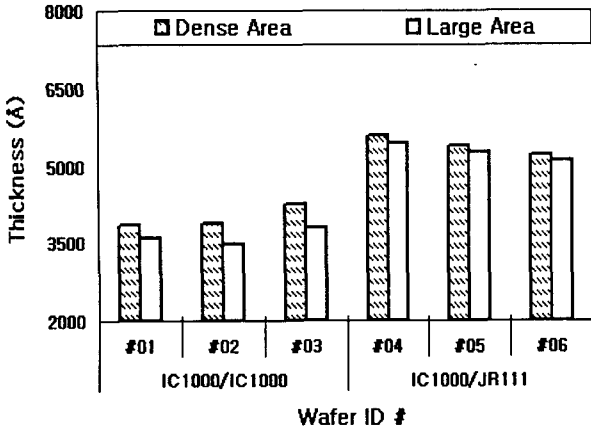


그림 6 패드 종류에 따른 연마된 두께 변화
Fig. 6 Polished thickness as a function of different Pad.

그림 6은 각각 IC1000과 JR111 연마 패드를 사용한 경우 Run 진행 수에 따른 좁은 필드 지역과 넓은 필드 지역에서 연마 두께를 나타낸 것이다. IC1000 패드는 3500Å의 STI를 연마한 것이고, JR111은 5000Å의 STI를 연마한 결과이다. IC1000/IC1000 패드와 IC1000/JR111 패드 모두 세 차례 측정된 결과 거의 동일한 연마두께를 나타내어 재현성은 우수하였다.

고선택비 슬러리를 이용한 STI-CMP의 안정된 공정을 진행하기 위해 공정의 재현성을 평가하고자 하였다. 안정된 공정이란, 그 공정 변수에 대한 신뢰성이 확보되어야 한다. 먼저 웨이퍼간 신뢰성을 평가하기 위해 CMP 공정을 수행하기 전에 패턴 웨이퍼에서 평가하고자 하는 위치의 두께를 측정 한 후, 안정된 공정 장비 조건에서 트랜치 깊이가 3500Å인 패턴 웨이퍼를 63초 동안 동일하게 연마하였다. 이 연마된 웨이퍼를 이용하여 세정 공정을 수행하고 재측정하여 CMP 공정 전후의 연마 특성을 평가했다. CMP 공정의 모든 테스트는 매 공정마다 희생 웨이퍼를 1장 사용하였으며, 본 실험을 하기 전에 항상 샘플 웨이퍼 진행은 필수적으로 하였다.

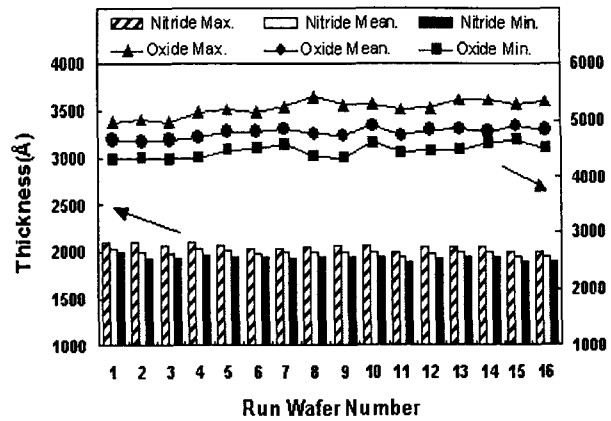


그림 7 좁은 지역에서의 웨이퍼 Run 수에 대한 산화막과 질화막 두께의 관계
Fig. 7 Run wafer number vs. Oxide thickness and Nitride thickness in the dense area.

그림 7은 CMP 연마에 따른 두께 변화를 관찰하기 위해 측정된 결과로, 연마가 진행된 웨이퍼 수에 대한 산화막과 질화막의 두께 변화를 나타낸 것이다. 연마가 진행됨에 따라 전체적인 산화막 두께는 약간 증가하는 경향을 보였고, 질화막은 약간 감소하는 경향을 나타내었으나, 증감의 양은 모두 400Å 이내로 아주 우수하게 제어되는 재현성을 보였고, 약간의 두께 상승은 소모성 자재들의 영향으로 판단된다. 그러나 EPD(end point detection) 시스템을 적용할 경우, 이러한 웨이퍼 내의 두께 변화는 더 많이 줄일 수 있어 보다 안정된 공정 유지가 가능할 것으로 생각된다.

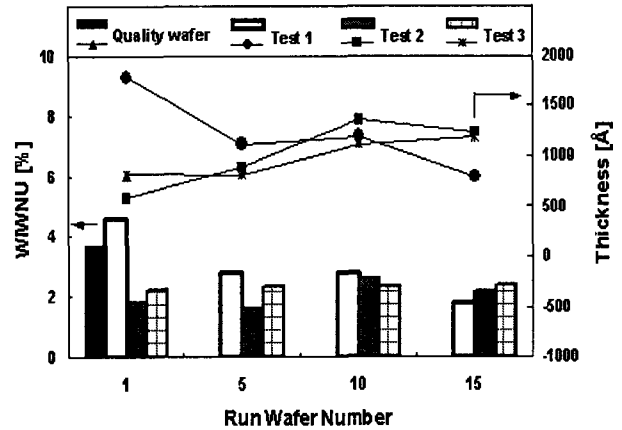


그림 8 웨이퍼 Run 수에 대한 산화막의 두께와 비균일도의 관계
Fig. 8 Run wafer number vs. oxide thickness and non-uniformity.

산화막과 질화막 사이의 높은 선택비를 갖는 슬러리 첨가제가 공정에 주는 영향은 매우 크고 중요한 요소이므로, 그림 8의 실험에서는 슬러리 첨가제를 안정된 조건으로 제조한 다음, 4일 동안 동일한 방법으로 반복 실험하여 첨가제의 신뢰성을 평가하였다. 여기에 사용되는 패턴 웨이퍼는 트랜치 깊

이가 3500Å인 STI 조건에 매일 2장씩 4일 동안 동일한 실험을 반복하였고, 연마 시간도 63초로 소모성 자재들의 변수를 고려하지 않고 동일하게 수행하여 평가하였다. 인증 웨이퍼는 이 공정에 인증을 받기 위한 웨이퍼인데, 3번의 테스트를 수행해 본 결과, 산화막 두께 측정의 경우 테스트 3이 인증 웨이퍼의 값과 비교적 비슷한 값을 나타냄을 알 수 있었다. 비균일도 측면에서도 테스트 3이 가장 우수한 결과를 나타내었다.

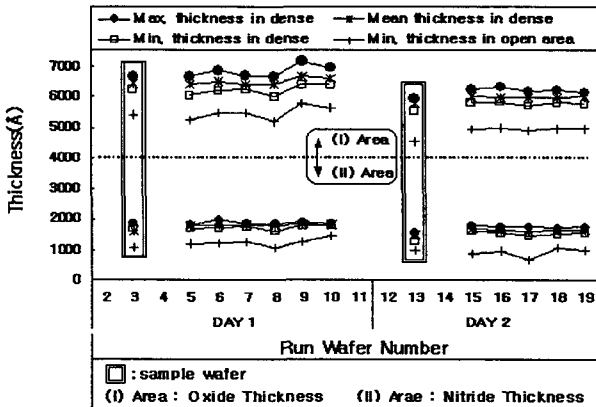


그림 9 웨이퍼 Run 수에 대한 산화막과 질화막 두께
Fig. 9 Run wafer number vs. oxide and nitride thickness.

그림 9는 장시간에 대한 공정 신뢰성을 평가하고자 매일 반복 실험한 데이터를 나타내는데, 여기에 사용되는 패턴 웨이퍼는 STI 트랜치 깊이가 5000Å인 패턴 웨이퍼를 75초 동안 연마하였으며, 소모성 자재의 변수는 배제하고 많은 웨이퍼를 반복적으로 연마하여 평가하였다. 여기에서 측정과 세정은 앞과 동일한 방법을 수행하였으며, 샘플 웨이퍼와 희생 웨이퍼 진행은 필수적으로 진행한 후 실험한 것이다. 샘플 웨이퍼의 수행 후 그 목표 값에 맞추어 실험한 결과 샘플 값과 거의 비슷하게 측정되었고, 두 번째 날에는 보다 안정된 값을 나타내는 것을 그림 9의 결과를 통해 볼 수 있다. 이로써 고선택비 슬러리 첨가제의 재현성이 아주 우수함을 알 수 있었다. 날짜별 두께 차이는 패드나 장비 등 기타 조건의 변동으로 인하여 발생하였고, 이러한 변동 사항은 EPD를 적용할 경우 해결 될 수 있을 것으로 생각된다.

4. 결 론

고선택비 슬러리 첨가제 혼합의 최적화된 레시피는 이온수 : TMAF : KOH : H₂O₂ = 200 : 70 : 8 : 1 비율로 제조하여 안정된 결과를 얻었다. 고선택비 슬러리를 STI-CMP 공정에 직접 적용하여 연마 특성을 알아 본 결과, 좁은 지역이 넓은 지역보다 더 늦게 연마되었으며, 단차 분석 결과도 넓은 필드 산화막 지역에서는 80초 이후부터 디싱 효과가 나타났으나, 좁은 필드 지역에서는 100초 이후부터 디싱이 발생되었다. 이는 모트 밀도의 차이에 의한 것으로 볼 수 있다. 따라서, 평탄화 이후 계속 진행되는 디싱 효과는 모트 밀도가 낮은 부분으로부터 시작하므로, 좁은 지역에서의 초기 디싱이 일어나기 전에 연마를 마쳐야 함을 알 수 있었다.

패드 종류에 따른 CMP 특성 비교 실험에서는 산화막의 연마율만을 비교할 경우, Suba IV 패드는 아주 낮은 제거율을 나타내지만, 이는 장시간의 연마 시간을 요구 할 것이고, IC1000 패드에서 가장 높은 값을 보였으나, 선택비 측면에서는 JR111 패드가 더 안정적인 경향을 나타내었다. 비균일도 평가는 7% 이내로 모두 제어되었으며, 반복 실험을 통해 큰 차이가 없음을 알 수 있었다. 선택비는 JR111 및 Suba IV에서 가장 높은 값을 얻을 수 있었다. 하지만, Suba IV상에서는 낮은 제거율이 나타나므로, 선택비가 크다고 하더라도 JR111 패드가 더 우수한 결과로 판단된다.

동일 시간으로 연마를 진행할 경우의 lot내 변화 폭과 매일 공정에 대한 재현성 실험에서는 전체적으로 약간의 변화 폭을 나타내었으나, 증감의 양은 모두 400Å 이내로 아주 우수하게 제어되는 재현성을 보였고, 약간의 두께 상승은 소모성 자재들의 영향으로 판단된다. 그러나 EPD 시스템을 적용할 경우 이러한 웨이퍼 내의 두께 변화는 더 많이 줄일 수 있어, 보다 안정된 공정 유지가 가능할 것으로 생각된다.

감사의 글

이 논문은 2002년도 한국학술진흥재단의 지원에 의하여 연구되었음(KRF-2002-041-D00235).

참 고 문 헌

- [1] 김상용, 서용진, 김태형, 이우선, 김창일, 장의구, "Chemical Mechanical Polishing(CMP) 공정을 이용한 Multilevel Metal 구조의 광역 평탄화에 관한 연구", 한국전기전자재료학회 논문지, 제11권, 12호, pp. 1084-1090, 1998.
- [2] W. Ong, S. Robles, S. Sohn, and B.C. Nguyen, "Characterization of Inter-Metal and Pre-Metal Dielectric Oxides for Chemical Mechanical Polishing Process Integration", VMIC conf., p.197, 1993.
- [3] Y. J. Seo, S. Y. Kim, W. S. Lee, "Optimization of Pre-Metal Dielectric (PMD) Materials", Journal of Materials Science : Materials in Electronics, Kluwer Academic Publishers, Vol. 12, No. 9, pp. 551-554, 2001.
- [4] S. J. Fang, S. Garza, H. Guo, T. H. Smith, G. B. Shinn, J. E. Campbell, and M. L. Hartsell, "Optimization of the Chemical Mechanical Polishing Process for Premetal Dielectrics", Journal of the Electrochemical Society, Vol. 147, No. 2, pp.682-686, 2000.
- [5] 김상용, 백명기, 김창일, 장의구, "STI 구조에 대한 CMP 공정에 관한 연구", 대한전기학회 춘계 학술 대회 논문집, p.125, 1998.
- [6] J. Y. Cheng, T. F. Lei, and T. S.Chao, "A Novel Shallow Trench Isolation Technique", J. Appl. Phys, Vol. 36, No. 3B, pp.1319-1324, 1997.

- [7] B. Wihthers, E. Zhao, W. Krusell, R. Jairath and S. Hosali, "Wide Margin CMP for STI", Solid State Technology, pp.173-179, 1998.
- [8] 이우선, 서용진, 김상용, 장의구, "STI-CMP 공정의 절화막 잔존물 및 패드 산화막 손상에 대한 연구", 대한전기학회 논문지, 제50권, 9호, pp. 438-443, 2001.
- [9] K. Smekalin, "CMP Dishing Effects in Shallow Trench Isolation", Solid State Technology, pp.187-194, (1997)
- [10] S. Y. Kim, C. J. Park, Y. J. Seo, "Signal Analysis of End Point Detection (EPD) Method Based on Motor Current (MC)", Microelectronic Engineering, Vol. 66, Issue 1-4, pp. 472-479, 2003.
- [11] S. Y. Kim, K. J. Lee, Y. J. Seo, "In-situ End Point Detection(EPD) of STI-CMP Process Using High Selectivity Slurry", Microelectronic Engineering, Vol. 66, Issue 1-4, pp. 463-471, 2003.

저 자 소 개



서 용 진(徐龍辰)

1987년 중앙대 공대 전기공학과 졸업.
1989년 동 대학원 전기공학과 졸업(석사).
1994년 동 대학원 전기공학과 졸업(공학박).
1999~2000년 Univ. of North Carolina at Charlotte(UNCC) 과학재단 Post-doctoral Fellow. 현재 대불대 전기공학과 부교수. 관심분야 : CMP 공정, Silicon based nanoelectronics.
Tel : 061-469-1260, Fax : 061-469-1260
E-mail : syj@mail.daebul.ac.kr



정 소 영(丁韶暎)

1977년 9월 22일 생. 2000년 대불대 공대 전자공학과 졸업. 현재 동 대학원 전기공학과 졸업(공학석사).
Tel : 061-469-1273, Fax : 061-469-1265
E-mail : jsy999@mail.daebul.ac.kr



김 상 용(金相用)

1990. 1~1996 현대전자 반도체연구소 CVD/PVD 담당 주임연구원. 1M, 4M, 64M Memory 반도체개발(PVD/CVD담당). CMP 공정개발. 1996. 11~아남반도체(주) CMP Manager