

# 밴드갭 기준 전압을 이용한 CMOS 전압 제어 발진기의 설계

論文

52C-10-1

## A Design of CMOS VCO Using Bandgap Voltage Reference

崔晉鎬\*  
(Jin-Ho Choi)

**Abstract** - A CMOS Voltage-Controlled Oscillator(VCO) for application at temperature stable system is designed. The VCO consists of bandgap voltage reference circuit, comparator, and voltage-to-current converter and the VCO has a temperature stable characteristics. The difference between simulated and calculated values is less than about 5% in output characteristics when the input voltage range is from 1V to 3.25V. The CMOS VCO has error less than about  $\pm 0.85\%$  in the temperature range from  $-25^{\circ}\text{C}$  to  $75^{\circ}\text{C}$ .

**Key Words** : VCO, CMOS, 밴드갭 기준 전압

### I. 서론

입력 전압에 비례하는 발진 주파수를 가지는 전압 제어 발진기는 발진 주파수에 따라 응용분야가 다양하다. 저주파 발진기는 센서 응용회로 혹은 계측제어 시스템 등에 응용되어지며, 고주파의 경우는 통신용 시스템에 응용된다[1-3]. 그리고 가스 센서의 출력을 처리하기 위한 입력전압<sup>1/2</sup>에 비례하는 발진 주파수를 가지는 전압 제어 발진기도 있다[4]. 이러한 다양한 전압 제어 발진 회로는 센서의 출력 신호를 처리하기 위해 IC화가 가능하도록 회로를 설계하고 있으며, 또한 동작 온도에 무관한 특성을 가지도록 회로를 설계하고 있다. 기존에 발표되어진 전압 제어 발진기는 62개의 트랜지스터를 이용하여 설계되었으며, 온도에 따른 특성을 향상시키기 위해 사용된 트랜지스터의 60%는 바이폴라 트랜지스터를 이용하여 설계하였다. 그러나 회로의 특성을 살펴보면, 상온에서 출력 주파수는 이론적인 값과 약 5% 정도의 차이를 보였으며, 동작온도가  $-25^{\circ}\text{C}$ 에서  $75^{\circ}\text{C}$ 로 변화할 때 온도 변화에 따른 주파수 변화는  $-1.3\%$ 에서  $+1.7\%$ 이었다. 그리고 입력 전압이 증가함에 따라 특정 입력 전압에서 출력 주파수의 선형성이 유지되지 않고 출력 주파수의 특성이 왜곡되는 문제점이 있었다. 또한 온도에 대한 특성을 향상시키기 위해 많은 바이폴라 트랜지스터를 사용함에 따라 칩의 면적이 증가하는 단점이 있으며, 바이폴라 트랜지스터 제조를 위하여 IC 제조 공정을 증가시키는 단점이 있었다[2].

본 논문에서는 동작온도에 무관한 전압제어 발진기의 설계를 위한 새로운 개념을 제안하고 제안되어진 방법을 이용

하여 CMOS 전압제어 발진기를 설계하였다. 설계되어진 회로는 전체 칩 면적에 큰 영향을 끼치는 바이폴라 트랜지스터를 사용하지 않고 MOS 트랜지스터만으로 전압 제어를 설계하였으며, 또한 동작온도에 무관한 특성을 가지도록 회로를 구성하였다. 그리고 SPICE simulation을 통하여 설계되어진 회로의 특성을 확인한 결과 기존의 회로에서 발생하였던 특정 입력 전압에서의 출력주파수의 왜곡 현상은 발생하지 않았다. 그리고 온도에 따른 전압 - 주파수 변환 특성도 기존의 회로에 비해 향상되었음을 확인할 수 있었다.

II절에서는 동작온도에 무관한 CMOS 전압 제어 발진기 회로의 구성과 개념에 대하여 설명하고, III절에서는 설계되어진 CMOS 전압 제어 발진기에 대하여 논한다. 그리고 IV절에서는 SPICE simulation을 통한 회로의 성능을 분석하고 V절에서 결론을 맺는다.

### II. CMOS 전압 제어 발진기 회로

그림 1은 본 논문에서 제안하는 전압 제어 발진기회로의 개략도이다. 그림 1의 전압 제어 발진기는 CMOS 기준전압회로, 비교기 그리고 입력 전압을 전류로 변환하는 회로로 구성되어 있다. 전압-전류 변환회로에서는 입력 전압  $V_{IN}$ 에 비례하는 전류원을 구성한 다음, 이 전류원을 이용하여 커패시터를 충·방전 시킨다. CMOS 기준 전압회로는 2개의 회로로 구성되어 있으며, 2개의 기준 전압은 커패시터 충·방전시 비교되어질 기준 전압이다.

그림 2는 비교기의 출력 신호인  $V_{S1}$ 과  $V_{S2}$  그리고 커패시터의 충·방전 전압  $V_C$ 를 나타낸 것이다. 비교기는 기준 전압 회로의 출력전압과 커패시터의 전압( $V_C$ )을 비교하여 커패시터의 충·방전을 제어하기 위한 스위치 S1과 S2를 on/off 한다. 스위치 S1과 S2의 on/off 제어 전압인  $V_{S1}$ 과  $V_{S2}$ 는 그림 2 (a)와 (b)에서 보듯이 서로 반전의 관계가 있다.

\* 正會員 : 釜山外國語大學校 컴퓨터·電子工學部 副教授·工博  
接受日字 : 2003年 5月 9日  
最終完了 : 2003年 8月 25日

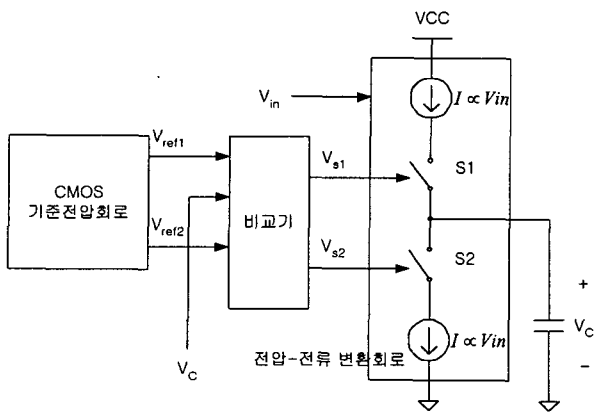
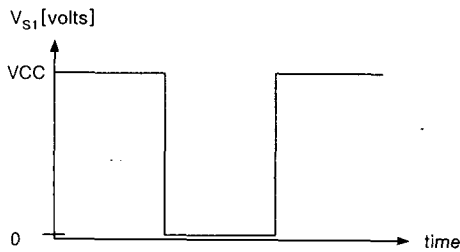
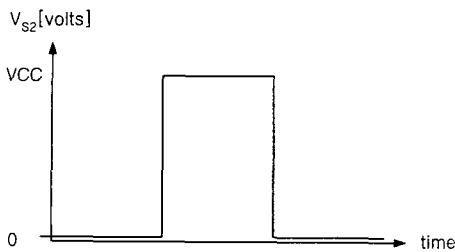


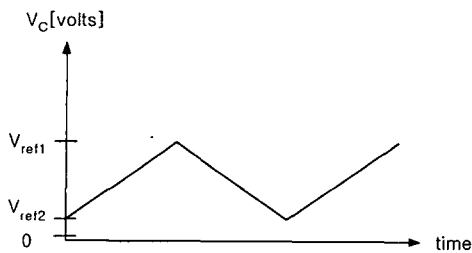
그림 1 전압-제어 발진기의 개략도  
Fig. 1 Concept of voltage-controlled oscillator



(a)



(b)



(c)

그림 2 스위치 제어 신호와 커패시터의 충전·방전 전압  
(a) VS1 전압 (b) VS2 전압 (c) Vc 전압

Fig. 2 Switch control signal and charge and discharge voltage in capacitor (a) VS1 voltage (b) VS2 voltage (c) Vc voltage

회로의 동작은 다음과 같다. 그림 1에서 VS1이 high인 경우 스위치 S1이 on 되어 커패시터는 충전한다. 충전전압이 Vref1이 되면 비교기의 출력 신호는 변화하여 VS1은 low가 되고 VS2는 high가 된다. 그러면 스위치 S2가 on되고 스위치 S1이 off 되어 커패시터는 방전을 하게된다. 그러므로 기준 전압이 각각 Vref1과 Vref2일 때 커패시터에 충전·방전되는 최대전압과 최소전압은 각각 Vref1과 Vref2로서 그림 2(c)와 같은 삼각파의 모양이 된다. 커패시터에 충전시 걸리는 시간을 tr 이라 하면 충전시간 tr은 수식 (1)과 같이 표현된다.

$$C \cdot (V_{ref1} - V_{ref2}) = I_r \cdot t_r \quad (1)$$

수식 (1)에서 C는 커패시턴스, Vref1 - Vref2는 커패시터에 충전되는 전압의 크기 그리고 Ir은 커패시터에 충전시 흐르는 전류의 크기이다. 커패시터에 Vref1 - Vref2의 전압을 충전하는데 걸리는 시간은 수식 (2)와 같다.

$$t_r = C \cdot (V_{ref1} - V_{ref2}) / I_r \quad (2)$$

충전시 걸리는 시간 tr과 유사하게 방전시 걸리는 시간 tf는 수식 (3)과 같이 표현되어진다.

$$t_f = C \cdot (V_{ref1} - V_{ref2}) / I_f \quad (3)$$

여기서 If는 방전시 흐르는 전류이다. 충전전류와 방전전류가 동일하고 전류 값을 I라고 하면, 충전과 방전시 걸리는 총 시간 ttotal는 수식 (4)와 같다.

$$t_{total} = t_r + t_f = 2C(V_{ref1} - V_{ref2}) / I \quad (4)$$

커패시터에 충전·방전시 걸리는 시간 ttotal의 역수를 취하면 커패시터에 충전·방전되어지는 신호의 주파수가 되며, 이는 수식(5)와 같이 표현된다.

$$f = I / [2C(V_{ref1} - V_{ref2})] \quad (5)$$

수식 (5)에서 전류 I는 입력 전압에 비례하는 전류이다. 입력 전압을 VIN이라 하면 입력 전압에 비례하는 전류는 저항을 이용하여 구성할 수 있으며, 그 값은 VIN/R이다. 이때 수식 (5)는 수식 (6)과 같이 표현되어진다.

$$f = \frac{V_{IN}}{2RC(V_{ref1} - V_{ref2})} \quad (6)$$

전압 제어 발진기를 센서의 출력신호 처리용 혹은 계측용 장비에 사용하기 위해서는 온도에 따른 발진 주파수의 변화가 작을수록 좋다. 그러나 식 (6)에서 살펴보면 저항 R은 온도에 따라 크기가 변화하며, 또한 저항에 비하여 온도에 따른 값의 변화는 작지만 커패시터도 온도에 따라 값이 변화한다. 그러므로 비교기의 출력 주파수와 커패시터의 삼각파 주파수는 온도에 따라 변화하게 될 것이다.

온도 변화에 따라 특성이 일정한 전압 제어 발진기를 설계하기 위해서는 수식 (6)의 분모가 온도에 따라 일정하여야 한다. 이를 위해서 수식 (7)에서처럼  $V_{ref1}$ 의 전압을 온도에 따라 변화시켜 수식 (7)의 분모 값을 일정하게 유지시킨다면 온도에 무관한 출력 주파수를 얻을 수 있을 것이다.

$$f = \frac{V_{IN}}{2R(T) \cdot C(T) \cdot [V_{ref1}(T) - V_{ref2}]} \quad (7)$$

### III. 전압-제어 발진기 회로

그림 3 (a)는 CMOS로 구성된 밴드갭 기준 전압 회로이다[5]. 그림 3(a) 회로에 사용되어진 MOS의 채널 폭과 저항 값은 표 1에 나타나 있다. 그리고 MOS의 채널 길이는 모두  $0.5\mu\text{m}$ 이다.

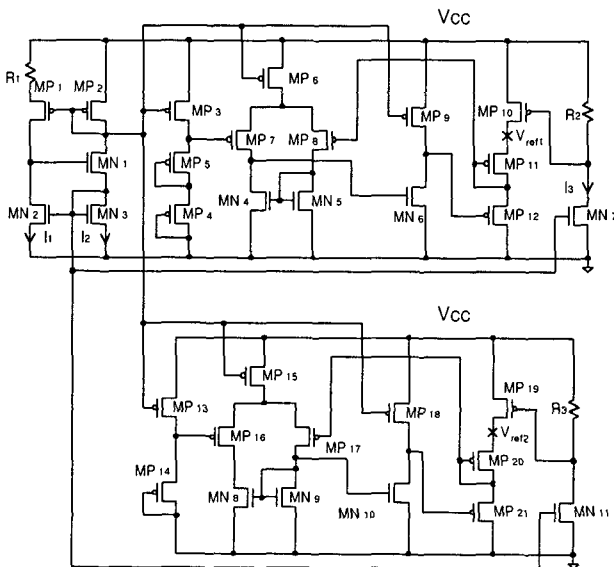


그림 3 CMOS 밴드갭 기준 전압 회로  
Fig. 3 CMOS bandgap voltage reference circuit

표 1 CMOS 밴드갭 기준 전압 회로의 트랜지스터 크기 및 저항값

Table 1 Transistor size and resistor value in CMOS bandgap voltage reference circuit

PMOS [ $\mu\text{m}$ ]	MP <sub>1</sub>	5.0	MP <sub>2</sub>	0.5	MP <sub>3</sub>	0.5
	MP <sub>4</sub>	0.5	MP <sub>5</sub>	0.5	MP <sub>6</sub>	2.0
	MP <sub>7</sub>	4.0	MP <sub>8</sub>	4.0	MP <sub>9</sub>	2.0
	MP <sub>10</sub>	2.0	MP <sub>11</sub>	2.0	MP <sub>12</sub>	1.0
	MP <sub>13</sub>	0.5	MP <sub>14</sub>	0.5	MP <sub>15</sub>	2.0
	MP <sub>16</sub>	4.0	MP <sub>17</sub>	4.0	MP <sub>18</sub>	2.0
	MP <sub>19</sub>	2.0	MP <sub>20</sub>	2.0	MP <sub>21</sub>	1.0
NMOS [ $\mu\text{m}$ ]	MN <sub>1</sub>	0.5	MN <sub>2</sub>	0.5	MN <sub>3</sub>	0.5
	MN <sub>4</sub>	2.0	MN <sub>5</sub>	2.0	MN <sub>6</sub>	1.0
	MN <sub>7</sub>	1.3	MN <sub>8</sub>	2.0	MN <sub>9</sub>	2.0
	MN <sub>10</sub>	1.0	MN <sub>11</sub>	1.3		
저항	R <sub>1</sub>	1000k $\Omega$	R <sub>2</sub>	9600k $\Omega$	R <sub>3</sub>	5000k $\Omega$

그림 3의 회로에서  $R_1$ 의 값이 충분히 크고,  $MP_1$ 과  $MP_2$ 의 채널 폭의 비가  $n$ 라면  $I_1$ 과  $I_2$ 의 전류 관계식은 수식 (8)과 같다.

$$n \cdot I_o \exp(-V_{gs1}/V_t) = I_o \exp(-V_{gs2}/V_t) \quad (8)$$

여기서  $V_t$ 는 열전압( $kT/q$ )이다. 수식 (8)을 다시 표현하면 수식 (9)와 같다.

$$V_t \cdot \ln n = V_{gs1} - V_{gs2} \quad (9)$$

$MP_1$ 의 게이트와 소스 간의 전압을  $V_{gs1}$ ,  $MP_2$ 의 게이트와 소스 간의 전압을  $V_{gs2}$ 라고 하면  $MP_1$ 과  $MP_2$ 의 게이트와 소스 사이의 전압 관계식은 수식(10)과 같다.

$$V_{gs2} = V_{gs1} - R_1 I_1 \quad (10)$$

수식 (9)를 수식 (10)에 대입하면 전류  $I_1$ 은 수식 (11)과 같다. 그리고 전류  $I_1$ 과  $I_2$ 는 크기가 같으므로  $MN_3$ 을 흐르는 전류  $I_2$ 도 수식 (11)과 동일하게 표현된다.

$$I_1 = (V_t \cdot \ln n) / R_1 \quad (11)$$

$MN_7$ 과  $MN_3$ 의 채널 폭 비를  $\alpha_1$ 라고 하면, 전류  $I_3$ 은 수식 (12)와 같다.

$$I_3 = \alpha_1 \cdot I_2 \quad (12)$$

$MP_{10}$ 의 게이트와 소스 간의 전압은 수식(13)과 같이 표현되며,  $MP_{10}$ 의 소스에서 드레인으로 흐르는 전류는 수식 (14)와 같다.

$$V_{gs10} = -R_2 I_3 \quad (13)$$

$$I_{MP10} = (\beta_{10}/2) (V_{gs10} - V_{THP})^2 \quad (14)$$

여기서  $V_{THP}$ 는 PMOS의 문턱전압이고  $\beta_{10} = \mu_p C_{ox} W_{10}/L_{10}$ 이다.  $\beta_{10}$ 에서  $\mu_p$ 는 정공의 이동도,  $C_{ox}$ 는 게이트 커패시턴스,  $W_{10}$ 와  $L_{10}$ 는  $MP_{10}$ 의 채널 폭과 길이이다.  $MP_{11}$ 의 게이트와 소스 간의 전압을  $V_{gs11}$ 이라고 하면,  $MP_{11}$ 의 소스와 드레인에 흐르는 전류는 수식 (15)와 같이 표현되며 전류의 크기는  $I_{MP10}$ 과 동일하다.

$$I_{MP11} = (\beta_{11}/2) (V_{gs11} - V_{THP})^2 \quad (15)$$

$V_{gs11}$ 은 수식 (14)와 (15)로부터 수식(16)과 같이 표현된다.

$$\begin{aligned} V_{gs11} &= V_{THP} + (\beta_{10}/\beta_{11})^{1/2} (V_{gs10} - V_{THP}) \\ &= V_{THP} - (\beta_{10}/\beta_{11})^{1/2} (R_2 I_3 + V_{THP}) \end{aligned} \quad (16)$$

그림 3의 회로에서  $MP_7$ 과  $MP_8$ 의 게이트 전압은 동일하고,  $MP_7$ 의 게이트 전압은  $MP_4$ 와  $MP_5$ 의 문턱전압과 동일하

므로  $V_{ref1}$ 을  $MP_4$ 와  $MP_5$ 의 문턱전압과  $MP_{11}$ 의 게이트와 소스간의 전압으로 표현하면 수식 (17)과 같다.

$$V_{ref1} = |2V_{THP}| + |V_{gs11}|$$

$$= |2V_{THP}| + |V_{THP} - (\beta_{10}/\beta_{11})^{1/2}(R_2 I_3 + V_{THP})| \quad (17)$$

수식 (17)에서  $\beta_{10}$ 와  $\beta_{11}$ 이 동일하므로 수식 (17)은 수식 (11)과 수식 (12)로부터 수식 (18)과 같이 표현된다.

$$V_{ref1} = |2V_{THP}| + R_2 I_3$$

$$= |2V_{THP}| + (R_2/R_1) V_t a_1 \ln n \quad (18)$$

그림 3의 회로에서  $MP_{16}$ 과  $MP_{17}$ 의 게이트 전압은 동일하고,  $MP_{16}$ 의 게이트 전압은  $MP_{14}$ 의 문턱전압과 동일하므로  $V_{ref2}$ 를  $MP_{14}$ 의 문턱전압과  $MP_{20}$ 의 게이트와 소스간의 전압으로 표현하면 수식 (19)과 같다. 수식 (19)에서  $a_2$ 는  $MN_{11}$ 과  $MN_3$ 의 채널 폭 비이다.

$$V_{ref2} = |V_{THP}| + (R_3/R_1) V_t a_2 \ln n \quad (19)$$

그림 4는 회로 설계시 사용되어진 NMOS와 PMOS의 온도에 따른 문턱전압( $V_{TH}$ )의 변화를 SPICE simulation 한 것이다.

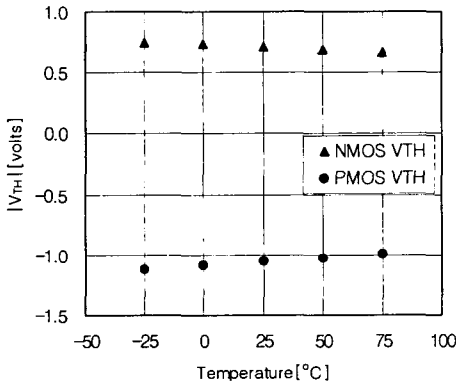


그림 4 동작온도에 따른 NMOS와 PMOS의 문턱전압  
Fig. 4 The threshold voltage of NMOS and PMOS with temperature

문턱전압은 그림 4에서 보인바와 같이 온도가 증가함에 따라 크기가 감소하는 값이다. 수식 (18)과 (19)의  $V_{ref}$  식을 살펴보면 문턱전압은 온도에 따라 크기가 감소하는 값이고,  $V_t$ 는 온도에 따라 증가하는 값이다. 그리고 저항과 커패시터 역시 온도에 따라 변화하는 값이다. 그러므로 수식 (18)과 (19)에서  $R_2/R_1$ ,  $R_3/R_1$ ,  $a_1$ ,  $a_2$ ,  $n$ 의 값을 조절하면 온도에 무관한 기준전압과 온도에 따라 원하는 변화율을 가진 기준전압을 얻을 수 있을 것이다.

그림 5는 전압 제어 발진기에서 비교기 회로와 전압-전류 변환 회로이다. 그리고 표 2에는 비교기 회로와 전압-전류 변환 회로에서 사용되어진 MOS의 채널 폭과 저항 그리고 커패시터의 크기를 나타내었다. 여기서 MOS의 채널 길이는 모두  $0.5\mu m$ 이다.

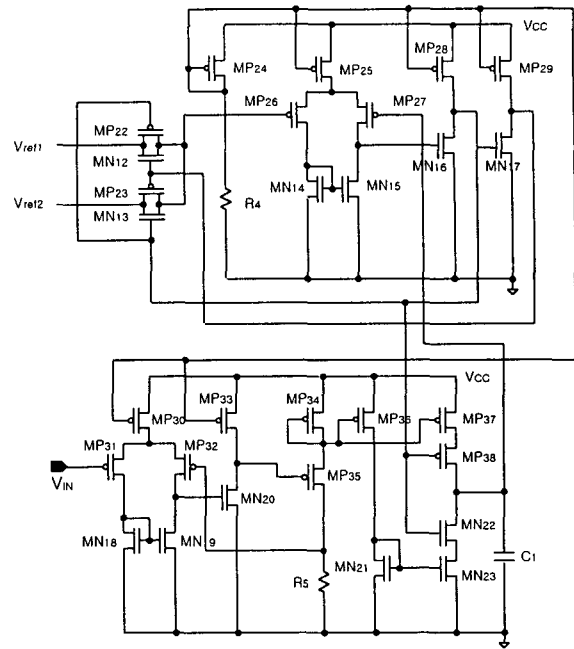


그림 5 비교기와 전압-전류 변환회로  
Fig. 5 Comparator and voltage-to-current converter

표 2 비교기와 전압-전류 변환회로의 트랜지스터 크기 및 저항값

Table 2 Transistor size, resistor and capacitor values in comparator and voltage-to-current converter

PMOS [ $\mu m$ ]	MP <sub>22</sub>	1.0	MP <sub>23</sub>	1.0	MP <sub>24</sub>	1.0
		MP <sub>25</sub>	2.0	MP <sub>26</sub>	4.0	MP <sub>27</sub>
	MP <sub>28</sub>	1.0	MP <sub>29</sub>	1.0	MP <sub>30</sub>	2.0
	MP <sub>31</sub>	4.0	MP <sub>32</sub>	4.0	MP <sub>33</sub>	2.0
	MP <sub>34</sub>	1.0	MP <sub>35</sub>	0.5	MP <sub>36</sub>	0.5
	MP <sub>37</sub>	0.5	MP <sub>38</sub>	0.5		
NMOS [ $\mu m$ ]	MN <sub>12</sub>	1.0	MN <sub>13</sub>	1.0	MN <sub>14</sub>	2.0
	MN <sub>15</sub>	2.0	MN <sub>16</sub>	2.0	MN <sub>17</sub>	2.0
	MN <sub>18</sub>	2.0	MN <sub>19</sub>	2.0	MN <sub>20</sub>	1.0
	MN <sub>21</sub>	0.5	MN <sub>22</sub>	0.5	MN <sub>23</sub>	0.5
저항	R <sub>4</sub>	80k $\Omega$	R <sub>5</sub>	100k $\Omega$		
커패시터	C <sub>1</sub>	155pF				

$MP_{22}$ 에서  $MP_{29}$  그리고  $MN_{12}$ 에서  $MN_{17}$ 까지의 회로는 밴드 갭 기준 전압과 커패시터  $C_1$ 의 전압을 비교하여  $C_1$ 의 충·방전을 위한 스위치  $MP_{38}$ 과  $MN_{22}$ 를 on/off 하는 회로이다. 그리고  $MP_{30}$ 에서  $MP_{36}$ ,  $MN_{18}$ 에서  $MN_{21}$  그리고  $R_5$ 는 입력 전압에 비례하는 전류원을 만드는 회로이다.

설계되어진 전체 회로의 동작을 살펴보면, 먼저 입력전압을 저항  $R_5$ 에 인가하여 입력전압에 비례하는 전류원을 만든다. 그리고 이 전류원을 이용하여  $C_1$ 을 충·방전 시킨다.  $C_1$ 의 전압은 비교기의 입력단자로 입력되고 비교기의 또 다른 입력 신호는  $V_{ref1}$ 과  $V_{ref2}$ 가 된다. 즉, 커패시터에 충전되는 비교기의 비교전압으로  $V_{ref1}$ 이 인가되고, 방전시는  $V_{ref2}$ 가 인가되어진다. 그러므로 커패시터  $C_1$ 은  $V_{ref1}$ 과  $V_{ref2}$  전압으로 충·방전된다.

커패시터의 삼각파 주파수와 비교기의 출력 신호 주파수는 수식 (20)과 같이 표현된다.

$$f = \frac{V_{IN}}{2R_5 C_1 (V_{ref1} - V_{ref2})} \quad (20)$$

수식 (20)에서 온도에 따른  $R_5$ 와  $C_1$  값의 변화로 인한 발진 주파수의 변화는  $V_{ref1}-V_{ref2}$ 의 값을 온도에 따라 조절함으로써 동작온도에 무관한 전압 제어 발진 주파수를 가지는 회로를 설계할 수 있다. 그리고 입력 전압에 따른 발진주파수의 범위는  $R_5$ 와  $C_1$  값을 변화시킴으로써 조절할 수 있다.

IV. CMOS 전압 제어 발진기의 회로 특성

설계되어진 회로는 5V 공급전압을 사용하였고, MOS의 모델 파라미터는 N-well 공정의 0.5 $\mu$ m 기술을 사용하였다. 회로의 simulation시 사용되어진 기준전압  $V_{ref1}$ 과  $V_{ref2}$ 는 각각 3.6V와 1.9V였으며, 그림 3에서  $I_1$ 의 전류는 140nA였다. 그림 6은 입력전압이 1.5V와 3.0V일 때 전압제어 발진기의 출력 특성이다. 입력전압이 1.5V일 때 발진주파수는 19.8kHz이었으며, 입력 전압이 3.0V일 때 발진주파수는 37.5kHz이었다.

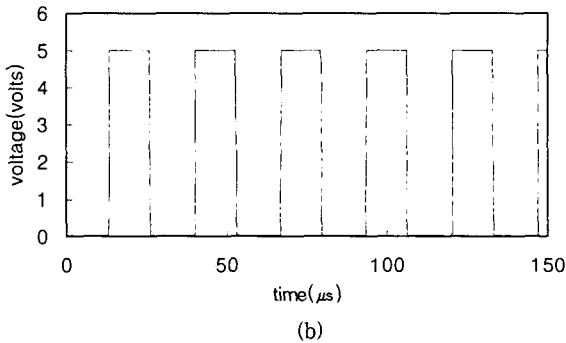
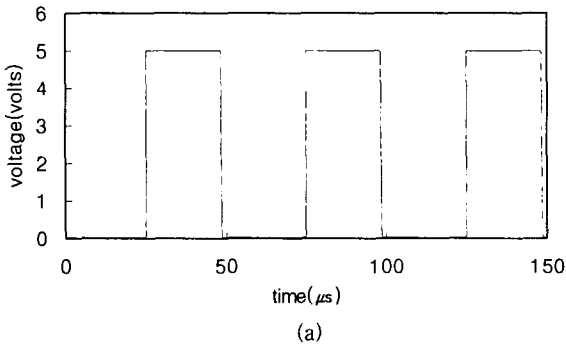


그림 6 입력전압에 따른 출력 특성  
(a) VIN=1.5V (b) VIN=3.0V

Fig. 6 Output Characteristics with input voltage  
(a) VIN=1.5V (b) VIN=3.0V

그림 7은 상온에서 입력전압에 따른 출력 주파수 특성을 나타낸 것이다. 설계되어진 회로에서 시뮬레이션 값과 이론적인 계산 값과의 차이가 5% 이내인 입력 전압 범위는 1V에서 3.25V였으며, 이 때 전압 제어 발진기의 출력 주파수는 13kHz에서 40kHz 변화하였다.

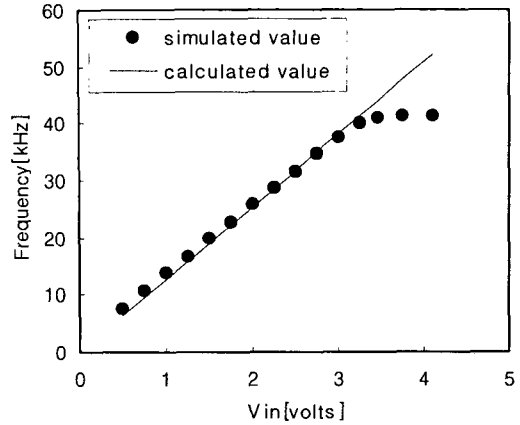


그림 7 입력 전압에 따른 전압 제어 발진 회로의 특성  
Fig. 7 Voltage-controlled oscillator characteristics with input voltage

그림 8은 회로의 동작 온도가 변화할 때 발진 주파수의 변화를 나타낸 것이다. 발진 주파수의 에러는 회로의 동작 온도가 25 $^{\circ}$ C 일 때의 발진 주파수와 회로의 동작 온도가 -25 $^{\circ}$ C, 0 $^{\circ}$ C, 50 $^{\circ}$ C, 75 $^{\circ}$ C로 변화할 때의 발진 주파수를 이용하여 식 (21)에 따라 계산되어진 결과이다.

$$Error[\%] = \frac{f_{room\_temp} - f_{temp}}{f_{room\_temp}} \times 100 \quad (21)$$

회로의 동작온도가 -25 $^{\circ}$ C에서 75 $^{\circ}$ C로 변화할 때, 입력 전압에 따른 발진 주파수의 변화는 약  $\pm 0.85\%$ 의 변화를 보였다. 그리고 이를 출력주파수의 온도계수로 표현하면 약  $\pm 175ppm/^{\circ}$ C이었다. 그리고  $V_{ref1}$ ,  $R_5$  그리고  $C_1$ 의 온도 계수는 각각 1050ppm/ $^{\circ}$ C, 1000ppm/ $^{\circ}$ C 그리고 35ppm/ $^{\circ}$ C 이었다.

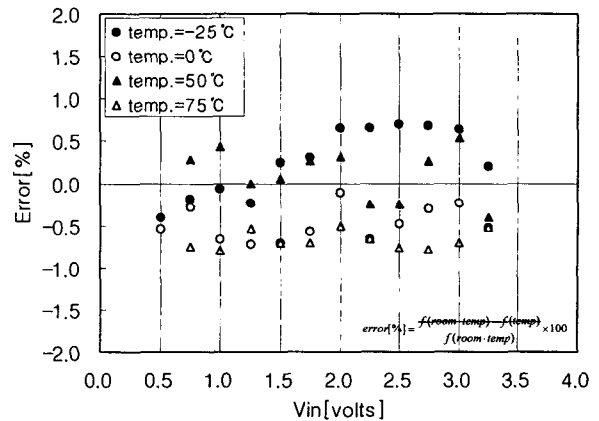


그림 8 온도 변화에 따른 입력 전압 대 출력 주파수 변화  
Fig. 8 Input voltage vs output frequency error with temperature

표 3 기존의 전압 제어 발진기와 제안되어진 전압 제어 발진기의 특성 분석

Table 3 M. Filanovsky VCO and the proposed VCO characteristics comparison

항목	M. Filanovsky VCO 특성	제안된 VCO 특성
공급전압[V]	5.0	5.0
입력전압 범위[V]	0.5~2.0	1~3.2
에러가 5% 보다 작은 출력주파수 범위[kHz]	15~40*	13~40
온도변화(-25℃~75℃)에 따른 출력주파수 변화율[%]	-1.3~+1.7	-0.85~+0.83
사용된 트랜지스터의 개수 / 바이폴라 트랜지스터 개수	62/37	61/0
수동소자 개수 (저항/커패시터)	10/1	5/1

\* 40kHz 이상의 주파수에서는 비선형 특성을 보임

제안되어진 전압 제어 발진기의 경우 기존의 전압 제어 발진기에 비해 온도에 따른 출력 주파수의 특성이 향상되었으며, 또한 회로 구성시 바이폴라 트랜지스터를 사용하지 않고 CMOS 만으로 회로를 구성함으로써 제조 공정이 간단하며 칩 면적이 감소하는 장점이 있다.

### V. 결 론

본 논문에서 제안한 동작온도에 무관한 전압-제어 발진기는 CMOS 밴드 갭 기준 전압 회로, 전압-전류 변환 회로 그리고 충·방전 회로로 구성되어 있다. CMOS 밴드 갭 기준 전압 회로는 동작온도에 무관한 기준전압회로와 온도에 따라 변화하는 기준전압 회로로 구성되어 있다. 설계되어진 전압-제어 발진기에서 입력전압이 1V에서 3.25V로 변화할 때 발진 주파수는 13kHz에서 40kHz로 변화하였으며, 입력전압이 3.25V 이상으로 증가하면 발진주파수는 더 이상 증가하지 않았다. 그리고 입력전압에 따른 발진주파수의 특성을 살펴보면, 이론적인 발진주파수 값과의 차이가 5% 이내인 주파수 영역은 13kHz에서 40kHz이었다. 그리고 회로의 동작온도를 -25℃에서 75℃로 변화시킬 때 25℃에 대하여 각 온도에서의 발진 주파수의 에러는 약 ±0.85% 이내였다.

이러한 특성은 기존에 제안되어진 회로에 비하여 전기적인 특성이 우수하며, 칩 제조공정이 간단하고 칩 면적 또한 감소하는 장점이 있다.

본 논문에서 설계한 CMOS 전압 제어 발진기는 CMOS 만을 이용하여 회로를 설계하였지만, 입력전압에 대한 선형성과 동작온도에 대한 출력 주파수의 특성은 센서의 인터페이스 회로 혹은 계측 장비용 회로로 충분한 사용 가능성을 보여 주었다.

### 참 고 문 헌

[1] L. Ristic. : *Sensor technology and devices*, Artech House, Boston, 1994.  
 [2] I. M. Filanovsky and Sean Sidong Cai., "Temperature Stable BiCMOS Voltage-to-Frequency Converter", Proc. IEEE International Symposium on Circuits and System, ISCAS96, Atlanta, pp.349-352, May, 1996.  
 [3] Jin-Ho Choi, "Temperature Stable Voltage - to - Frequency Converter Using BiCMOS", IEICE Trans. on Electronics, vol. E84-C, no. 10, October, 2000.  
 [4] F. N. Trofimenkoff, Farmarz Sabouri, et al, "A Squatre-Rooting Voltage-to-Frequency Converter", IEEE Transactions on Instrumentation and Measurement, vol. 46, No. 5, pp.1208-1211, October, 1997.  
 [5] 김 재준, 서 윤득, 김 범섭, CMOS enhancement 기준 전압 발생기 설계, 제 2회 IDEC MPW 발표회 논문집, pp. 119-125.

### 저 자 소 개



#### 최진호 (崔晉鎬)

1963년 2월 19일생. 1985년 부산대학교 전자공학과 졸업. 1985년~1987년 한국과학기술원 전기 및 전자공학과 석사 졸업. 1987년~1992년 한국과학기술원 전기 및 전자공학과 박사 졸업. 1992년~1996년 현대전자 근무. 1996년~1998년 부산외국어대학교 컴퓨터·전자공학부 전임강사. 1998년~2002년 부산외국어대학교 조교수. 2002년~현재 부산외국어대학교 컴퓨터·전자공학부 부교수 근무  
 Tel : (051) 640-3194, Fax : (051) 640-3038  
 E-mail : jhchoi@taejo.pufs.ac.kr