

## 플립칩 패키지 구성 요소의 열-기계적 특성 평가

박주혁#, 정재동\*

### Thermo-Mechanical Interaction of Flip Chip Package Constituents

Joohyuk Park<sup>#</sup> and Jae Dong Chung<sup>\*</sup>

#### ABSTRACT

Major device failures such as die cracking, interfacial delamination and warpage in flip chip packages are due to excessive heat and thermal gradients. There have been significant researches toward understanding the thermal performance of electronic packages, but the majority of these studies do not take into account the combined effects of thermo-mechanical interactions of the different package constituents. This paper investigates the thermo-mechanical performance of flip chip package constituents based on the finite element method with thermo-mechanically coupled elements. Delaminations with different lengths between the silicon die and underfill resin interfaces were introduced to simulate the defects induced during the assembly processes. The temperature gradient fields and the corresponding stress distributions were analyzed and the results were compared with isothermal case. Parametric studies have been conducted with varying thermal conductivities of the package components, substrate board configurations. Compared with the uniform temperature distribution model, the model considering the temperature gradients provided more accurate stress profiles in the solder interconnections and underfill fillet. The packages with prescribed delaminations resulted in significant changes in stress in the solder. From the parametric study, the coefficients of thermal expansion and the package configurations played significant roles in determining the stress level over the entire package, although they showed little influence on stresses profile within the individual components. These observations have been implemented to the multi-board layer chip scale packages (CSP), and its results are discussed.

**Key Words** : Interfacial stress (계면응력), Flip Chip (플립칩), Thermo-mechanical performance (열-기계적 특성), Finite Element Analysis (유한요소법), Delamination (박리현상), Reliability (신뢰성)

#### 기호설명

$E$  = Young's modulus (GPa)

$G$  = Shear modulus (GPa)

$K$  = Thermal conductivity (W/m°C)

$\alpha$  = Coefficient of thermal expansion (ppm/°C)

$\nu$  = Poisson's ratio

$\theta$  = Thermal resistance (°C/W)

#### 1. 서론

접수일: 2002년 4월 17일; 게재승인일: 2003년 7월 11일  
# 교신저자: 세종대학교 기계공학과 생산기술연구소  
Email: jhpark@sejong.ac.kr, Tel: (02) 3408-3771  
\* 세종대학교 기계공학과 생산기술연구소

전자 제품이 작동하는 동안 반도체 칩의 내부에 존재하는 수백 만개의 트랜지스터의 저항에 의하여 열이 발생하게 된다. 이러한 열은 반도체 칩의 내부에 있는 여러 구성부품의 열전도율 및 열팽창 계수의 차이로 인하여 패키지 내부에 온도 구배가 발생하게 된다.

Table 1 은 반도체 칩 패키지 구성 요소인 실리콘 칩, 유기 기판, 솔더(eutectic solder), 언더필(underfill) 재료의 열전도율과 열팽창 계수를 보여 주고 있다. 플립 칩 패키지 내부에 발생하는 온도 구배는 재료의 파괴에 가장 큰 원인이 되는 잔류 응력의 주 원인이 된다<sup>1</sup>. 패키지 내부의 온도가 한 순간에 일정하다는 가정을 사용한 일반적인 유한요소해석으로는 이러한 온도 구배를 계산할 수 없다. 단위 면적 당 가장 많은 I/O 를 갖는 플립 칩 패키지 방법은 최근의 고집적화된 반도체의 패키지 방법 중에서 가장 진보된 방법으로 알려져 있고 현재 널리 사용되고 있다<sup>2</sup>.

Table 1 Thermal conductivity and coefficient of thermal expansion of various package constituents

Component	K	$\alpha$
Silicon die	120	3
Printed circuit board (PCB)	0.3	16
Eutectic solder (63Sn/37Pb)	50.6	28
Underfill resin	0.6	40

Table 2 Heat dissipation paths for various packages

Package type	Through PCB	Through top face
Plastic Quad Flat Package	80~95 %	5 ~ 20 %
Ball Grid Array	80~97 %	3 ~ 20 %
Flip Chip	95 %	5%

Table 2 는 여러 패키지 방법에서 발생된 열이 방출되는 방법을 표시하였다. 표에서 보는 바와 같이 플립 칩 패키지에서 회로 인쇄 기판의 적절한 설계가 열 방출 관점에서 볼 때 다른 패키지 방법에 비하여 중요함을 알 수 있다. 통상 사용하는 플립 칩 패키지에서 열 방출은 솔더 범프와 언더필 재료를 통하여 각각 기판으로 26%와 72%, 패키지의 상부 면을 통하여 대기 중으로 2% 정도

방출되는 것으로 알려져 있으므로 언더필을 통한 기판으로의 열 전도가 매우 중요함을 알 수 있다.<sup>3</sup> Heat think 를 사용하지 않은 경우에 열 방출은 주로 자연 대류에 의존한다고 보고 되었다.<sup>1,3</sup>

이러한 사실에도 불구하고 언더필 재료의 열전도율을 증가시켜도 플립 칩의 열 방출에 큰 영향을 미치지 않음이 Lau 에 의하여 Table 3 과 같이 보고 되었다.<sup>4</sup>

Table 3 Thermal resistances of flip chip on board with different thermal conductivities of underfills<sup>4</sup>

	$\theta_{ja}$	$\theta_{jb}$	$\theta_{ba}$
FCOB without underfill	39	5.9	33.1
FCOB with underfill No. 1 (K = 0.5 W/m°C)	27	1.3	25.7
FCOB with underfill No. 2 (K = 2.5 W/m°C)	25.5	0.8	23.7

\*  $\theta_{ja} = \theta_{jb} + \theta_{ba}$ ,  $\theta_{jb} = (T_j - T_b)/q$ ;  $\theta_{ba} = (T_b - T_a)/q$ ;  $T_j$ ,  $T_b$ , and  $T_a$  are the junction, board and ambient temperature, respectively; and  $q$  is the power of the component.

본 논문에서는 플립 칩 패키지 내부의 온도가 일정한 경우와 온도 구배가 존재하는 경우에 대하여 유한요소법을 사용하여 각각 재료 내부에 발생하는 응력을 계산하였다. 또한 실리콘 칩과 언더필 재료의 계면, 또는 인쇄 회로 기판과 언더필 재료의 계면에 제조 공정에서 발생할 수 있는 박리에 의한 결함의 크기 및 기판의 형상이 패키지 내부의 온도 및 응력 분포에 미치는 영향에 대하여 매개 변수 연구(parametric study)를 수행하였다.

## 2. 유한 요소 해석

### 2.1 해석 모델

유한 요소 해석에 사용된 다섯 개의 솔더 범프가 120 $\mu$ m 간격으로 놓여져 있는 수치 해석 모델을 Fig. 1 에서 보여주고 있다. 상용 유한요소 해석 프로그램 ANSYS<sup>®</sup>를 사용하였으며 2 차원 4 절점 thermo-mechanical coupled element 를 사용하였다. FCOB(flip chip on board) 패키지가 대칭이므로 1/2 모델을 채택하였으며 rigid body motion 을 배제하기 위하여 수직, 수평축의 교점은 고정하여 모든 자유도를 제거하였으며 대칭면에는 구름 경계조건을 적용하였다. 정확한 해석을 위하여 사용된 질점은

44,147 개, 유한요소는 34,571 개이다. 전체 해석에서 열원은 실리콘 칩의 전자운동으로 인하여 발생하므로 실리콘 칩의 윗면에서 열이 발생한다고 가정하였으며 통상 반도체의 작동 시 온도인 105°C로 유지하였다. 패키지의 표면의 온도는 45°C로 가정하였다.

언더필 재료와 PCB의 열전도율의 변화에 대한 패키지 내부에 발생하는 온도 구배와 응력 분포도의 민감도를 조사하기 위하여 매개 변수 연구를 수행하였다. 패키지 외부를 둘러싸고 있는 대기의 온도는 통상 컴퓨터의 내부에서 순환되는 대기의 온도인 35°C로 가정하여 대류를 통하여 열이 방출되도록 하였으며 대류계수는 5W/m<sup>2</sup> °C로 가정하였다.<sup>5</sup>

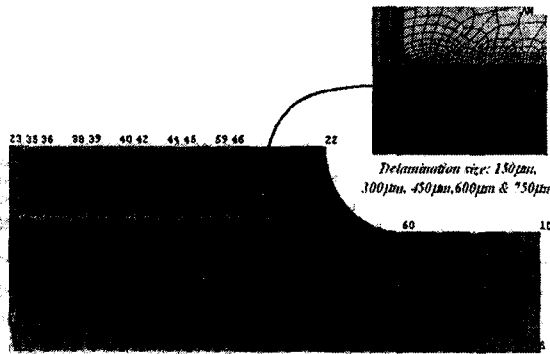


Fig. 1 Schematic drawing of the flip chip model for FEM

매개 변수법을 사용한 재료의 물성치, 구성품의 기하학적 변수에 대한 민감도 해석 등에 위의 모델이 사용되었다.

정확한 응력 분포를 계산하기 위하여 온도의 함수로 주어지는 물성치를 사용하였다. Table 4, 5에 실리콘 칩, FR-4 PCB, 구리 등의 온도 함수로 주어진 물성치를 표시하였다.<sup>5,6</sup> 또한 63Sn/37Pb 인솔더의 탄성계수는 다음과 같다.<sup>7</sup>

$$E(T) = 32,000 - 88 T \text{ (MPa)} \quad (1)$$

이때 T는 솔더의 온도이고 단위는 °C이다.

언더필 재료의 전단 탄성계수는 온도를 변화시키면서 3 점 굽힘 시험을 통하여 측정한 Fig. 2의 값을 사용하였고, 열팽창 계수는 열기계 해석(Thermo-mechanical analysis)를 통하여 측정한 결과

유리전이 온도(140°C)에서 변화하며 유리전이 온도 이상에서는 114 ppm/°C, 이하에서는 40 ppm/°C으로 각각 측정되었다.<sup>8</sup>

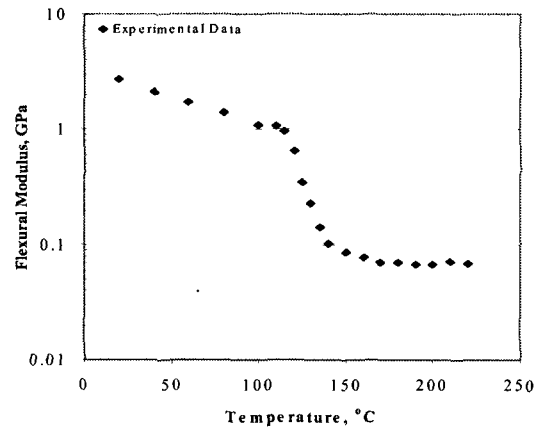


Fig. 2 Variation of flexural modulus of underfill material

Table 4 Material properties of package constituents

Material	E (GPa)	μ	α (ppm/°C)
Silicon die	148	0.25	2.5
Copper	76	0.35	17
PCB (FR-4)	Temperature dependent and orthotropic		

Table 5 Material properties of FR-4 substrate (PCB)

Temp (°C)	30	95	125	150
E <sub>x</sub> (GPa)	22.4	20.7	19.3	17.9
E <sub>y</sub> (GPa)	1.6	1.2	1.0	0.6
G <sub>xy</sub> (GPa)	0.2	0.19	0.16	0.14
ν <sub>xy</sub>	0.14	0.14	0.14	0.14
α <sub>x</sub> (ppm/°C)	20	20	20	20
α <sub>y</sub> (ppm/°C)	86.5	86.5	400	400

\*x - horizontal direction of the package

y - vertical direction of the package

## 2.2 매개 변수법을 사용한 민감도 평가

### 2.2.1 균열이 온도, 응력 분포에 미치는 영향

언더필 재료와 패키지 내부의 다른 재료인 실리콘 칩, PCB와의 계면에 균열이 존재하는 경우 패키지 내부의 온도와 응력 분포를 계산하였다. 열 하중에 의한 응력은 패키지 내부의 전체 구성품의 온도가 일정하게 시간에 따라 변화한다는 가정과 재료 내부 사이의 열전도와 외부에 대류에

의하여 열이 방출됨으로 재료 내부에 온도 구배가 존재한다는 가정을 사용한 방법을 각각 사용하여 계산되었다. 플립 칩 패키지가 45 °C 에서 105 °C 로 온도 변화를 겪는 경우에 대하여 위에서 언급한 두 가지 가정에 의하여 계산된 솔더 범프와 언더필 필릿에서의 von Mises 응력 분포를 Fig. 3 에서 보여주고 있다. 균일한 온도 가정을 사용한 경우 재료 내부에 발생하는 응력은 온도 증가에 의한 재료의 열팽창계수 차이에 의하여 발생하는 이종 재료간의 상대 변형에 의한다. 그러나 재료 내부에 온도 구배가 발생하는 경우를 고려하면 재료간의 열과 기계적인 변형이 결합된 형태로 응력이 발생하게 된다. 균일 온도 분포 가정에 비하여 패키지 내부에 온도 구배가 존재한다는 가정에서 얻어진 응력 분포를 보면 일반적으로 패키지의 파괴 현상이 많이 발생하는 실리콘 칩의 모서리 부분의 솔더 범프와 언더필 필릿 주위에서의 응력 집중현상이 심하게 계산되는 것을 알 수 있다.<sup>8,9</sup> 이러한 사실은 온도 구배 가정을 사용하면 열 하중에 의한 패키지 내부의 응력 분포를 보다 정확하게 계산할 수 있다. 따라서 본 논문에서는 패키지 내부의 온도 구배가 존재하는 가정을 사용하여 응력을 계산하였다.

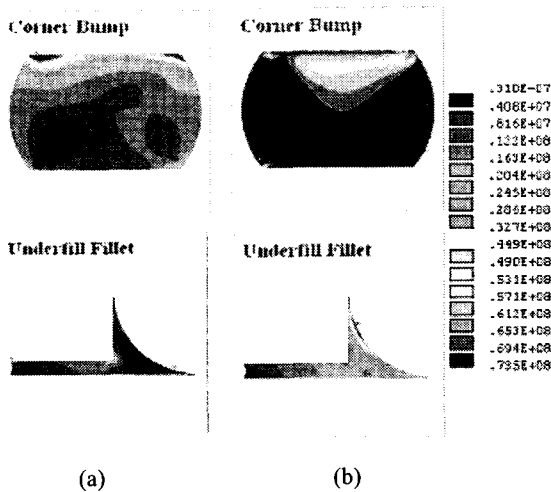


Fig. 3 von Mises stress distributions (unit: Pa): (a) Uniform temperature distribution (45°C→105 °C); and (b) Coupled field analysis incorporating temperature gradient within the components (active chip surface at 105°C; boundary at 45°C)

실리콘 칩과 언더필의 계면에 제조 공정상 발생할 수 있는 결함이 존재하는 경우 결함의 길이에 대하여 재료에 발생하는 온도 분포와 응력 분포를 계산하여 Fig. 4 와 5 에 각각 나타내었다. 이때 결함의 위치는 언더필 재료가 감싸고 있는 외부에서 첫 번째 솔더 범프의 윗면에 존재한다고 가정을 하였으며, Fig. 4 에 화살표로 표시하였다. 온도 및 von Mises 응력 모두 결함의 크기에 민감하게 영향을 받는 것이 관찰되었다. 이러한 결함은 내부에 공기가 갇혀 있는 상태이므로 열전도를 방해하는 현상을 발생시키므로 패키지 내부의 온도 구배를 심하게 하므로 열 응력이 크게 발생하게 될 것으로 추측할 수 있다.

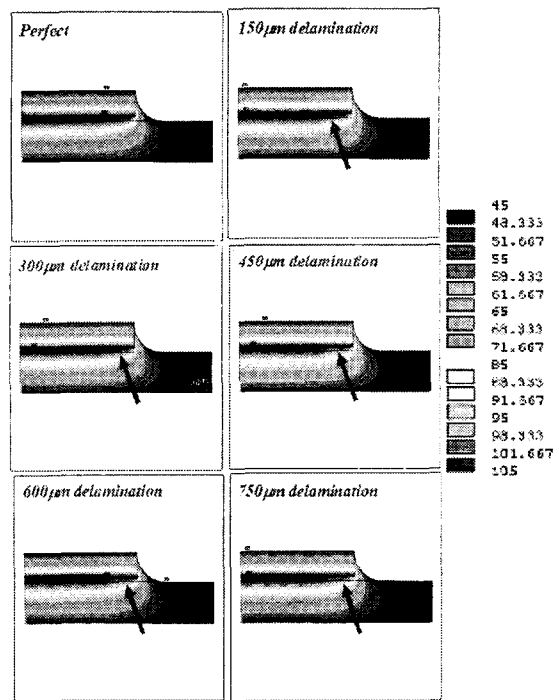


Fig. 4 Temperature distributions in the package with different delamination lengths (unit: °C)

그러나 유한 요소 해석에 의한 패키지 전체 응력 분포는 결함의 존재 여부에 크게 영향을 받지 않는 것을 보여주고 있다. 단지 결함의 오른쪽의 솔더 범프에 발생하는 응력은 결함의 크기에 민감하게 변화하는 현상을 보여주고 있다. 이 솔더 범프에 발생하는 응력을 결함의 길이에 대하여

Fig. 6 에 나타내었다. 칩과 솔더 범프의 계면에 발생하는 응력은 결합의 길이가 증가하면 같이 증가 되는 것을 알 수 있었다. 일반적으로 솔더 범프의 코너에서만 응력 집중이 발생되지만 결합의 크기가 증가되면서 전체 계면으로 응력이 전파되는 것이 관찰된다. 이는 결합의 크기가 증가되면서 패키지의 구성 요소간의 변형이 증가하므로 언더필과 솔더 간의 기계적 결합이 느슨해지기 때문이라고 추측된다. 이런 관찰에서 플립 칩의 설계시 언더필 재료와 솔더 범프 간의 접합이 손상되지 않도록 고려하여야 한다.

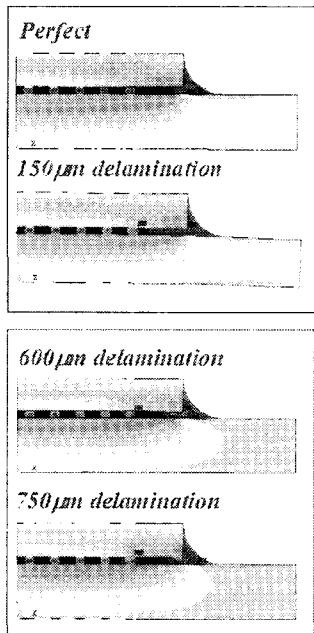


Fig 5 von Mises stress distributions in the package with different delamination lengths (unit: Pa)

칩 모서리에 가까운 언더필 재료에 결합의 길이에 대하여 발생하는 응력 분포를 계산하여 Fig. 7 에 나타내었다. 그 결과 솔더 범프와는 달리 언더필 재료에 발생하는 응력 분포 및 응력의 크기는 결합의 길이에 민감하게 변화되는 것을 관찰할 수 있다. 결합의 길이가 300µm 보다 큰 경우에 언더필에 최대 응력이 발생하는 위치가 필릿의 끝에서 결합의 끝으로 이동하는 현상이 관찰되었다. 이는 임계 결합 크기로 추측할 수 있으며 결합의 크기가 이보다 큰 경우 결합이 진행되는 것으로

판단된다. 또한 계면에 존재하는 결합에 의하여 언더필 필릿 주변에 발생하는 응력 집중 현상은 이완되지 않는다. 이와 같은 사실에서 계면 결합에 의하여 재료에 발생하는 재료의 파괴는 결합의 크기에 의하여 결정되는 것을 알 수 있다. 따라서 생산 공정에서 결합을 최대한 줄일 수 있는 방안을 모색하여야 한다.

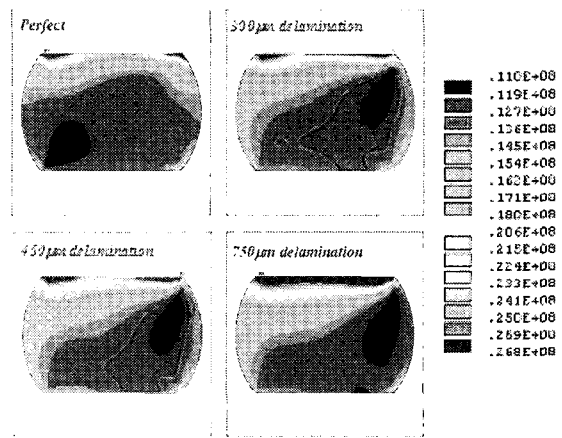


Fig. 6 von Mises stress distributions in the solder bump with different delamination lengths (unit: Pa)

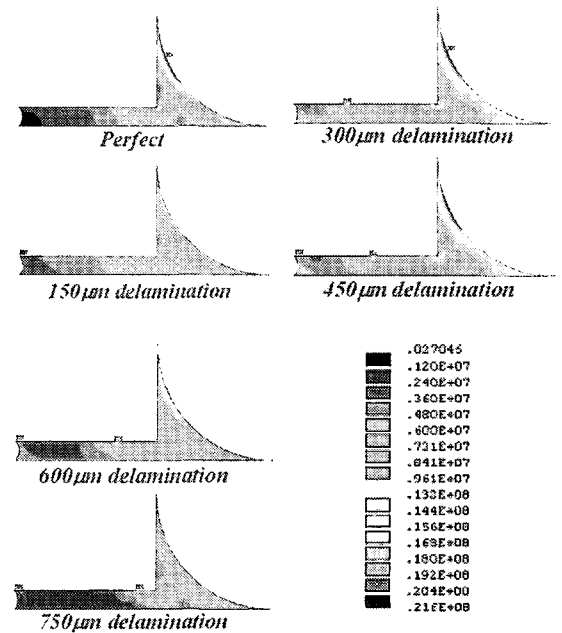


Fig. 7 von Mises stress distribution at the underfill fillet (unit: Pa)

### 2.2.2 열전도율이 응력, 온도 분포에 미치는 영향

언더필 재료와 PCB 의 열전도율이 열 하중을 받는 플립 칩 패키지 내부의 온도 및 응력 분포에 미치는 영향을 조사하였다. 재료의 표면에서 자연 대류에 의하여 패키지 외부로 전달되는 것을 가정 하였으며 언더필 재료가 패키지 내부에 발생하는 응력에 미치는 영향을 알아보기 위하여 언더필이 없는 경우에 패키지에 발생하는 응력을 Fig. 8 에 보여주고 있다. 언더필은 칩에서 발생한 열을 손쉽게 기판으로 전달해 주는 역할을 하고 패키지 내부에 응력 집중 현상이 발생하는 것을 방지하는 것을 관찰할 수 있다. 또한 언더필의 열전도율이 패키지 내부에 발생하는 응력과 온도 분포에 미치는 영향은 무시할 만큼 작은 것으로 관찰된다.

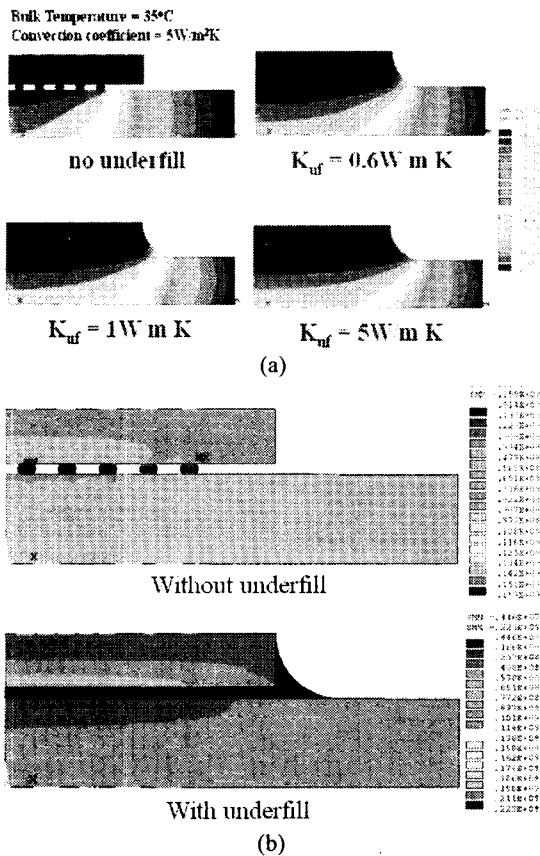


Fig. 8 The role of underfill in heat conduction of flip chip package: (a) temperature distributions; (b) stress distributions for the various thermal conductivities

PCB 의 열전도율이 커지면 기판의 평균 온도는 증가되며 전체적으로 낮은 온도의 영역이 증가 되는 것을 관찰할 수 있다. 이러한 사실에서 패키지 내부에서 발생한 열을 방출은 PCB 의 열전도율이 높을수록 증가됨을 알 수 있다. 또한 Fig. 10 에서 보는 바와 같이 열전도율이 패키지 내부에 발생하는 응력에 대하여 미치는 영향은 작으며 응력 집중 현상이 발생하는 위치는 언더필 필릿의 끝에서 고정된 상태로 관찰된다.

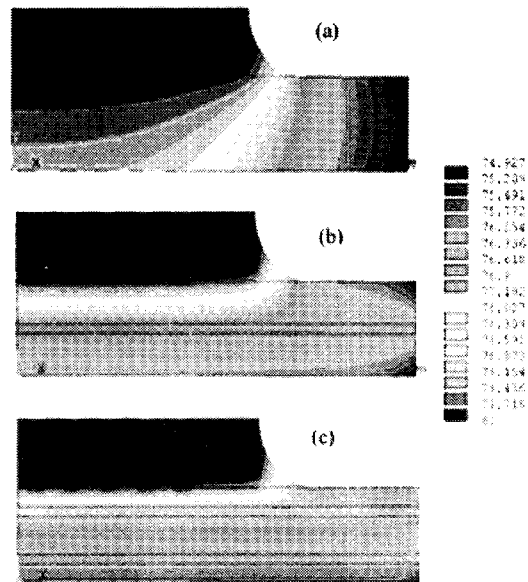


Fig. 9 Temperature distributions in flip chip package with different thermal conductivities of substrate

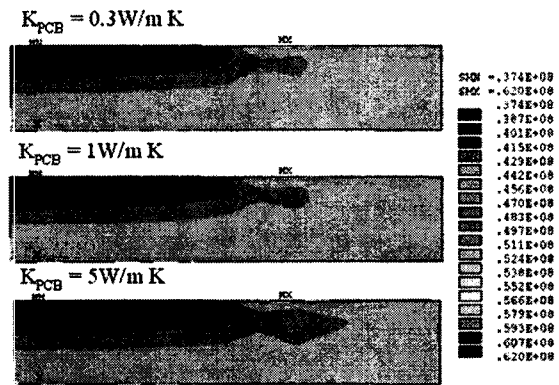


Fig. 10 Progressive changes in stress distribution in the PCB with varying thermal conductivities

### 2.2.3 다층 기판 구조가 응력, 온도 분포에 미치는 영향

많은 가전제품에 다층 기판의 활용이 보편화되고 있다. 이러한 기술은 기판의 제조에만 활용되는 것이 아니고 Flip Chip on Board, Chip Scale Package 등 패키지 생산에도 적용된다. 특히 기판에 부착된 구리박막에 의하여 패키지 내부의 온도는 균일하게 분포된다. 이러한 구리박막과 칩간의 온도차이는 대략 1°C 내외로 계산되나 구리박판에 의하여 칩에서 발생하는 열은 손쉽게 PCB로 전달된다. 구리박막이 존재하는 경우에 패키지 내부에 발생하는 응력은 Fig. 12 와 같이 박판이 존재하는 경우 응력의 크기가 작아지는 것이 관찰된다. 이러한 현상은 PCB와 구리박막이 변형될 때 기판의 변형에너지가 구리박막으로 분산되게 되기 때문이다. 이때 구리박막은 기계적으로 기판을 보강하는 역할을 하게 되므로 기판은 구리박막이 존재하는 경우 보다 강성이 증가하게 되므로 상대적으로 솔더 범프에 발생하는 응력은 증가하게 된다.

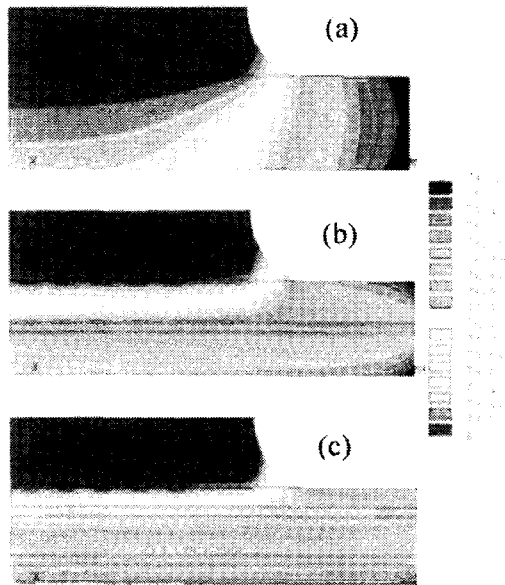


Fig. 11 Temperature distributions in the FCOB ( $T_{\text{active surface}}=80^{\circ}\text{C}$ ; Convection coefficient =  $5\text{W/m}^2\text{K}$ ; Bulk temperature= $35^{\circ}\text{C}$ ): (a) without Cu layer; (b) with one layer of Cu; and (c) with two layers of Cu

이러한 기판에 구리박막이 존재하는 경우 PCB와 구리박막 간의 계면에서 박리가 패키지 파괴의 원인이 된다. 따라서 계면에서의 박리 현상을 지배하는 계면 전단응력을 계산하여 Fig. 13 에 표시하였다. 계면에 발생하는 전단응력은 패키지 중심에서 3.1mm 까지는 일정한 값을 가지고 발생하나 이 점을 지나면서 급격하게 증가하는 것이 관찰된다. 또한 기판에 구리박막이 한 개만 있는 경우에 보다 급격하게 변화하며 그 응력 값도 크게 발생하는 것이 관찰된다. 이는 한 개의 구리박판보다는 두 개의 구리박막이 존재하는 경우 칩에서 발생하는 열의 방출이 잘 되므로 열 응력의 발생이 적고 구리박막이 두 개인 경우 기판의 강성이 한 개인 경우에 비하여 커지기 때문이다.

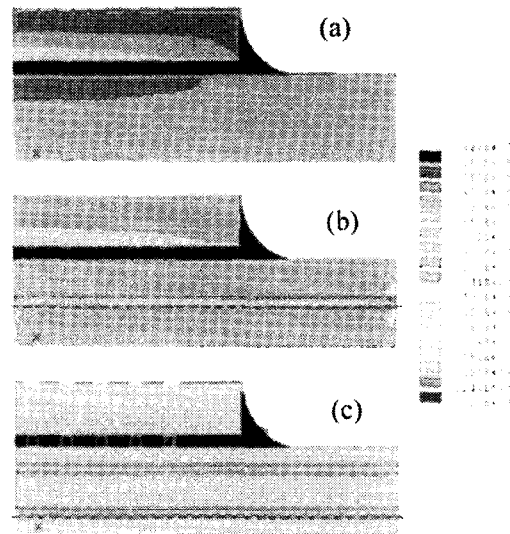


Fig. 12 Stress distributions in the FCOB: (a) without copper layer; (b) with 1 copper layer; and (c) with two copper layers

플립 칩 패키지를 포함하여 많은 칩 크기의 패키지 방법에서 다층 기판의 사용이 증가되고 있는 실정이다. 다기능성과 칩에서 발생하는 열의 방출에는 다층 기판이 유리한 점이 있으나 솔더 범프 밑에 위치한 유기 기판과 구리박막에서 발생하는 응력에 의하여 박리 현상이 발생하게 되어 새로운 신뢰도에 문제를 제기하는 점을 간과하여서는 안 된다.

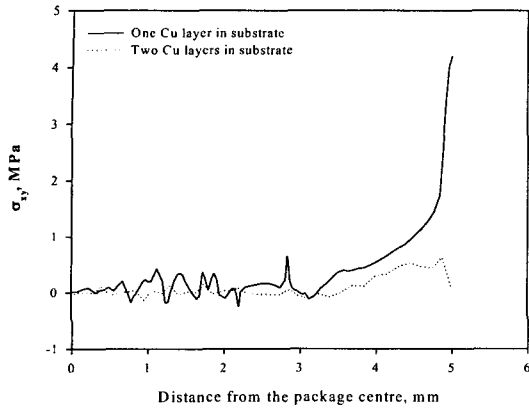


Fig. 13 Shear stress along the lower surface of copper layer

### 3. 결론

반도체 패키지의 신뢰도 평가에 사용되는 많은 수치해석에서 패키지 내부에 발생하는 온도 구배를 고려하지 않은 상태로 응력을 계산하였다. 본 연구에서는 이러한 온도 구배를 고려한 열-기계적 해석을 수행하여 보다 정확한 응력을 계산할 수 있었다. 또한 플립 칩의 구성 요소인 언더필, PCB 등의 물성치가 반도체 공정에서 발생하는 열응력 분포에 미치는 영향을 알아 보았으며 다음과 같은 사실을 확인할 수 있었다.

1. 패키지의 구성 요소의 계면에 존재하는 결함에 의하여 온도 분포가 영향을 받는다. 또한 언더필 필릿의 끝에서 발생하는 최대 응력 값은 결함의 크기에 의하여 변화한다.
2. 결함의 크기가 변함에 따라서 결함 옆에 위치한 솔더 범프에 발생하는 응력 값이 변화한다.
3. 인쇄 회로 기판에 구리박막을 포함한 다층 기판의 경우 열의 방출이 쉽게 된다.
4. 인쇄 회로 기판과 언더필 재료의 열전도율은 패키지 내부의 응력과 온도 분포에 큰 영향을 미치지 않는다.
5. 다층 기판에 사용되는 구리박막에 의하여 기판 자체의 강성은 증가되나 이로 인하여 솔더 범프에 발생하는 응력은 보다 큰 값이 된다.

### 참고문헌

1. Iliev, S. K., "Thermal Performance Comparison of Chip-on-Board, Flip Chip-on-Board and Standard TQFP Package," Proceeding of 14<sup>th</sup> IEEE SEMI-THERM Symposium, pp. 161-168, 1998.
2. Zhou, T. and Hundt, M., "Thermal Enhancement Guidelines for PQFP, BGA and Flip Chip," Proceeding of NEPCON West, pp. 1139-1149, 1998.
3. Zhou, T., Hundt, M., Villa, C., Bond, R. and Lao, T., "Thermal Study for Flip Chip on FR-4 Boards," Proc. of 47<sup>th</sup> Electronic Components and Technology Conference, pp. 879-884, 1997.
4. Lau, J. H., Low Cost Flip Chip Technologies, pp. 235-238, McGraw-Hill Inc, 2000.
5. Yao, Q. & Qu, J., "Three-Dimensional versus Two-Dimensional Finite Element Modelling of Flip-Chip Packages," Journal of Electronic Packaging, Vol. 121, pp. 196-201, 1999.
6. Sham, M. L., Xu, Z. Y. and Kim, J. K., "Numerical Analysis of Delamination Failure and Interfacial Adhesion Measurements in Flip Chip Package," International Conference of Electronic packaging, Tokyo, pp. 278-283, 2002.
7. Lau, J. H. and Pao, Y. H., Solder Joint Reliability of BGA, CSP, Flip Chip and Fine Pitch SMT Assemblies, pp. 345-348, McGraw-Hill Inc, 1997.
8. Hwang, C. B., "Thermal Design for Flip Chip on Board in Natural Convection," Proceedings of 15<sup>th</sup> IEEE SEMI-THERM Symposium, pp. 125-132, 1999.
9. Han, S. J. and Huh, Y., "Paddle Shift Analysis During Semiconductor Encapsulation," J. of the KSPE, Vol. 18, No. 5, pp. 147-155, 2001
10. Han, S. J., Huh, Y. and Lee, S. C., "A Study of Wire Sweep, Pre-conditioning and Paddle Shift during Encapsulation of Semiconductor Chips," J. of the KSPE, Vol. 18, No. 2, pp. 102-110, 2001.