

# HOL 블록킹을 위한 그룹형 입력버퍼 ATM 스위치

김 충 헌<sup>†</sup> · 손 유 익<sup>††</sup>

## 요 약

본 논문에서는 ATM 스위치에서 복수개의 입력버퍼를 사용하는 경우 HOL 블록킹에 의한 성능 저하의 영향을 최소화하기 위하여 입력버퍼 방식을 개선한 그룹형 버퍼 방식의 새로운 스위치구조를 제안한다. 스위치 내부 구조는 네트워크의 구조적 특성에 따라 분할된 서브 네트워크를 단계별로 재귀적 방법으로 그룹화하여 구성된다. 이것은 블록된 셀을 전송하기 위하여 그룹간에 추가적인 경로와 버퍼를 제공하게 함으로써 HOL 블록킹에 의한 영향을 감소시킬 수 있으며, 따라서 스위치의 성능이 향상되는 결과를 나타낸다. 처리율, 셀 손실율, 지연, 시스템 파워 등의 척도를 고려한 시뮬레이션을 통하여 기존의 모델과 비교, 분석하였다.

## A Grouped Input Buffered ATM switch for the HOL Blocking

Choong Hun Kim<sup>†</sup> · Yoo Ek Son<sup>††</sup>

## ABSTRACT

This paper presents a new modified input buffered switch, which called a grouped input buffered (GIB) switch, to eliminate the influence of HOL blocking when using multiple input buffers in ATM switches. The GIB switch consists of grouped sub switches per a network stage. The switch gives extra paths and buffered switching elements between groups for transferring the blocked cells. As the result, the proposed model can reduce the effect by the HOL blocking and thereafter it enhances the performance of the switch. The simulation results show that the proposed scheme has good performance in comparison with previous works by using the parameters such as throughput, cell loss, delay and system power.

**키워드 :** ATM(Asynchronous Transfer Mode), 입력버퍼형 스위치(Input-buffered Switch), 다단계 상호연결망(Multistage Interconnection Network, MIN), HOL 블록킹(Head of Line Blocking)

### 1. 서 론

최근 반도체 집적기술의 급속한 발전과 컴퓨터의 고성능화와 함께 다양하고도 대규모의 컴퓨터 응용 분야가 확대됨에 따라 고속통신과 다양한 정보처리를 위한 요구가 증대되어 왔다[1, 2]. 이러한 응용분야들에 대한 효율적 정보통신을 위한 한 방안으로 다양한 서비스를 신축성있게 그 대역폭을 할당할 수 있는 동시에 고속교환 및 전송을 위한 ATM 방식이 제안되었다. 이것은 일반적으로 낮은 에러율과 고속의 전송매체를 기반으로 하고 있으며 광통신을 전송매체로 하여 충분한 전송속도를 얻을 수 있지만, 전송시 나타나는 병목현상의 대부분은 ATM 스위치에서 발생한다고 볼 수 있으며 따라서 스위치의 중요성은 대단히 크다고

볼 수 있다[3-5].

ATM 스위치는 대용량의 셀들을 고속으로 교환, 전송하는 장치로서 다양한 특성을 지닌 정보들을 전달할 수 있어야 하며, 이러한 요구 사항들을 만족하기 위하여 여러 형태의 스위치 구조가 제안되었다[6, 7]. 제안된 ATM 스위치 구조는 공유 메모리형(shared memory), 공유 매체형(shared medium), 공간 분할형(space division) 등으로 분류할 수 있으나 대부분의 스위치 구조는 하드웨어적인 단순성과 이에 따른 VLSI 구현의 용이성, self-routing 등의 장점을 가지고 있는 공간 분할형의 다단계 상호연결망 구조에 기반을 두고 있다. 그러나 이러한 다단계 상호연결망의 구조적 특성은 내부 자원의 경쟁으로 블록킹이 발생할 수 있으며, 이는 전체 네트워크의 성능을 감소시키는 원인이 된다. 네트워크에서 발생하는 충돌을 줄이고 성능을 향상시키는 방법 중 하나가 스위치에 버퍼를 사용하는 것이다.

<sup>†</sup> 출 회 원 : Univ. of Texas, Arlington 대학원

<sup>††</sup> 관 심 회 원 : 계명대학교 컴퓨터공학과 교수

논문접수 : 2002년 7월 24일, 심사완료 : 2003년 3월 19일

버퍼링 기법은 버퍼의 위치에 따라 입력 버퍼, 내부 버퍼, 출력 버퍼, 공유 버퍼 등으로 나눌 수 있다[8, 9]. 이중 스위치의 입력단에 버퍼가 위치하는 입력버퍼 구조는 구현하기 쉽고 제어가 간단하며 확장성이 좋고 하드웨어적으로 단순하다는 장점으로 인해 많이 사용되고 있다. 그러나 단일 입력 버퍼를 가진 반안 네트워크의 경우 FIFO 입력 버퍼의 Head of Line(HOL) 블록킹에 의해 최고 약 0.45 정도의 처리율을 나타내며, 또한 다중 FIFO 입력 버퍼를 가진 반안 네트워크의 경우도 하나의 버퍼만을 가진 모델에 비해 성능이 크게 향상되지 못했다[10-13].

본 논문에서는 ATM 스위치에 적용되는 다단계 상호연결망의 대표적인 구조인 반안 네트워크를 대상으로, 다중 FIFO 입력버퍼에서 발생하는 HOL 블록킹을 완화시켜 ATM 스위치의 성능을 개선하기 위한 그룹형 입력버퍼(GIB) 구조를 제안하였으며, 이에 대한 성능평가를 위하여 기존의 입력버퍼 모델과 시뮬레이션을 통해 처리율, 셀 손실율, 지연, 시스템 파워 등 측정 지수를 가지고 비교 분석하였다.

## 2. 관련 연구

### 2.1 ATM 스위치

ATM 스위치는 대용량의 셀들을 고속으로 교환, 전송하는 장치로서 다양한 특성을 지닌 정보들을 전달하기 위하여 많은 조건들을 만족해야 한다. 이러한 요구 사항들을 만족하기 위하여 여러 형태의 ATM 스위치들은 대체로 공유 메모리형, 공유 매체형, 공간 분할형의 세 가지로 분류될 수 있다[4].

공유 메모리형 스위치는 입력되는 모든 셀이 하나의 이중단자 메모리(dual ported memory)를 이용하여 교환되는 방식으로, 입력되는 셀들은 각각의 출력주소에 따라 메모리에 저장된 후 다시 결정된 출력주소에 따라 출력된다. 이러한 방식은 처리율과 메모리 이용률이라는 측면에서 효율적이기는 하지만 모든 입력단에서 셀들을 한 타임 슬롯에서 처리해야 하므로 처리기는 메모리의 접근 시간에 대하여서도 N배 빨라야 한다. 결국 공유 메모리형 스위치는 연산기의 처리속도와 메모리의 물리적인 접근시간에 의하여 제한된다.

공유 매체형 스위치에서는 입력되는 셀들은 순서적으로 방송된다. 각각의 출력에서 주소필터는 각 셀에서 내부의 경로 선택여부를 조사하여 그 셀이 해당 출력으로 지정되는지 결정한 후, 출력버퍼로 셀을 전송시킨다. 브로드캐스팅이나 멀티캐스팅에서는 유리하지만, 공유 메모리형 스위치와 마찬가지로 공유버서, 주소필터, 버퍼는 N개의 입력버퍼에 대해 N배의 속도로 동작해야 하며 공유 메모리형 스

위치보다 더 많은 버퍼를 요구한다는 단점을 지니고 있다. 공유 메모리형이나 공유 매체형 구조는 N개의 입력단에서 입력되는 셀들이 하나의 경로를 통하게 되면서 경로가 N배 만큼 빠르지 않으면 서로 충돌이 발생하여 처리율이 감소하게 된다.

공간 분할형 교환기는 셀들이 병렬로 경로를 선택하기 때문에 반드시 N배 만큼 빠를 필요는 없다는 장점 때문에 좋은 성능과 확장성을 가지고 있다. 대표적인 예로 크로스바 스위치의 경우 임의의 입력 N에 대해서 N개의 출력이 가능하다. 그러나 이것은  $O[N^2]$ 의 복잡도를 가지므로 이러한 문제점을 해결하기 위하여 제안된 것이 좋은 가격과 성능비를 가지고 있는 다단계 상호연결 네트워크이다.

### 2.2 블록킹(Blocking)

1971년 L. K. Goke와 G. J. Lipovski[14]에 의해 제안된 반안 네트워크는 다단계 상호연결 네트워크 중 대표적인 스위치 구조로 스위치 소자의 연결방법에 따라 여러 가지 변형된 형태가 있으나 입출력단 사이에 단 하나의 경로만이 존재하는 특성을 가진다. ATM 셀의 헤더 부분은 스위치의 특정 출력 주소의 값을 가진 경로설정 부분이다. 헤더의 출력 주소는 그 자체가 라우팅 태그(tag)이 되어 스위치 소자 내에서 목적지를 선택하게 되는 self-routing 기능이 있다. 셀이 스위치 네트워크 내부에서 경로 선택을 하면서 링크나 버퍼와 같은 자원을 사용하게 된다. 이때 서로 다른 출력 주소를 가지고 있는 두 개 이상의 입력 셀들이 스위치 네트워크 내부에서 자원 경쟁으로 인하여 충돌이 일어나는 경우를 블록킹이라고 하며 이로 인해 처리율의 저하와 셀 손실, 지연 등을 유발하게 되어 성능의 감소가 일어난다[8].

블록킹의 종류로는, 스위치 네트워크 내 단위소자 안에서 서로 다른 최종 출력 주소를 가진 셀들이 스위치 소자에서 하나의 셀이 이미 설정한 경로를 다른 셀이 요구하는 경우 발생하는 내부 블록킹(internal blocking), 특정 출력 주소를 가진 셀이 다음 단의 셀이 블록킹되어서 진행할 수 없는 경우에 발생하며, 셀이 현재 위치하는 스위치 소자가 아니라 진행할 다음 단의 스위치 소자에서 블록킹이 발생함으로 인하여 현재 단의 스위치 소자에서 발생하는 외부 블록킹(external blocking)과 하나 이상의 셀들이 한꺼번에 하나의 출력포트로 전달되어야 할 경우가 발생하게 되는 출력 블록킹이 있다. 출력 링크의 처리율이 100%를 넘지 못하므로 출력 블록킹이 발생한 셀은 버퍼에 저장하여 한 셀 주기에 하나의 셀만 처리하여야 한다. 그리고 HOL 블록킹은 FIFO 방식의 입력버퍼에 저장된 선두

셀이 블록킹되어 같은 버퍼내의 대기하는 다음 셀들이 블록킹이 없음에도 불구하고 출력되지 못하고 블록킹되는 것이다.

2.3 버퍼링(Buffering)

블록킹 문제를 해결하기 위하여 스위치 소자에 입력부, 출력부 또는 공유(non-FIFO) 버퍼링 기법을 사용하는 방법, 내부 상호 연결망의 속도를 증가시키는 방법, 블록킹을 일으킬 수 있는 셀들을 미리 감지하여 처리할 수 있는 feed-back이나 back pressure mechanism을 사용하는 방법, 병렬 스위치 구조를 사용하여 입출력간에 다중경로를 만드는 방법, Batcher network와 Sorting network를 이용하여 인접 입력(Compact active input)과 단조 증가 감소 조건을 만족시켜 내부 블록킹을 방지시키는 방법 등이 제안되어왔으나 [15], 하드웨어의 복잡성, 제어를 위한 부가적인 요구사항, 성능 대 비용 등의 이유로 인하여 버퍼링 기법이 많이 사용되고 있다.

내부 스위치 소자에 버퍼를 사용하는 버퍼링 기법은 버퍼의 위치에 따라 입력 버퍼, 내부 버퍼, 출력 버퍼, 공유 버퍼로 나눌 수 있다. 입력버퍼는 스위치의 입력단에 버퍼가 위치하는 구조로 스위치 속도가 입출력 단자의 속도와 같으므로 구현이 쉽고, 제어가 간단하다는 장점으로 인하여 많이 이용되고 있으나 스위치 내부에서 발생하는 블록킹 때문에 아래의 식에서 처럼 처리율의 저하 현상을 보인다[9].

$$F_{m-1} = N - \sum_{i=1}^N B_{m-1}^i \quad (1)$$

$$\overline{B^i} = \frac{\rho^2}{2(1-\rho)} \quad (2)$$

$$\overline{B^i} = 1 - \frac{F_{m-1}}{N} = 1 - \rho(N \rightarrow \infty) \quad (3)$$

여기서,  $B_m^i$ 는 타임슬롯  $m$ 에  $N$ 개의 입력버퍼의 첫 번째 위치에 있는 출력주소  $i$ 를 갖는 셀수이며,  $F_{m-1}$ 는  $m-1$ 번째 타임슬롯에 모든 입력버퍼에서 나가는 셀수의 합이다.  $\overline{F}$ 는 교환 시스템의 평균 출력 셀수이며,  $\overline{B^i}$ 는 입력버퍼의 첫 번째 위치에 특정 출력포트 주소  $i$ 인 셀수이고,  $\rho$ 는 출력링크의 이용률이다. 단, 모든 셀이 출력포트  $i$ 를 가질 확률을 동일하다. 특히, FIFO 큐를 사용할 경우 HOL 블록킹 영향으로 성능이 매우 저하된다. 다중 입력버퍼에서 발생하는 HOL 블록킹을 최소화하기 위한 몇 가지 방법이 제안되었다. 첫 번째는 스위치의 연산 속도를 출력버퍼 스위치만큼 증가시키는 것이다. 이 방법은 복수개의 출력포트로 경로 선택되지만, 출력버퍼가 없다면 하나의 셀을 제외한

모든 셀은 폐기된다. 두 번째 방법은 스위치 구조를 병렬로 구성하는 것이다. 이 방법은 비용의 문제 뿐 아니라 부가적인 제어장치가 필요하다는 단점이 있다. 세 번째는 입력버퍼에 내재적인 문제인 경쟁문제를 해결하기 위하여 다소 복잡한 셀 선택 process를 이용하는 것이다. 이것을 조정하기 위해서는 random selection, HOL FIFO, HOL LIFO, longest queue selection, oldest queue selection, cyclic selection, HOL blocking based selection, prediction based selection 등의 정책을 사용한다. 이 방법은 복잡한 회로와 상대적으로 긴 제어시간이 필요하게 된다[16].

내부 버퍼는 공간 분할 방식의 스위치 요소 내에 버퍼가 위치한다. 각 스위치 요소들은 상충이 발생하는 경우 셀을 보관하기 위하여 각각의 입력단에 버퍼를 가지고 있다. 역시, HOL 블록킹이 스위치 요소 내에서 발생할 수 있으며, 특히 버퍼가 작은 경우나 규모가 큰 네트워크에서 처리율은 급격하게 감소한다. 내부 버퍼 역시 랜덤 지연을 발생시키며, 원치 않는 셀 지연의 변이를 초래한다.

출력 버퍼는 버퍼가 스위치의 출력포트에 위치한다. 일반적으로 출력 버퍼 기법을 사용할 경우 처리율과 지연에 있어 좋은 성능을 얻을 수 있다는 것이 판명되었다. 하지만 어떤 출력에 대하여 한 주기 당 다수의 셀을 전달할 수 있는 방법이 있어야 한다. 즉, 스위치 속도가 입력포트의 속도와 개수의 곱에 비례해야 한다. 또한, 각각의 출력포트의 버퍼가 입력포트의 개수 이상이어야 한다. 전자의 경우 speedup으로, 후자의 버퍼의 개수에 의한 처리율과 확장성이 제한된다.

공유버퍼는 내부적으로 언블록킹인 공간 분할형 네트워크로 블록된 셀들을 재입력 해주는 기법이다. 하나 이상의 입력 셀이 같은 출력주소를 가지고 경로 선택 될 때, 출력이 허용된 셀을 제외한 나머지 셀들은 공유버퍼를 통하여 스위치 입력 단으로 경로를 배정 받게 된다. 이 기법은 출력버퍼 기법의 처리율과 지연에 관한 성능에 버금가면서도, 보다 적은 버퍼를 필요로 하며, 특히 버스트 트래픽(burst traffic)에 대해 좋은 특성을 보인다. 단점은 공유되는 버퍼는 입력포트의 속도와 개수의 곱의 속도로 동작해야 하며 버퍼에 입력된 셀의 순서를 유지하기 위해서는 별도의 제어방법이 요구된다.

스위치 성능에 영향을 미치는 버퍼링 기법 중에서 출력버퍼가 우수한 것으로 알려져 있으나 속도 및 확장성의 제한이 문제점이라 할 수 있다. 그 대신 블록킹 문제가 있음에도 불구하고 확장성과 하드웨어적인 단순함을 가진 입력버퍼 구조에 대해 현재 많은 관심을 두고있다[16].

### 3. 제안된 GIB 스위치 구조

#### 3.1 서브네트워크 그룹

본 논문에서는 반안 네트워크를 대상으로 기존의 입력 버퍼를 가진 반안 네트워크를 개선한 GIB 스위치 모델을 제안한다. 반안 네트워크는 그것이 갖는 구조적 특성에 따라 아래와 같은 상호연결 함수를 따른다.

$$a_i^0[(P_l P_{l-1} \dots P_1)_i] = (P_l \dots P_{i+2} O P_i \dots P_1)_{i+1}$$

for link  $(P_l P_{l-1} \dots P_l 0)_{i+1}$  (4)

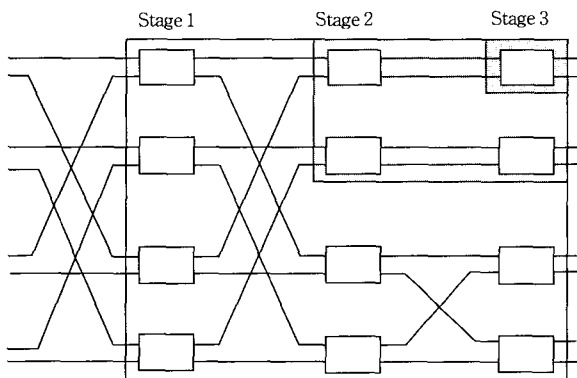
$$a_i^0[(P_l P_{l-1} \dots P_1)_i] = (P_l \dots P_{i+2} P_i \dots P_1)$$

for link  $(P_l P_{l-1} \dots P_l 1)_{i+1}$  (5)

$i$ 와  $P$ 의 값은  $1 \leq i < l, 0 \leq P < N$ 이며, 여기서  $N$ 은 입력 또는 출력포트의 수,  $l$ 은 단계의 수 ( $\log_2 N$ ),  $P$ 는 이진화된 셀의 목적지 주소  $(P_l \dots P_1)$ 를 나타낸다. 상호연결함수에 의하여 매핑된 크기가  $N$ 인 반안 네트워크는 순환적인 구조를 가지므로 (그림 1)과 같이  $\sum 2^{i-1}$ 개의 서브 네트워크로 분할이 가능하다. 분할된 각 서브 네트워크 또한 하나의 네트워크로서 단일경로 특성과 함께 각각 병렬적으로 경로 선택이 가능하다. 여기서,  $X$ 는 스위치 소자의 입출력단 수이며,  $Y$ 는 스위치소자 수이다.  $d, n$ 은 스위치 및 스위치소자 전체의 입출력단 수이다. 순환적인 구조를 가진 반안망을 정의하면 아래 식 (6)과 식 (7)과 같다.

$$Y_{d,d} = X_{d,d} \tag{6}$$

$$Y_{n,d} = \tau_{n/d,d} : (X_{d,d} \times Y_{n/d,d}) \tag{7}$$



(그림 1) 순환적인 구조를 가진 반안망

(그림 1)은 8개의 입출력 포트에 구성된 반안망  $Y_{8,2}$ 을 보여주고 있는데,  $\tau_{n/d,d}$ 는  $n$ 개의 원소로 구성된 집합에서,  $n/d$ 개의 항목을 갖는  $d$ 개의 묶음에서  $d$ 개의 항목을 갖는  $n/d$ 개의 묶음으로 나누는 완전 셔플(perfect shuffle)을 나타낸다. 예로써  $Y_{8,2}$ 의 내부에 또 다른 반안망  $Y_{4,2}$ 가 있고, 또

다시  $Y_{4,2}$ 는  $Y_{2,2}$ 로 구성되어 단계별로 그룹화된 모습을 보이고 있다.

본 논문에서 제안된 그룹은 네트워크의 상호연결함수에 따라 매핑된 기존 모델의 특징을 바탕으로 반안 네트워크를  $m-1$ 회 분할하여 생성된 각 서브네트워크를 단계별로 다시 그룹화한다.

그룹화 된 반안 네트워크는 총  $\sum 2^{i-1} (0 < i \leq m)$ 개의 서브 그룹을 가지게 되며, 각 단계별 그룹의 개수는  $2^{i-1}$ 개이고, 이러한 각 그룹은  $2^{m-i+1}$ 개의 입력 또는 출력단을 가지게 된다. 각 그룹 및 그룹내의 스위치소자, 그리고 그룹간의 관계는 다음 식과 같이 표현된다.

$$G(i, j) (0 \leq j < 2i)$$

$$G_{se}(i, j, k) (0 \leq k < N)$$

$$G(i, j) = G(i-1, 2j_{i-1} + P_i) (1 < i \leq m) \tag{8}$$

네트워크 내에서 각 셀들은 출력단의 주소를 가지고 self-routing 되기 때문에 각 단계에서 경로가 선택되면 다음 단계의 그룹에서 셀의 출력단 주소  $P_i$  값에 따라 경로선택이 가능하다. 이때 전송될 그룹의  $2^{m-i+1}$ 개의 입력단에 대하여 무작위로 입력되더라도 반안 네트워크의 특징에 따라 단일경로의 유일성이 보장된다.

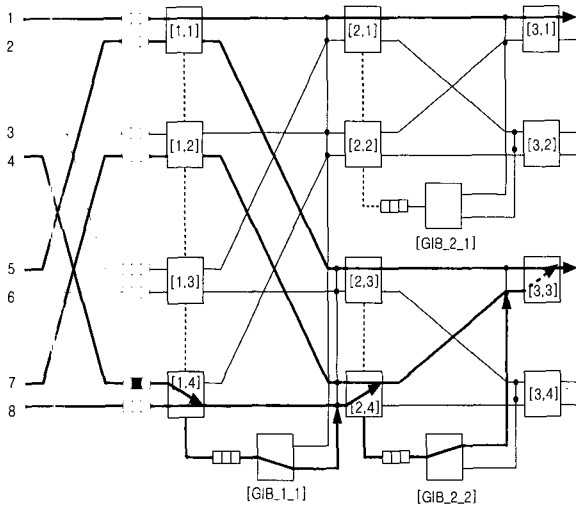
본 논문에서 셀이 블록된 경우 제안된 GIB 반안 네트워크에서 추가적으로 제공되는 버퍼를 가진 스위치 소자가 이 셀을 다음 단계에 전송될 목적지 그룹의 임의의 입력단으로 경로를 제공하게 된다. 따라서 스위치 내에서 블록되지 않은 셀들은 기존의 모델과 같이 경로를 선택하여 전송되며, 블록된 셀들 또한 GIB라는 추가적인 스위치 모듈을 사용하여 경로를 선택하여 전송이 가능하게 된다.

#### 3.2 GIB ATM 스위치 구조

제안된 모델은 입력 버퍼를 가진 반안 네트워크를 반안 네트워크의 상호연결 방식에 따라 서브 네트워크로 나누고 각 단계별로 그룹화시킨 구조를 갖는다. HOL 블록킹을 최소화시키기 위하여, 임의의 입출력간에 존재하는 하나의 경로 외에 각 그룹간에 하나의 경로와 입력 버퍼를 가진 스위치 소자를 추가적으로 제공함으로써 offered traffic load가 58% 이상인 경우 성능이 급격하게 하락하는 입력버퍼방식의 단점을 보완하여 높은 입력부하에서도 성능의 감소를 최소화시키고자 한다.

(그림 2)는 제안된 모델로써 블록킹이 발생할 경우 동작 원리를 보이고 있다. 스위치 소자는  $[i, j]$ 로 표시된다. 여기서  $i$ 는 스테이지 번호이며,  $j$ 는 SE 번호이다. 그림에서 블록킹은 SE[1, 4]과 SE[2, 4]에서 발생하게 된다. 입력 4로부

터 들어온 첫 번째 셀은 SE[1,4]에서 발생한 내부 블록킹으로 인하여 블록되고 검은 색으로 표시된 입력 4로부터 들어온 두 번째 셀은 HOL 블록킹이 일어나게 된다. 그러나 기존의 입력 버퍼와는 달리 입력 4로부터 들어온 첫 번째 셀은 점선으로 표시된 경로를 통하여 [GIB\_1\_1]의 버퍼에 입력된다. 이 셀은 입력 8로부터 들어온 셀이 [GIB\_1\_1] 버퍼에서 발생한 스위치 동작 주기의 차이로 인해 실제 스위치에서는 블록킹이 일어나지 않는다. 그리고 입력 8로부터 들어온 첫 번째 셀은 SE[1,4]에서 발생한 자원 경쟁에서 경로를 차지하고 다음 단의 스위치소자로 이동하게 된다. 이 셀은 SE[2,4]에서 입력 7로부터 들어온 첫 번째 셀에 의해 내부 블록킹이 일어나서 [GIB\_2\_2]를 통과하여 SE[3,3]에 도착하게 된다. 이는 같은 출력주소를 가진 입력 7로부터 들어온 첫 번째 셀과 입력 5로부터 들어온 첫 번째 셀은 SE[3,3]에서 경쟁을 일으키게 되어 출력 블록킹이 발생하고 경로를 차지한 입력 5로부터 들어온 첫 번째 셀만이 진행되고 입력 7로부터 들어온 첫 번째 셀은 블록킹을 당하게 된다.



(그림 2) 제안된 모델의 구조 및 동작

제안된 모델에서 마지막 단의 그룹에 대해서는 GIB를 추가하지 않았는데 이는 기존의 입력버퍼형 모델의 스위치소자의 개수  $(N/2) \times \log_2 N$ 에 비해  $\sum 2^{i-1} \times \log_2 N (i = 1 \sim m)$ 에 해당하는 스위치 소자를 추가로 필요로 하게 되는 하드웨어 복잡도를 최소화하기 위해서이다.

#### 4. 시뮬레이션

##### 4.1 시뮬레이션 환경 및 측정 파라미터

제안된 GIB 네트워크의 성능을 평가하기 위하여 시뮬레이션을 통하여 기존의 방식과 성능을 비교, 분석하였다. 스

위치의 동작이 일정한 주기에만 발생하므로 이산적인 시뮬레이션 모델링을 위하여 정의된 패턴에 따라 진행되는 process-orientation 방식을 사용하였다. 네트워크 환경과 시뮬레이션 모델에 대하여 몇 가지 가정을 둔다. 첫째, 스위치는 동기적으로 움직인다. 즉, 셀은 주어진 시간 간격의 시작점에서만 전송되며, 이때 시간은 이산적이다. 둘째, 각 입력단에 도착하는 셀의 분포는 실제적인 셀의 도착 분포에 근접하기 위하여 negative exponential distribution을 사용한다. 셋째, 각 입력단에 입력되는 traffic pattern은 uniform traffic이며, 입력되는 셀의 출력주소는 random으로 결정한다. 넷째, 출력 링크에서의 블록킹은 고려하지 않는다. 즉, 출력 링크의 속도는 최소한 스위치 내부링크 속도와 같다. 마지막으로 두 가지 스위치 모델의 전체 버퍼의 합은 언제나 동일하다고 가정한다.

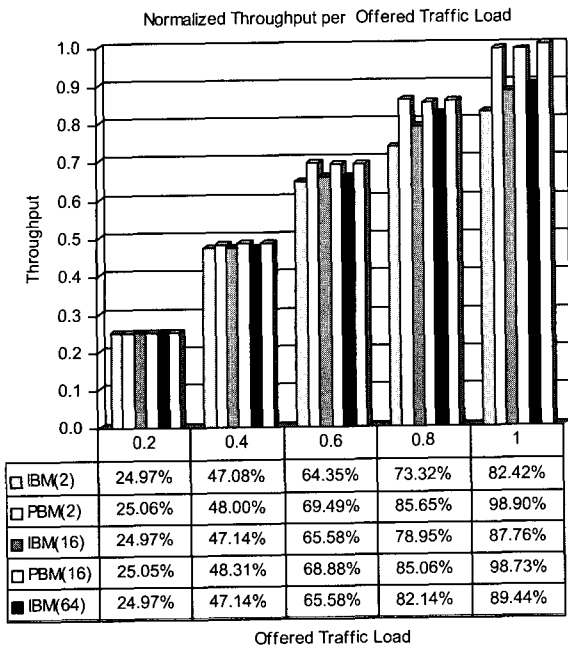
시뮬레이션 수행시 버퍼의 크기( $b = 2, 8, 16, 32, 64$ )와 입력 부하( $t = 0.2, 0.4, 0.6, 0.8, 1.0$ )를 변수로 설정하고 변수의 변화가 두 가지 모델에 미치는 영향에 따른 다양한 환경에서의 성능의 변화를 분석하였다. 평가 결과를 비교하기 위하여 스위치의 각 입력 단에 대하여 매 주기마다 새로운 셀이 도착할 확률을 나타내는 입력 부하(offered traffic load), 매 주기마다 출력되는 셀의 개수로 본 논문에서는 임의의 제한 시간 내 네트워크의 출력링크를 통과한 셀의 합으로 정의되는 처리율(throughput), 스위치의 입력 단에서 셀이 입력되는 시점부터 출력단에서 셀이 출력될 때까지 소요된 각 셀들의 평균시간을 나타내는 지연(delay), 스위치에 입력된 총 셀의 개수에 대해 출력단으로 출력되지 못하고 손실되는 셀의 비율을 나타내는 셀 손실율(cell loss rate) 그리고 실제 처리된 셀의 개수에 대한 지연의 비율을 나타내는 시스템 파워(system power) 등의 용어 및 성능 측정 파라미터를 사용하였다.

##### 4.2 시뮬레이션 결과 분석

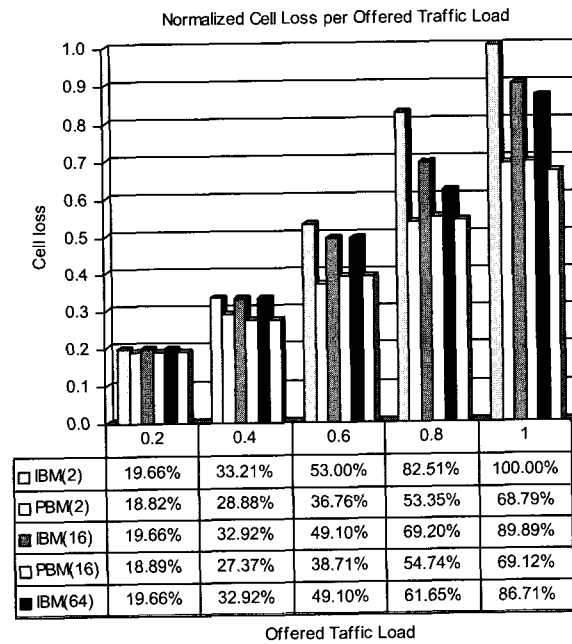
기존의 입력 버퍼를 적용한 모델(input buffered model, IBM)과 제안된 GIB를 적용한 모델(proposed buffered model, PBM)을 대상으로 처리율, 지연, 셀 손실율, 시스템 파워를 측정하여 성능을 평가하였다. 그래프에 나타난 결과 값들은 정규화된 실험 측정값들이다.

(그림 3)은 0.2~1.0까지의 입력 부하에서 버퍼의 크기를 변화시키면서 처리율을 측정된 결과이다. 그림에서 보듯이 입력 부하가 0.6에 이를 때까지 두 가지 모델 모두 선형적으로 증가하다가 입력 부하가 그 이상일 경우 IBM은 증가율이 감소하는 것을 볼 수 있다. 이에 반해 PBM의 경우는 버퍼의 수에 거의 관계없이 처리율이 입력 부하에 대해 증가함을 볼 수 있다. 따라서 제안된 모델의 경우 적은수의 버퍼

로도 높은 처리율을 얻을 수 있다는 것을 알 수 있다.



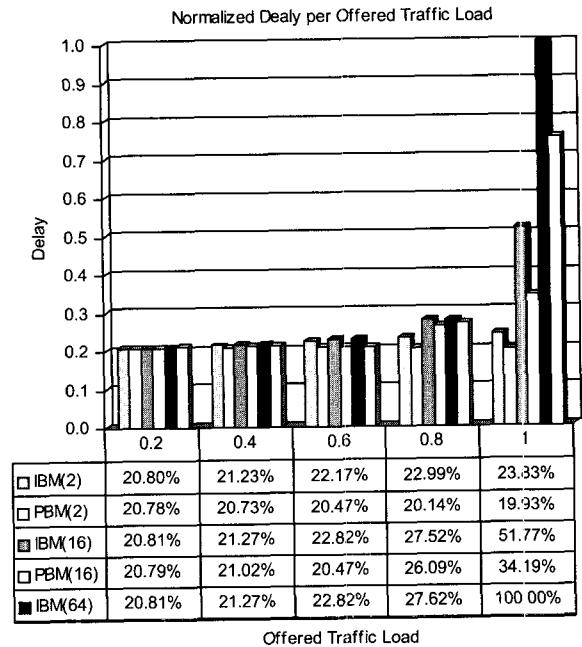
(그림 3) 처리율(Throughput)



(그림 4) 셀 손실율(Cell Loss)

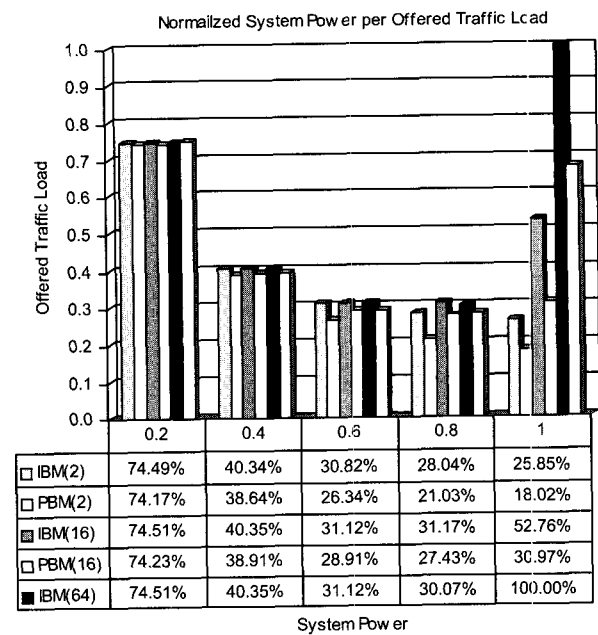
(그림 4)는 0.2~1.0까지의 입력 부하에서 버퍼의 증가에 따른 셀 손실율의 변화를 나타내고 있다. 그림에서 입력 부하가 60%에 근접할 때까지는 두 모델이 모두 어느 정도 선형적으로 증가하다가 60%보다 입력부하가 커질 때 IBM의 셀 손실율이 급격하게 커지고 있다. PBM 또한 입력 부하 60% 이전에는 약 10%의 증가율을 보이다가 그 이후에는 약 15%의 증가율을 보이지만, IBM(2)의 29.51%나 IBM

(16)의 20.1%에 비해서 비교적 낮은 셀 손실율의 증가율을 볼 수 있다. 처리율의 경우처럼 IBM은 버퍼의 크기에 따라 셀 손실율이 현격한 차이가 있지만, PBM은 거의 차이가 없음을 알 수 있다.



(그림 5) 지연(Delay)

(그림 5)는 0.2~1.0까지의 입력 부하에서 버퍼의 크기를 2개에서 64개까지 변화시키면서, 지연을 측정한 결과를 나타내었다. 입력부하가 60% 이하인 경우 버퍼의 크기에 상관없이 지연시간이 큰 편차를 보이지 않고 있다. 지연으로



(그림 6) 시스템 파워(System power)

만 성능을 판단한다면, IBM(2)의 결과 값이나 PBM(2)의 결과 값이 별 차이가 없어 보이지만 처리율을 고려한 지연일 경우 결과의 차이가 크게 나타날 수 있다. 이처럼 지연과 처리율을 동시에 고려한 파라미터가 system power이며 이것은 실제 처리된 셀 개수에 대한 지연의 비율로서 계산된다.

(그림 6)에서는 0.2~1.0까지의 입력 부하에서 버퍼의 크기를 2개에서 64개까지 변화시키면서, 계산된 시스템 파워를 나타내었다. 입력부하 0.6까지는 감소세를 나타내다가, 0.6이상에서는 지연의 변화로 인하여 그래프에서 급격한 증가가 나타난다. 하지만, 처리율과 지연에서 모두 좋은 결과를 나타낸 PBM(2)의 값은 유일하게 계속 감소함을 알 수 있다.

## 5. 결 론

다양한 구조의 ATM 스위치의 구조 및 특성에 관하여 고찰하고 스위치에서 발생하여 시스템의 성능을 감소시키는 블록킹과 이를 해결하기 위한 버퍼링 기법 등에 대하여 고찰해 보았다. 본 논문에서는 입력 버퍼형 스위치 구조를 대상으로 여기서 발생하는 블록킹 현상을 개선하기 위한 GIB 반얀 네트워크를 제안하였다.

제안된 모델은 입력 버퍼를 가진 반얀 네트워크를 반얀 네트워크의 상호연결 방식에 따라 서브 네트워크로 나누고 각 단계별로 그룹화시킨 구조를 갖도록함으로써 offered traffic load가 58% 이상인 경우 성능이 급격하게 하락하는 입력버퍼 방식의 단점을 보완하여 높은 입력부하에서도 성능의 감소를 최소화시키고자 하였다.

성능 평가를 위한 시뮬레이션은 AweSim simulator를 기반으로 하였으며, 입력부하와 버퍼 크기의 변화에 따라 각 모델에 대한 처리율, 지연시간, 셀 손실을 등을 측정하였다. 이 결과 제안된 구조는 기존의 모델에 비하여 높은 처리율과 낮은 지연시간을 보임으로써 높은 성능을 나타냈을 뿐 아니라 적은 수의 버퍼로도 좋은 성능을 가진 구조임을 보였다.

## 참 고 문 헌

[1] D. E. McDysan, Darren L. Spohn, ATM Theory and Application, McGraw-Hill, 1994.  
 [2] W. Stallings, DATA AND COMMUNICATIONS, Prentice-Hall, 5th edition, 1997.  
 [3] C. Koliass, L. Kleinrock, "The Dual-Banyan(DB) Switch : A High-Performance Buffered-Banyan ATM Switch,"

Proceedings of ICC97, pp.770-776, 1997.  
 [4] M. Hamdi, "Performance Evaluation of ATM Switches Under Various Traffic and Buffering Schemes," Proc. of IEEE Globecom '95, pp.828-832, Nov., 1995.  
 [5] Guogen Zhang, William G. Bulgren, Victor L. Wallace, "A Performance Model of Space-Division ATM Switches with Input and Output Queueing," IEEE Proceeding of the 29th Annual Hawaii International Conference on System Science, pp.72-79, 1996.  
 [6] F. A. Tobagi, "Fast Packet Switch Architectures For Broadband Integrated Services Digital Networks," Proceedings of the IEEE, Vol.78, No.1, pp.133-167, Jan., 1990.  
 [7] E. W. Zegura, "Architectures for ATM Switching Systems," IEEE Communications Magazine, Vol.31, No.2, pp.28-37, Feb., 1993.  
 [8] H. S. Kim, "Design and performance of Multinet switch : a multistage ATM switch architecture with partially shared buffers," IEEE/ACM Transactions on Networking, Vol.2, No.6, pp.571-580, Dec., 1994.  
 [9] M. J. Karal, M. G. Hluchyi, S. P. Morgan, "Input Versus Output Queuing on a space-division Packet Switch," IEEE Transactions on Comm., Vol.COM-35, No.12, pp.1374-1356, Dec., 1987.  
 [10] Y. C. Jenq, "Performance Analysis of A Packet Switch based on Single Buffered Banyan Network," IEEE Journal on Selected Areas in Communications, Vol.SAC-7, No.7, pp.1091-1021, Dec., 1983.  
 [11] H. Kim, A. Leon-Garcia, "Performance of buffered Banyan networks under nonuniform traffic patterns," Proc. of IEEE Infocom '88, pp.4A.4.1-4A.4.10, 1988.  
 [12] M. Hun, G. Wang, S. Jia, "Queuing Analysis of Buffered ATM Switches," Communication Technology Proceedings, ICCT '96, Vol.1, pp.517-520, 1996.  
 [13] H. Diab, H. Tabbara, N. Mansour, "Simulation of dynamic input buffer space in multistage interconnection networks," Advances in Engineering Software 31, pp.13-24, 2000.  
 [14] L. K. Goke, G. J. Lipovski, "Banyan networks for Partitioning Multiprocessing Systems," Proc. of 1st Annual Symp. on Comp. Architecture, pp.21-28, Dec., 1973.  
 [15] H. Ahmadi, W. Denzel, "A Survey of Modern High Performance Switching Technology," IEEE Journal on Selected Areas in Communications(7), pp.1091-1103, Sep., 1989.  
 [16] H. Y. Kim, C. H. Oh, A. Ahmad and K. S. Kim, "Performance Comparison of High Speed Input-Buffered ATM Switches," Proceedings of IEEE ATM '97 Workshop, Lisbon, Portugal, pp.505-513, May, 1997.



### 김 충 헌

e-mail : zennken@hotmail.com

1998년 계명대학교 교통공학과

2000년 계명대학교 대학원 컴퓨터공학과  
석사

현 재 Univ. of Texas, Arlington 대학원

관심분야 : 다단계상호연결네트워크, ATM  
스위치, 데이터베이스 등



### 손 유 익

e-mail : yeson@kmu.ac.kr

1976년 경북대학교 전자공학과(공학사)

1979년 경북대학교 전자공학과(공학석사)

1990년 경북대학교 컴퓨터공학과  
(공학박사)

1979년~1984년 한국전자기술연구소

(현 ETRI) 컴퓨터연구부 근무

1984년~현재 계명대학교 컴퓨터공학과 교수

관심분야 : 병렬처리구조, ATM 스위치, 상호연결 네트워크 등