

고밀도 수직자기기록에서 잡음 예측 최대 유사도 시스템에 대한 검출기 구현

준회원 김 성 환*, 정회원 이 재 진*

Implementation of Noise Predictive Maximum Likelihood Detector in High Density Perpendicular Magnetic Recording

Seong-Hwan Kim* Associate Member, Jae-Jin Lee* Regular Members

요 약

잡음 예측 최대 유사도(noise predictive maximum likelihood, NPML) 검출기는 잡음 예측/백색화 과정을 비터비 검출기의 가지 메트릭 계산 과정에 삽입하여 데이터 검출의 신뢰성을 높이게 된다. 따라서 기존의 PRML 검출기에 잡음 예측기를 포함시킴으로써 그것의 실제 성능이 향상되고 복잡도가 줄어드는 이점이 있다. 본 논문에서는 선형 채널 하에서 랜덤 시퀀스를 적용하였다. 수직 자기 기록 밀도 $K_p=2.5$ 에서 잡음 예측 PR-등화 신호에 의한 NP(121)ML과 NP(1221)ML 검출 시스템을 모의 실험을 통해 성능을 분석한 후 VHDL로 구현하여 검증하였다.

ABSTRACT

Noise predictive maximum likelihood(NPML) detector embeds noise prediction/whitening process in branch metric calculation of Viterbi detector and improves the reliability of branch metric computation. Therefore, PRML detector with a noise predictor achieves some performance improvement and has an advantage of low complexity.

This thesis random sequences are applied to linear channel. In perpendicular magnetic recording density $K_p=2.5$, NP(121)ML and NP(1221)ML detection system which is based on a noise predictive PR-equalized signal are evaluated by the performance through a computing simulation. Therefore, NPML systems are implemented and are verified by VHDL.

1. 서론

부분 응답(partial response, PR) 신호와 결합한 최대 유사도 시퀀스 검출(maximum likelihood sequence detection, MLSD) 기법은 고밀도 수평 자기 기록을 위한 신호처리 방법으로 가장 널리 연구되고 있다. 이러한 PRML 기술은 기록밀도가 높아짐에 따라 잡음 확장이 발생하게 되고, 이로 인해 PRML 시스템의 성능에 상당한 영향을 미친다. EPRML(extended PRML)에서는 어느 정도 이 문제를 감소시킬 수 있으

나 성능 향상의 한계를 지니며 높은 복잡도를 가지게 된다[1][3]. 이러한 문제점을 극복하기 위한 방법으로, 잡음 예측(noise predictive) PR-등화에 기초한 MLSD 기법, 즉 잡음 예측 최대 유사도(noise predictive maximum likelihood, NPML) 검출 방법이 연구되고 있다. 따라서, 본 논문에서는 수직 자기 기록을 위한 NPML 검출기는 잡음 예측/백색화(noise prediction/whitening) 과정을 비터비 검출기의 가지 메트릭(branch metric) 계산에 삽입하여 구성하게 된다. 그 과정은, PR-등화기에 의해 신호간 간섭

* 동국대학교 전자공학과 통신 및 정보 저장 연구실(godsmule@hananet.net)
논문번호 : 020091-0226

(intersymbol interference, ISI)이 제거되며, PR-등화된 신호는 잡음 예측/백색화 과정에 의해 잉여 잡음(residual noise)을 제거함으로써 유색 잡음(colored noise)이 거의 백색화된 신호를 검출기가 복원하게 된다. 이러한 구조의 신뢰성 있는 연산은 비터비 검출기의 과거 경로가 기억된 결정 값에 의해 얻게된다[2].

수직 자기 기록에서는 양의 계수들을 가지는 다항식에 의해 특성화되며[4], 이러한 다항식을 이용한 NPML 시스템은 기존의 PRML 시스템을 그대로 적용함으로써 보다 개선된 성능 향상을 기대할 수 있다. 본 논문에서는, NPML 시스템의 기록 코드로 랜덤 시퀀스를 이용하였고 채널은 수직 자기 기록 채널을 사용하였다. NPML 검출기의 입력 신호로 사용된 랜덤 시퀀스는 선형 채널 모델인 부가적인 백색 가우시안 잡음(additive white Gaussian noise, AWGN) 채널과 PR-등화기를 통과한 출력을 NPML 검출기 입력 신호로 사용하였다. 실제 NPML 검출기의 구성은 잡음 예측 필터 부분(NP Filter part)과 비터비 검출 부분(Viterbi detection part)으로 나누어 설계하였다. 이와 같이 NPML 검출기는 VHDL을 이용하여 수직 자기 기록에 적용한 시스템을 구현하고 그 성능을 검증하였다.

II. NPML 검출기의 VHDL 구현

본 논문에서는 여러 가지 디지털 회로의 하드웨어 구현 방법 중 FPGA 소자를 사용하기 위한 목적으로 VHDL을 이용하여 구현하였다. NPML 시스템은 PR 목표 다항식에 따라 NP(121)ML, NP(1221)ML 및 NP(12321)ML 등으로 성능이 좋은 다항식을 선택하였다[4][5]. 기록 시스템은 채널 밀도가 높아질수록 고차의 다항식을 필요로 하게 되는데, 본 논문에서는 3차와 4차 다항식만을 적용하였다. 하드웨어로 구현하기 위해 BER 성능이 가장 좋은 차수를 가지는 NP(1221)ML 시스템을 기본으로 하여 수직 자기 기록 시스템에 구현 가능한 잡음 예측기(noise predictor) 부분과 최대 유사도 검출(maximum likelihood detection) 부분을 설계 검증하였다. 최대 유사도 검출은 비터비 검출 알고리즘을 이용하여 설계하게 된다. 하드웨어 설계를 위해서 우선 C 언어를 이용한 알고리즘 구현과

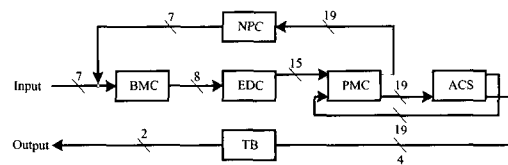


그림 1. NPML 시스템 블록도

VHDL을 이용하여 FPGA 설계 및 검증하게 된다. 하드웨어 구현은 FPGA 소자를 이용하는 목적으로 구현하였고, CAD툴은 Altera Max+PLUS II를 사용하였다. 또한, 적용한 언어로는 VHDL을 사용하였다. FPGA 구현을 위한 디바이스로는 게이트가 약 100,000개인 FLEX 10K 시리즈의 EPF10K100GC503-

3을 사용하였고, FLEX 계열은 Look-up Table(LTUs) 구조를 사용하여 논리 셀을 형성한다. 따라서 본 논문에서는 레지스터를 많이 필요로 하는 카운터, 곱셈기, 적산기, RAM등이 많이 사용된 순차 논리 회로이기 때문에 FLEX 계열을 선택하였다. 메인 클럭은 1.25MHz를 사용하고, 입력 8 pin과 출력 2 pin을 가지게 된다.

비터비 알고리즘을 위한 입력으로는 7비트를 사용하고 연관정 방식을 사용하였다. 채널 밀도 $K_p = 2.5$ 이고, 신호 대 잡음비가 16.7dB에서 비트 에러율이 10^{-5} 을 가지도록 설계하였다.

1. NPML 검출기의 구성

NPML 시스템의 검출기에 대한 전체 블록도는 그림 1과 같이 나타낼 수 있다. 입력 신호는 C 모델링에 의해 발생된 등화기 출력값을 사용하였으며, 등화기 출력값 y_k 은 $-7.000 \sim +7.000$ 의 입력 범위를 가지는 실수 값이 된다. 따라서 아날로그 신호로 가정된 등화기 출력값은 A/D 변환기를 통해 디지털 신호로 만들어 준 값이 사용할 수 있게 된다. 그러므로 A/D 변환기에 의해 입력값을 8bit 표본화하여 양자화 하였다. 이 입력값은 클럭 동기신호에 맞춰 동작하게 되며 잡음 예측/백색화 필터(noise prediction/whitening filter)가 삽입된 가지 메트릭(branch metric, BM)을 연산하고, 경로 메트릭(path metric, PM)에 의해 이전 경로 메트릭과 가지 메트릭을 연산한 후, 부가 비교 선택 모듈(add compare select, ACS)을 거치면서 작은 경로 메트릭을 결정하여 역추적 모듈(traceback, TB)에 알려줌으로서 이진 결정 시퀀스를 출력하게

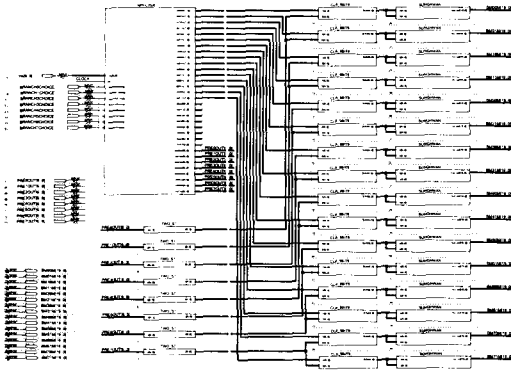


그림 2. 가지 메트릭의 회로도

된다. TB 부분은 역추적 메모리 (traceback memory, TBM)와 레지스터 교환 메모리 (register exchange memory, REM)의 2가지 방식이 있는데, TBM은 저전력 소모형 회로, REM은 고속 동작에 적합한 것으로 알려져 있다.

2. 잡음 예측/백색화 필터가 삽입된 가지 메트릭(BM)

NPML 검출기를 구성하는데 가장 중요한 부분으로 가지 메트릭 연산 모듈은 그림 2와 같이 나타낼 수 있으며, 식 (1)과 같다[5].

$$BM_k(s_x, s_x) = \left[y_k - \sum_{j=1}^N (y_{k-j} - \sum_{i=0}^{M-1} a_{k-i-j} (s_x) f_{i-j}) p_i \right]^2 \quad (1)$$

식 (1)에 의해 잡음 예측/백색화 필터가 가지 메트릭에 삽입되게 된다. 따라서 기존의 PRML 검출기의 가지 메트릭 연산부에 잡음 예측/백색화 필터를 삽입함으로써 간단히 구성할 수 있게 된다. 그 구성을 간단히 살펴 보면 잡음 예측 필터 모듈과 8개의 7bit 2의 보수기와 16개의 9bit 덧셈기와 16개의 10bit 곱셈기가 사용되었다. NPFILTER에서 7bit PRExOUT, {x}={0, 1,...,7}은 8개의 7bit TWO_S7 2의 보수기에 각각 연결되어 9bit C.A_9BIT9 덧셈기에 의해 음수 연산을 쉽게 할 수 있도록 만들어 준다. 각 덧셈기를 통과한 9bit 출력값들은 16개의 20 bit SUNGHWAN 곱셈기에 의해 각각의 입력값들을 제공하여 12bit BMxyM, {y}={0,1}으로 최종 출력 단자로 15bit의 출력신호를 넘겨준다. 상위 5bit가 제거되는 것은 SUNGHWAN 곱셈기가 bit연산을 할 때 오버플로우(overflow)를 방지하기 위해 최대한의 연산 bit를 설정

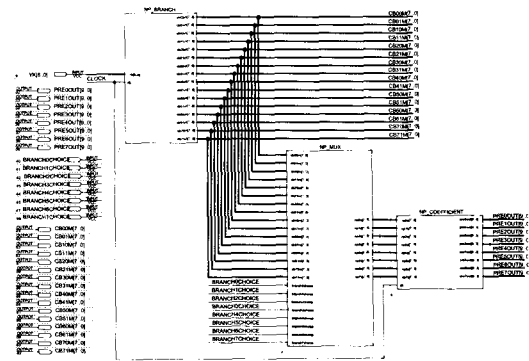
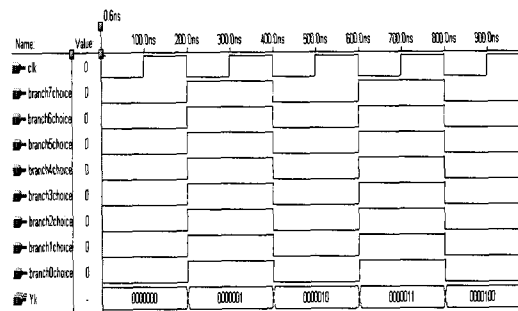


그림 3. NPFILTER 모듈의 회로도

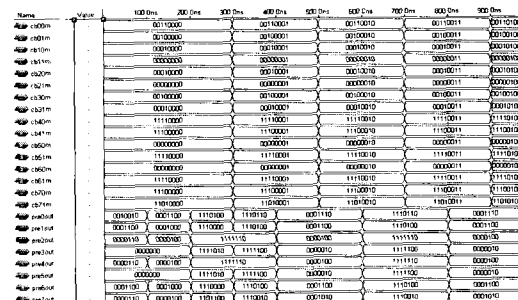
해 준 것이다. 따라서 식 (1)에 의한 가지 메트릭은 그림 2에 의해 정확히 구성되어진다.

2.1. 잡음 예측/백색화 필터 모듈 (NPFILTER) 식 (1)의

$\sum_{j=1}^N (y_{k-j} - \sum_{i=0}^{M-1} a_{k-i-j}(s_x) f_{i-j}) p_i$ 은 가지 메트릭 연산에서 실제로 삽입되는 NPFILTER 부분이 된다. NPFILTER를 설계하기 위해 잡음 예측기의 Tap개수는 N=4로 고정하였으며, 잡음 예측기의 계수 p 는 C 모델링에 의해 구



(a) NPFILTER 입력의 타이밍 동작도



(b) NPFILTER 출력의 타이밍 동작도

그림 4. NPFILTER의 타이밍 동작도

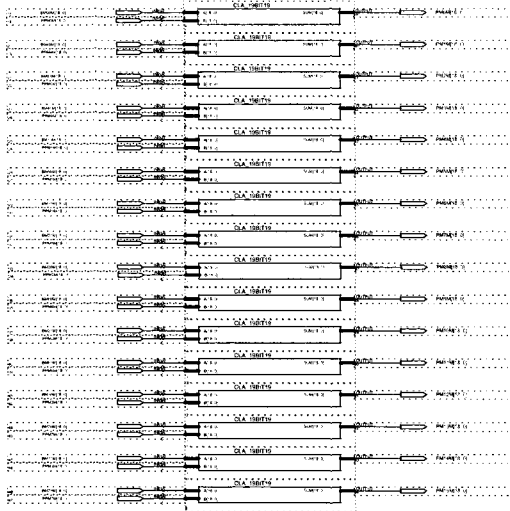
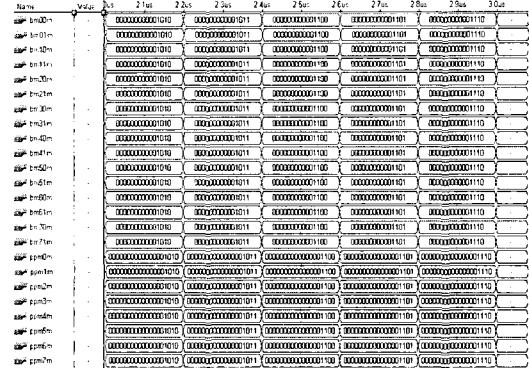


그림 5. 경로 메트릭의 회로도

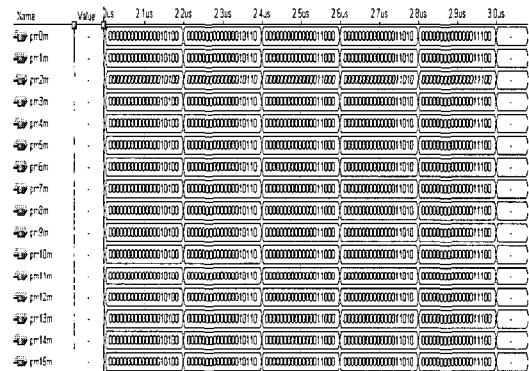
해진 값을 사용하였다. NPFILTER의 구조는 그림 3와 같이 나타낼 수 있다. 그림 3에서 보이는 바와 같이 NPFILTER는 NP_BRANCH, NP_MUX, NP_COEFFICIENT 세 부분으로 구성되며 NP_BRANCH는 입력 신호 y_k 와 가지 메트릭값과의 차를 연산하는 부분이 된다. 이렇게 구해진 각각의 가지 메트릭들은 NP_MUX 모듈에서 BRANCH_xCHOICE, $\{x\}=\{0,1,\dots,7\}$ 신호를 입력 받아 작은 가지 메트릭값을 선택하여 8bit NP_xS, $\{x\}=\{0,1,\dots,7\}$ 를 출력하게 된다. 8bit NP_xS, $\{x\}=\{0,1,\dots,7\}$ 의 출력값은 NP_COEFFICIENT의 입력으로 들어가게 되는데, 이때 들어오는 입력값들을 N-Tap만큼 buffer에 저장하여 잡음 예측기의 계수 p 와 컨볼루션되어 7 bit Prexout, $\{x\}=\{0,1,\dots,7\}$ 을 출력한다. 따라서, NPFILTER에 대한 동작 타이밍도는 그림 4와 같이 나타난다.

3. 경로 메트릭 연산 (PM)

그림 5는 PM 부분의 모듈을 나타내는 그림이다. 그림 5의 PM 모듈은 각 상태(State)의 합의 누적결과와 BM 모듈을 통해 나오는 출력값을 합산하는 부분이다. 19비트 가산기가 총 16개가 들어 있다. 본 모듈의 PM 연산범위는 0부터 524287까지로 선정하였다. 오버플로우가 생기게 되더라도 뒤에 나올 부분에서 오버플로우가 생기지 않도록 숫자를 제어하는 부분이 있기 때문에 충분히 0부터 524287까지의 범위



(a) 경로 메트릭 입력의 타이밍 동작도



(b) 경로 메트릭 출력의 동작 타이밍도

그림 6. 경로 메트릭의 동작 타이밍도

면 동작에 지장이 없다. PM 모듈의 기능에 대해 설명하면 다음과 같다.

PMiM : S_i 에 누적된 Path Metric의 값이고 19bit(0 to 524287)의 범위를 갖는다. 여기서 $0 \leq i \leq 15$ 가 된다. PMiM는 19bit(0 to 524287)의 값이므로 BM_{jkm} (15bit[0 ~ 14])를 상위 4bit 확장하여 19bit 덧셈기의 입력으로 사용하였다. 여기서 $0 \leq i \leq 15, 0 \leq j \leq 7$ 및 $0 \leq k \leq 1$ 의 값을 가진다. 따라서 그림 6은 PM 모듈의 동작 타이밍도를 나타낸다.

4. 부가비교-선택 (ACS)

ACS 모듈은 그림 7과 같고, 동작 과정을 보면 19bit PMiM 갖는 신호는 트렐리스 다이어그램에서 각 상태마다 두 개의 경로 메트릭값을 가지게 된다. 따라서 각 상태로 들어오는 두 개의 경로 메트릭값 중 작은 값을 선택하게 된다. 이때, DIFFER 신호는 두 개의 경로 메트릭

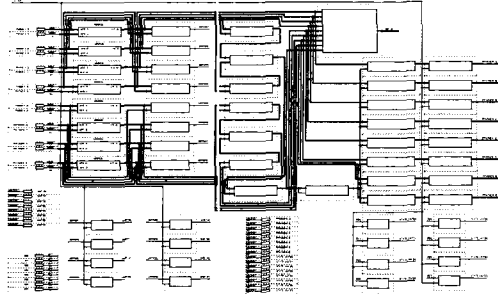


그림 7. 부가 비교 선택기의 회로도

중 살아 남은 이전 상태 메트릭의 값을 발생시켜 역추적 메모리로 신호를 넘겨주게 된다. SHIFT 신호는 상태 메트릭으로 들어오는 신호들 중 가장 작은 경로 메트릭의 정보를 가지고 있으며 이것이 8개의 경로 메트릭 중 살아 남은 경로 메트릭에 신호를 인가하게 된다. 간단히 내부구조를 살펴보면, 각 상태로 들어오는 두 개의 경로 메트릭을 비교하는 19bit MINIMUM

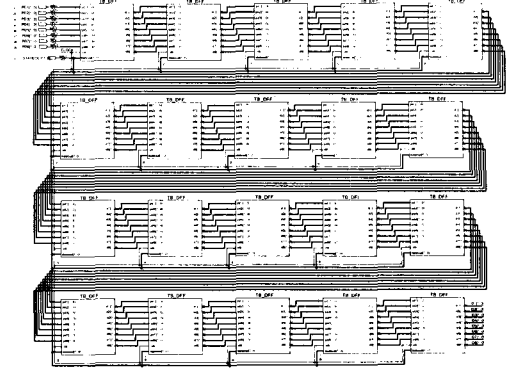
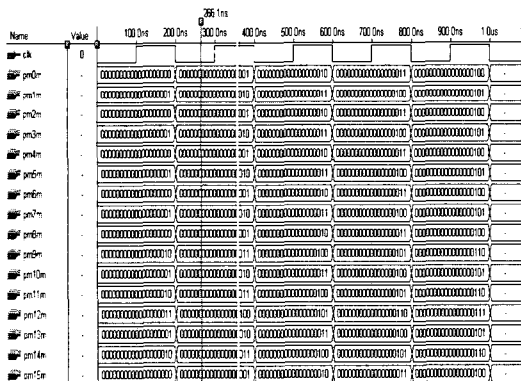


그림 9. 역추적 모듈의 회로도

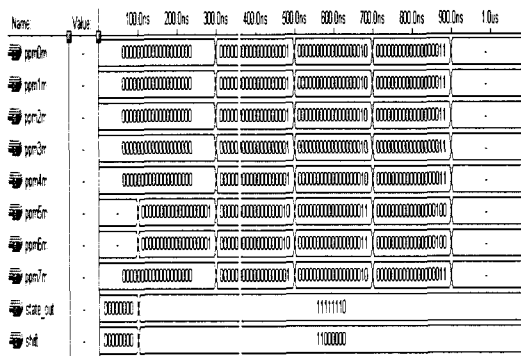
비교기 8개, 각 상태의 경로 메트릭 정보를 알려주는 19bit COMPARE 비교기 8개와 살아 남은 경로 메트릭 정보를 알려주는 19bit COMPARE1 비교기가 있다. 그리고 경로 메트릭값을 누적해서 계산하다 보면 오버플로우가 생기게 되는데 이를 방지하기 위하여 19bit TWO_S19 ENABLE 모듈이 들어간다. 마지막으로 19bit P PMxM, $\{x\}=\{0,1,\dots,7\}$ 을 출력단과 4bit를 갖는 shift 출력단과 state_out 출력단을 가지게 된다. 이 모듈의 동작 타이밍도는 그림 8에 나타내었다.

5. 역추적 연산 (TB)

그림 9는 역추적 모듈의 회로도를 나타낸다. 역추적 모듈에서는 구속장이 비교적 짧고, 전력 소모에 민감하지 않으며, 구현이 용이한 메모리 교환 방식을 사용하였다. 이 모듈의 내부 구조는 역추적 지연 버퍼 TB_DFF가 상태수의 5배인 20개가 사용되었다. 동작 과정을 보면, 현재 상태의 값들은 과거의 어떤 상태에서 온 값인지 모르기 때문에 항상 과거 몇 번째 상태에서 온 값인지를 저장해야 한다. 가장 쉬운 방식은 어떠한 경로로 오던지 간에 현재 상태에 들어 온 값들은 해당 상태 레지스터에 저장시켜 놓



(a) ACS 입력의 타이밍 동작도



(b) ACS 출력의 타이밍 동작도

그림 8. ACS의 타이밍 동작도

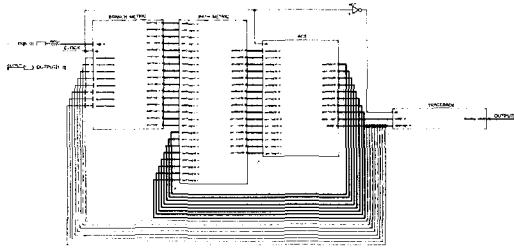


그림 10. NPML 시스템의 전체 회로도

는 방식이다. 즉 한번의 연산이 끝나는 동시에 저장된 값들을 교환시켜버리면 된다. 이 방법이 REM 방법이다. C 알고리즘에서는 저장된 변수를 교환하는 방식을 선택하지만, 하드웨어 구현에서는 MUX (Multiplexer)와 D-플립플롭 (D-FlipFlop)의 직렬 연결로 구현하면 간단하게 구현할 수 있다. 따라서 각각의 TB_DFF는 state_out과 shift 입력 신호에 따라 그에 해당되는 버퍼 저장값이 출력되게 된다. 최종적으로 decoding_value는 입력 신호 $\{a_k\}$ 가 $\{\hat{a}_{k-d}\}$ 된 신호를 출력하게 된다.

III. NPML 검출기 성능 검증

NPML 검출기의 최종 블록은 그림 10과 같이 나타난다. 이 블록은 입력 Y_k ($[6 \dots 0]$)의 7비트 입력을 받아서 II의 1~5절까지 설명한 각 구성 부분을 거치며 NPML 검출기 블록의 클럭 속도 (1.25MHz)에 맞춰서 동작하게 된다. 입력에 의해 연산된 출력값은 DECODING_VALUE ($[1 \dots 0]$)의 2비트 출력으로 나타내었다. 이것은 C 알고리즘에 의해 결정된 입력값이 1과 -1의 값을 가지기 때문에, 출력값은 2비트로 표현하였다. 이것은 두 비트 중 최상위비트를 부호비트로 사용하기 위해서 결정된 것이다. 또한 표 1은 NP(121)ML과 NP(1221)ML을 구현하기

표 1. NP(121)ML과 NP(1221)ML의 파라미터

	NP(121)ML	NP(122)ML
기록밀도 K_p (Recording Density, K_p)	2.5	2.5
신호전력 (Signal Power)	0.144137	0.144137
스텝 사이즈 (Step Size)	0.02	0.02
NP 탭 개수 N (NP Tap number N)	4	4

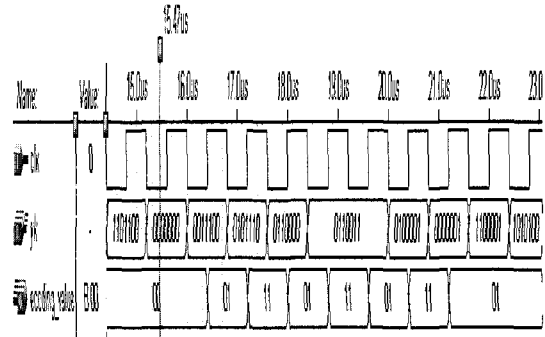


그림 11. NPML 검출기의 타이밍 동작도

위해 사용된 파라미터(parameter)값을 각각 나타낸다. VHDL 컴파일러로는 Altera사의 Max+PLUS II ver. 9.6을 사용하였으며, 목표모델(target model)은 사용 가능한 게이트가 100,000개이며, 논리 소자를 4992개 가지고 있는 EPF10K100GC503-3 소자를 사용하였다. 전체 사용된 로직셀(logic cell)은 3833/4992 (76%)개이고, 플립/플롭은 520개이다. 표 2는 NP(121)ML과 NP(1221)ML의 각 디바이스와 사용된 로직셀 수를 나타낸 것이다. VHDL 코딩에 의해 구현된 하드웨어 검증은 컴파일러에 의해 테스트 벤치(test bench)를 만들 필요 없이 벡터파일(vector file)을 입력으로 넣어 출력을 테이블 파일(table file)로 만들고, C 모델링에 의한 시뮬레이션 결과에 의해 분석할 수 있다. 이 방법은 입력 Data 값과 출력 Data 값을 비교 분석하는데 상당히 용이한 방법이다. 따라서 NPML 검출기에 대한 타이밍도는 그림 11과 같이 나타나며, C 알고리즘에 의한 BER 성능과 VHDL에 의한 BER 성능을 그림 12와 같이 나타낸다.

IV. 결론

선형 및 비선형 수직 자기 채널에서 랜덤 시퀀스 또는 2/3 (1,7) RLL 시퀀스를 사용하는 NPML 시스템을 모의 실험을 통해 기존의 PRML 검출기 성능과 비교하였다. 기존의 PRML 검출기의 경우 채널의 밀도가 높아질수록 차수가 높은 부분 응답 목표 다항식을 요구하게 되어 고밀도인 $K_p=2.5$ 에서는 기존의 PR(12321)ML 시스템이, 다른 낮은 차수의 PR 다항식들보다 좋은 성능을 나타낼 수 있었다. 그러나, 잡음 예측기를 갖는 PR 다항식을 사용할 경우,

표 2. NP(121)ML과 NP(1221)ML의 Device 특성

Chip profile	Device	Input Pins	Out Pins	Logic Cells/ Total Logic Cells	Utilized(%)
NP(121)ML	EPF10K50RC240-3	8	2	2384/2880	82 %
NP(1221)ML	EPF10K100GC503-3	8	2	3833/4992	76 %

기존의 PRML 검출기보다 복잡도가 낮은 차수의 다항식으로 구현해도 오히려 우수한 성능을 보임을 실험을 통해 입증할 수 있었다. 그 중에서도, 고밀도 기록에서 랜덤 시퀀스를 사용하는 NP(1221)ML 검출 시스템이 보다 높은 차수의 PR(12321)ML 시스템보다 복잡도가 낮으면서 우월한 SNR 성능을 나타냄을 실험 결과들과 NP(1221)ML 검출기의 구현을 통해 보였다.

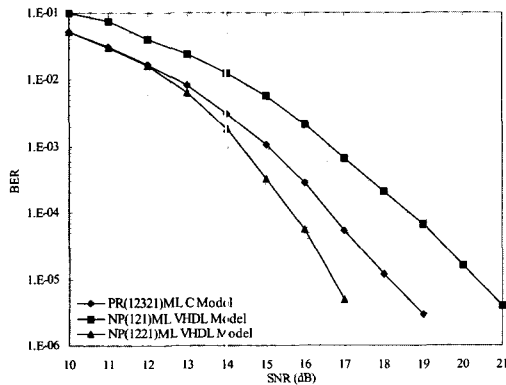


그림 12. NP(1221)ML의 PR(12321)ML의 BER 성능

참고문헌

(1) H. Osawa, Y. Kurihara, Y. Okamoto, H. Saito, H. Muraoka and Y. Nakamura, "PRML systems for perpendicular magnetic recording," J. Magn. Soc. Japan, vol. 21, p. 399-405, Oct. 1997.
 (2) E. Eleftheriou and W. Hirt, "Noise-predictive maximum-likelihood(NPML) detection for the magnetic recording channel," IEEE conf. Records ICC'96, vol. 1, pp. 556-560, June 14-18, 1996.
 (3) Y. Okamoto, H. Sumiyoshi, T. Kishigami, M. Akamatsu, H. Osawa, H. Saito, H. Muraoka, and Y. Nakamura, "A study of PRML system

s for perpendicular recording using double layered medium," IEEE Trans. Magn., vol. 36, pp. 2164-2166, Sept. 2000.

(4) 김성환, 이준, 이재진, "수직자기기록을 위한 부분응답 최대 유사도 시스템의 성능 분석," 한국통신학회 하계종합학술발표회 논문집, 2001년 7월.
 (5) 김성환, 이주현, 이재진, "고밀도 수직자기기록을 위한 저복잡도 잡음 예측 최대 유사도 검출 방법," 한국통신학회 논문지, 제27권, 6호, 2002년 7월.

김성환(Seong-Hwan Kim) 준회원



2000년 8월: 대전대학교 통신공학과 졸업
 2002년 8월: 동국대학교 전자공학과 석사과정
 2002년 7월~현재: (주)아크로텔레콤 주임연구원

<주관심 분야> 검출 기법 연구, VHDL/FPGA 설계, DSP, MICRO PROCESS

이재진(Jae-Jin Lee) 정회원



1983년 2월 : 연세대학교 전자공학과 졸업
 1984년 12월: U. of Michigan, Dept. of EECS 석사
 1994년 12월: Georgia Tech, Sch. of ECE 박사
 1995년 1월 ~ 1995년 12월: Georgia Tech, 연구원
 1996년 1월 ~ 1997년 2월: 현대전자 정보통신연구소 책임연구원
 1997년 3월 ~ 현재: 동국대학교 전자공학과 조교수